



HY11P Family
User's Guide
Mixed Signal Microcontroller

目錄

1	閱讀導覽	7
1.1	關於這份操作手冊	7
1.2	名詞定義, Terms and Definition	8
2	中央處理器, CPU	10
2.1	處理器核心, CPU Core	10
2.2	記憶體, Memory	11
3	震盪器、時脈源與功耗管理	24
3.1	震盪器	24
3.2	CPU及週邊電路時脈源	26
3.3	暫存器說明-工作時脈源控制器	30
3.4	功率消耗管理與操作狀態	33
4	復位, RESET	37
4.1	復位事件說明	38
4.2	狀態暫存器	39
4.3	暫存器列表-資料記憶體復位狀態	42
5	中斷, INTERRUPT	44
5.1	暫存器說明-中斷	45
6	硬體乘法器	51
7	輸入/輸出埠, I/O	52
7.1	PORT相關暫存器介紹	53

7.2	蜂鳴器,Buzzer.....	53
7.3	輸入/輸出埠 1,I/O Port1.....	54
7.4	輸入/輸出埠 2 ,I/O Port2.....	58
7.5	輸入/輸出埠 3 ,I/O Port3.....	61
7.6	輸入/輸出埠 4 ,I/O Port4.....	63
7.7	輸入/輸出埠 5 ,I/O Port5.....	65
8	低電壓檢測, LOW VOLTAGE DETECT.....	67
8.1	低電壓偵測使用說明.....	68
8.2	暫存器說明-LVD.....	70
9	看門狗,WATCH DOG.....	71
9.1	WDT 使用說明.....	71
9.2	暫存器說明-WDT.....	73
10	計數器A,TIMER-A.....	75
10.1	TMA 使用說明.....	76
10.2	暫存器說明-TMA.....	77
11	計數器B,TIMER-B.....	79
11.1	Timer-B 使用說明.....	80
11.2	暫存器說明-TMB.....	82
12	計數器C,TIMER-C.....	84
12.1	Timer-C使用說明.....	85
12.2	暫存器說明-TMC.....	86
13	捕捉/比較模式,CAPTURE/COMPARE.....	88

13.1	捕捉模式使用說明	89
13.2	比較模式使用說明	91
13.3	暫存器說明-Capture/Compare.....	93
14	頻率產生器,PWM/PFD.....	95
14.1	PFD模式使用說明.....	96
14.2	PWM模式使用說明	97
14.3	暫存器說明-PFD/PWM	105
15	電源系統,POWER SYSTEM.....	107
15.1	VDDA 使用說明	108
15.2	ACM 使用說明.....	108
15.3	暫存器說明-PWR.....	109
16	增強型比較器,ENHANCE COMPARATOR	110
16.1	ECPA 使用說明	111
16.2	暫存器說明-ECPA	114
17	低雜訊放大器,LOW NOISE OPAMP1	118
17.1	LNOP1 使用說明.....	119
17.2	暫存器說明-LNOP1.....	119
18	低雜訊放大器,LOW NOISE OPAMP2	121
18.1	LNOP2 使用說明.....	122
18.2	暫存器說明-LNOP2.....	123
19	類比數位轉換器SD18, Σ ADC	124
19.1	SD18 使用說明	126

19.2	類比通道輸入特性	132
19.3	絕對溫度感測器,TPS.....	134
19.4	暫存器說明-SD18	136
20	液晶驅動器,LCD	142
20.1	LCD使用說明	144
20.2	LCD輸出波形	146
20.3	暫存器說明-LCD	151
21	串列通訊,SERIAL PERIPHERAL INTERFACE	153
21.1	SPI使用說明	154
21.2	SPI主動模式	154
21.3	SPI被動模式	156
21.4	SPI主被動模組傳輸方式.....	159
21.5	暫存器說明-SPI	162
22	非同步串列通訊介面,ENHANCED UNIVERSAL ASYNCHRONOUS RECEIVER TRANSMITTER	164
22.1	EUART使用說明.....	165
22.2	串列傳輸速率發生器 (BRG)	166
22.3	硬體同位元檢查	169
22.4	EUART非同步模式.....	169
23	內建EPROM, BUILD-IN EPROM.....	176
23.1	BIE使用說明 :	177
23.2	暫存器說明-BIE	191
24	修訂記錄	192

HY11S14 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller



1 閱讀導覽

1.1 關於這份操作手冊

本文件所述的應用訊息及其他類似內容敘述僅為提供使用者便利，紘康對於內容的使用與因而引起的後果並不負擔相關責任。規格內容隨時可被更新訊息所替代，使用者有責任必需承擔並確保應用符合規範。

未經紘康授權，不得將紘康產品使用于生命維持系統中作為關鍵器件。紘康有不需事先通知即可修改產品的權力，產品最新訊息，請參考我們的網站：

<http://www.hycontek.com>

注意：

- ◆ 本說明書中的內容，隨著產品的改進，有可能不經過預告而更改。請客戶及時到本公司網站下載更新。
- ◆ 本規格書中的圖形、應用電路等，因第三方工業所有權引發的問題，本公司不承擔其責任。
- ◆ 本產品在單獨應用的情況下，本公司保證它的性能、典型應用和功能符合說明書中的條件。當使用在客戶的產品或設備中，以上條件我們不作保證，建議客戶做充分的評估和測試。
- ◆ 請注意輸入電壓、輸出電壓、負載電流的使用條件，使IC內的功耗不超過封裝的容許功耗。對於客戶在超出說明書中規定額定值使用產品，即使是瞬間的使用，由此所造成的損失，本公司不承擔任何責任。
- ◆ 本產品雖內置防靜電保護電路，但請不要施加超過保護電路性能的過大靜電。
- ◆ 本規格書中的產品，未經書面許可，不可使用在要求高可靠性的電路中。例如健康醫療器械、防災器械、車輛器械、車載器械及航空器械等對人體產生影響的器械或裝置，不得作為其部件使用。
- ◆ 本公司一直致力於提高產品的品質和可靠度，但所有的半導體產品都有一定的失效概率，這些失效概率可能會導致一些人身事故、火災事故等。當設計產品時，請充分留意冗餘設計，採用安全指標，這樣可以避免事故的發生。
- ◆ 本規格書中內容，未經本公司許可，嚴禁用於其他目的之轉載或複製。

1.2 名詞定義, Terms and Definition

1.2.1 常用詞彙索引

1MW	1MegaWord	
1KB	1KiloByte	
ADC	Analog to Digital Converter	類比數位轉換器
Bit	bit	位元
BOR	Brown-Out Reset	
BSR	Bank Select Register	
Byte	Byte	位元組
CCP	Capture and Compare	擷取器與比較器
CPU	Central Processing Unit	中央處理器
DAC	Digital-to-Analog Converter	數位類比轉換器
DM	Data Memory	資料記憶體
ECAP	Enhance Comparator	增強型比較器
FSR	File Select Register	間接定址指標暫存器
GPR	General Purpose Register	一般用途暫存器
HAO	High Accuracy Oscillator	高精度震盪器
LNOP	Low Noise OP AMP	低雜訊放大器
LPO	Low Power Oscillator	低功率消耗震盪器
LSB	Least Significant Bit	最低有效位元
MEM	Memory	記憶體
MPM	Main Program Memory	
MSB	Most Significant Bit	最高有效位元
OTP	One Time Program-EPROM	一次性寫入記憶體
PC	Program Counter	程式計數器
PPF	PWM and PFD	脈波寬度調整器與頻率輸出調整器
SD18	Sigma-Delta ADC	類比數位轉換器
SR	Special Register	
SRAM	Static Random Access Memory	靜態隨機存取記憶體
STK	Stack	堆疊
WDT	Watch Dog Timer	看門狗計時器
WREG	Work Register	工作暫存器

1.2.2 暫存器相關字彙

[]	Register length	暫存器長度
< >	Register value	暫存器內容
ABC[7:0]	ABC register had 0 to 7bit	ABC暫存器總共有 8 位元
ABC<111>	ABC register had 3bit and value had 111 of binary	ABC暫存器總共有 3 位元，內容為二進制 111
ABC<11x>	x : can be neglected, it can be set as 1 or 0	ABC暫存器總共有 3 位元，內容為二進制。可為 110 或 111
rw	Read/Write	可讀可寫
r	Read only	唯讀
r0	Read as 0	讀值只有 0
r1	Read as 1	讀值只有 1
w	Write only	唯寫
w0	Write as 0	寫入值只有 0
w1	Write as 1	寫入值只有 1
h0	cleared by Hardware	硬體 置<0>
h1	set by Hardware	硬體 置<1>
u0	cleared by User	使用者 設置<0>
u1	set by User	使用者 設置<1>
-	Not use	未使用
!	users are forbidden to change	使用者禁止變更
u	unchanged	無法改變
x	unknown	未知
d	depends on condition	依照設定條件

2 中央處理器, CPU

2.1 處理器核心, CPU Core

中央處理器的核心CPU Core(H08)為了使其有較高的執行效率，採用了Harvard architecture理念，將程式記憶體與資料記憶體分別獨立且程式記憶體的位址，增加了使用者撰寫程式的便利性。當然，為了讓使用者設計的產品更有競爭力，我們將核心處理方式分為兩種版本H08A與H08B。

CPU特色包含：

- ◆ 程式記憶體與資料記憶體各自獨立設計架構，使得指令執行速度提升且提高CPU效率。
- ◆ 最大定址能力分別為，程式記憶體 1MW、資料記憶體 4096KB
- ◆ 最多 67 個操作指令包含 16-bit查表、8x8 硬體乘法器、資料記憶體區塊切換與堆疊控制
- ◆ 一個指令完成暫存器A至暫存器B的資料搬移且不改變工作暫存器(Work register)的資料
- ◆ 一個指令完成最長 16-bit的FSR暫存器資料搬移與定址 1MW程式記憶體的查表指令。
- ◆ 資料記憶體的操作包含程式計數器(PC)、狀態暫存器(Status)與堆疊暫存器(Stack)的資料搬移。
- ◆ 處理器核心分為H08A與精簡版H08B核心。

2.2 記憶體,Memory

記憶體的構成分為兩種，一為程式記憶體由OTP構成另一為資料記憶體由SRAM構成。在不同型號的產品上，所規劃的記憶體大小會不一樣，故閱讀各產品的說明書時必須特別留意該產品的規格說明。

程式記憶體：

主記憶體區(Main Program Memory,MPM)

程式計數器(Program Counter,PC)

堆疊(Stack,STK)

資料記憶體：

特殊暫存器(Special Register,SR)

一般暫存器(General Purpose Register,GPR)

記憶體相關暫存器摘要：(x：表示由多個暫存器組成)

PC[13:0]	PCHSR[5:0],PCLATH[5:0],PCLATL[7:0]
TOS[13:0]	TOSH[5:0],TOSL[7:0]
FSRx[9:0]	FSRxH[9:8],FSRxL[7:0]
INDFx	INDF0[7:0],INDF1[7:0]
POINCx	POINC0[7:0], POINC1[7:0]
PODECx	PODEC0[7:0], PODEC1[7:0]
PRINCx	PRINC0[7:0], PRINC1[7:0]
PLUSWx	PLUSW0[7:0], PLUSW1[7:0]
STKCN	STKFL[0],STKOV[0],STKUN[0],STKPRT[4:0]
PSTATUS	SKERR[0]
BSRCN	BSR[3:0]

2.2.1 程式記憶體, Program Memory

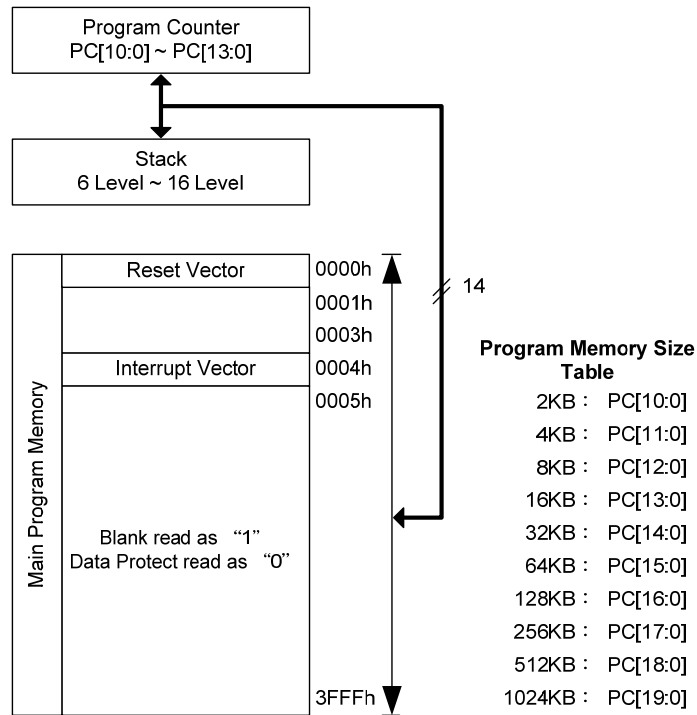


圖 2-1 程式記憶體架構圖

2.2.1.1 主記憶體, MPM

主記憶體架構如下：

- ◆ 中斷服務向量位置(Interrupt Vector)
- ◆ 復位向量位置(Reset Vector)

最大定址能力¹由 0x00000h 至 0xFFFFFh，總計容量為 1048576 字元，依不同型號的產品而其大小會有所不同。

晶片在未進程式寫入時，所有位元 Bit 的資料型態均為 1；寫入後，位元將依寫入的資料型態呈現 1 或 0。必需注意，程式開發時若模擬軟體(HYIDE)的組譯選項有設置燒錄保護功能，則晶片在燒錄所能讀出的位元資料型態皆為 0。

2.2.1.2 程式計數器, PC

程式計數器 PC 由位移暫存器 PCSR、緩衝暫存器 PCLAT 組成，如圖 2-2。

¹ 在不同的產品規劃裏程式記憶體的定址能力會有所不同，常見的容量有 2KB(0x7FFFh)、4KB(0xFFFFh)、8KB(0x1FFFFh)、16KB(0x3FFFFh, HY11S14 模擬晶片容量)

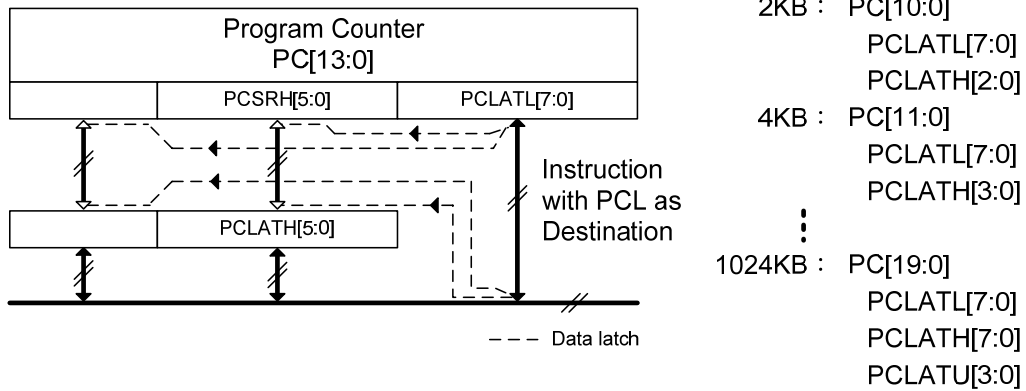


圖 2-2 程式計數器架構圖

程式計數器PC[13:0]²在開發工具所使用的晶片具有 14 位元的資料長度，由兩個特殊暫存器PCSRH [5:0]與PCLATL [7:0]組成。其中PCLATL[7:0]與PCLATH[5:0]可直接讀/寫，而PCSRH [5:0]無法直接讀/寫，必須透過緩衝暫存器PCLATH[5:0]做間接讀/寫。

- 讀取PC[13:0]，必須先讀取PCLATL[7:0]接著讀取PCLATH[5:0]才能取得正確資料，順序反之則將讀取到不正確的資料。
- 寫入PC[13:0]，必須先寫入PCLATH[5:0]最後再寫PCLATL[7:0]，順序反之會寫入不正確的資料。

```

ORG 0000
    JMP  START
ORG 0004H
    RETI
...
START:                ;jump to 0109h
    MVFF PCLATL,B1
    INF  PCLATH,F,ACCE
    MVL  2
    ADDF B1,W,ACCE
    MVF  PCLATL,F,ACCE
    ...
ORG 0109H
    NOP  ...
    
```

範例 2-1 讀/寫PCLAT範例程式

² 注意，在不同的產品規劃裏 PC 的定址能力會有所不同，常見的容量有 2KB(PC[10:0])、4KB(PC[11:0])、8KB(PC[12:0])、16KB(PC[13:0])、HY11S14 模擬晶片容量)。

2.2.1.3 堆疊,STK

堆疊STK主要由堆疊指標控制暫存器STKCN、疊頂暫存器TOSx、堆疊層暫存器STKn³、堆疊錯誤旗標SKERR(Stack Error)與堆疊錯誤復位控制器SKRST[0]組成，如圖 2-3。

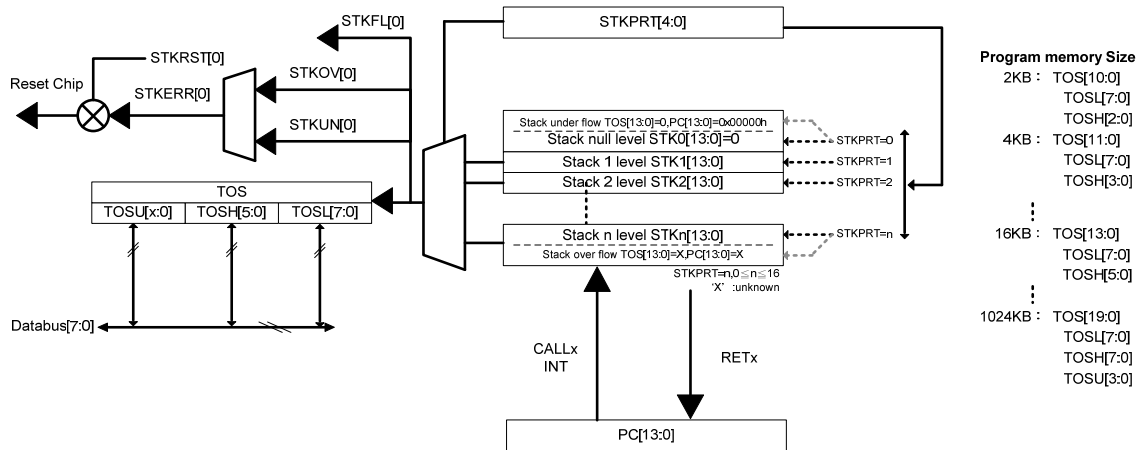


圖 2-3 堆疊架構圖

堆疊的疊頂暫存器TOS[13:0]具有 14 位元的資料長度，由兩個暫存器TOSH[5:0]與TOSL [7:0]組成。STKPRT[4:0]=<0>時TOS[13:0]=<0>無效值(null)，當程式執行CALL指令或是發生中斷(INT)服務時，堆疊指標STKPRT[4:0]即做加一動作並將事件發生的程式計數器PC位址寫入當時的TOS[13:0]暫存器；當程式執行RET_x指令時，堆疊指標STKPRT[4:0]即做減一動作，在做減一動作之前會將TOS[13:0]資料先寫入PC[13:0]，寫入完成後STKPRT[4:0]才做減一動作並使得當下的TOS[13:0]數值改變。

- 讀取TOS[13:0]暫存器無須特別的規則，可直接讀取即可。
- 寫入TOS[13:0]暫存器則可透過CALL指令或中斷(INT)將PC[13:0]資料的寫入，或者利用POP指令丟棄目前TOS[13:0]的資料並使得STKPRT[4:0]減一，載入新的TOS[13:0]資料。

在堆疊的操作過程中會發生堆疊滿位STKFL[0] (Stack full)、溢位STKOV[0](Stack overflow)或欠位STKUN[0](Stack underflow)等事件。堆疊滿位是發生堆疊溢位前的預示旗標，此時透過執行POP指令即可丟棄當前的TOS[13:0]資料並使得STKPRT[4:0]減一並將新指向的堆疊層資料寫入TOS[13:0]。必須注意，在STKPRT[4:0]=<0>時，執行POP指令並不會發生欠位情況，此時STKPRT[4:0]資料仍為<0>故使用者必須自行判斷是否為空堆疊。

當堆疊發生溢位與欠位時可能導致程式有不預期的執行結果，必要時可透過設置重新啟動晶片。在程式開發過程中，透過軟體設置可將堆疊復位控制位元SKRST[0]⁴設置<1>，當堆疊發生欠位或溢位時會產生復位信號並將SKERR[0]置<1>後重新啟動晶片。

³ 堆疊層暫存器 STKn：每層堆疊皆具有與疊頂暫存器 TOS 相同長度的資料暫存器，當被堆疊指標 STKPRT 指定時即將資料暫存器的內容傳送至 TOS。

⁴ SKRST[0]為堆疊錯誤產生復位信號控制位元，無法直接讀/寫只能在程式發展階段透過開發軟體的設置。即程式開發階段必須選定是否在堆疊錯誤時產生復位信號，若選定復位則晶片供電後該位元即被設置 1，反之設置<0>。

- 滿位：STKFL[0]置<1>，PC[13:0]不受影響。
- 欠位：STKUN[0]置<1>，PC[13:0]移至 0x00000h位置堆疊指標STKPRT指向 0 Level。若SKRST[0]設置<1>，則欠位後會產生復位信號且SKERR[0]置<1>，復位後STKUN[0]置<0>。
- 溢位：STKOV[0]置<1>，PC[13:0]不受影響但STKPRT仍停滯於最後一層且會壓入新的數值，即滿位後會保存最近一次壓入的資料。若SKRST[0]設置<1>，則溢位後產生復位信號且SKERR[0]置<1>，復位後STKOV[0]置<0>。
- 錯誤：SKERR[0]置<1>，晶片已發生堆疊錯誤。若SKRST[0]設置<1>，則溢位後產生復位信號且SKERR[0]置<1>，復位後STKUN[0]、STKOV[0]置<0>。
- 當發生堆疊滿位後，若因置之不理接著發生溢位情況且又予以忽略並連續執行POP指令使之發生欠位情況，此時STKFL[0]、STKOV[0]與STKUN[0]同時置<1>。故建議當有上述任一情況發生時，應適時對旗標作清除動作以免程式誤判。

程式撰寫方式如欲忽略已知的溢位狀況建議在溢位發生後先使用POP指令清除溢位旗標再繼續執行程式，否則溢位後的中斷(Interrupt)或呼叫(Call)指令產生的堆疊寫入動作將覆蓋目前TOS[13:0]的資料。

2.2.1.4 暫存器說明-程式記憶體控制器

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	
16H	TOSH			TOS[13]	TOS[12]	TOS[11]	TOS[10]	TOS[9]	TOS[8]	..00 0000	..00 0000	
17H	TOSL	Top-of-Stack Low Byte (TOS<7:0>)									0000 0000	0000 0000
18H	STKPTR	STKFL	STKUN	STKOV	STKPRT[4]	STKPRT[3]	STKPRT[2]	STKPRT[1]	STKPRT[0]	0000 0000	0000 0000	
1AH	PCLATH			PC[13]	PC[12]	PC[11]	PC[10]	PC[9]	PC[8]	..00 0000	..00 0000	
1BH	PCLATL	PC Low Byte for PC<7:0>									0000 0000	0000 0000
2CH	PSTATUS	PD	TO	IDLEB	BOR		SKERR			000d .0..	uduu .d..	

表 2-1 程式記憶體控制暫存器

TOSU/TOSH/TOSL : 堆疊的疊頂暫存器

TOSH : TOS[13:8]

TOSL : TOS[7:0]

STKPTR : 堆疊控制器

STKFL : 堆疊滿位旗標

1 : 已發生。

0 : 未發生。

STKUN : 堆疊欠位旗標

1 : 已發生。

0 : 未發生。

STKOV : 堆疊溢位旗標

1 : 已發生。

0 : 未發生。

STKPRT[4:0] : 堆疊指標暫存器

10000 : 第 16 層

01111 : 第 15 層

⋮

00000 : 第 0 層, TOS[13:0]=0x0000h

PCLATU/PCLATH/PCLATL : 程式計數器PC[13:0]

PCLATH : PC[13:8]

PCLATL : PC[7:0]

PSTATUS : 狀態暫存器

SKERR : 堆疊錯誤產生復位旗標

1 : 已發生。

0 : 未發生。

2.2.2 資料記憶體,DM

資料記憶體DM由特殊暫存器Specially Register,SR與一般暫存器General Purpose Register,GPR組成，且以每 256byte為一個區塊。再者，區塊 0 與區塊 1 較為特殊，這兩個區塊各自包含了 128byte的特殊暫存器與 128byte一般暫存器，而其他的區塊則 256byte全為一般暫存器如 圖 2-4。

Bank 0 BSR<0000>	Special Register I 128 byte	000h 07Fh
	General purpose RAM 128 byte	080h 0FFh
Bank 1 BSR<0001>	General purpose RAM 128 byte	100h 17Fh
	Specially Register II 128 byte	180h 1FFh
Bank 2 BSR<0010>	General purpose RAM	200h 02FFh
⋮	General purpose RAM	⋮ ⋮ 0F00h
Bank 15 BSR<1111>	General purpose RAM	0FFFh

圖 2-4 資料記憶體架構圖

2.2.2.1 記憶體與指令

H08 指令集可分為A、B兩版本其在記憶體運用有很大的差異性，例如定址能力、硬體乘法器、查表指令、支援功能與參數的定義，在此僅說明指令記憶體參數的定義。詳細的指令參數說明請參見指令集,Instruction章節。

指令集中帶有位址運算功能的指令至多會有“f”、“d”、“a”等三個參數。

“f” 是指資料(Data)或資料暫存器位址(Data Memory Address)。

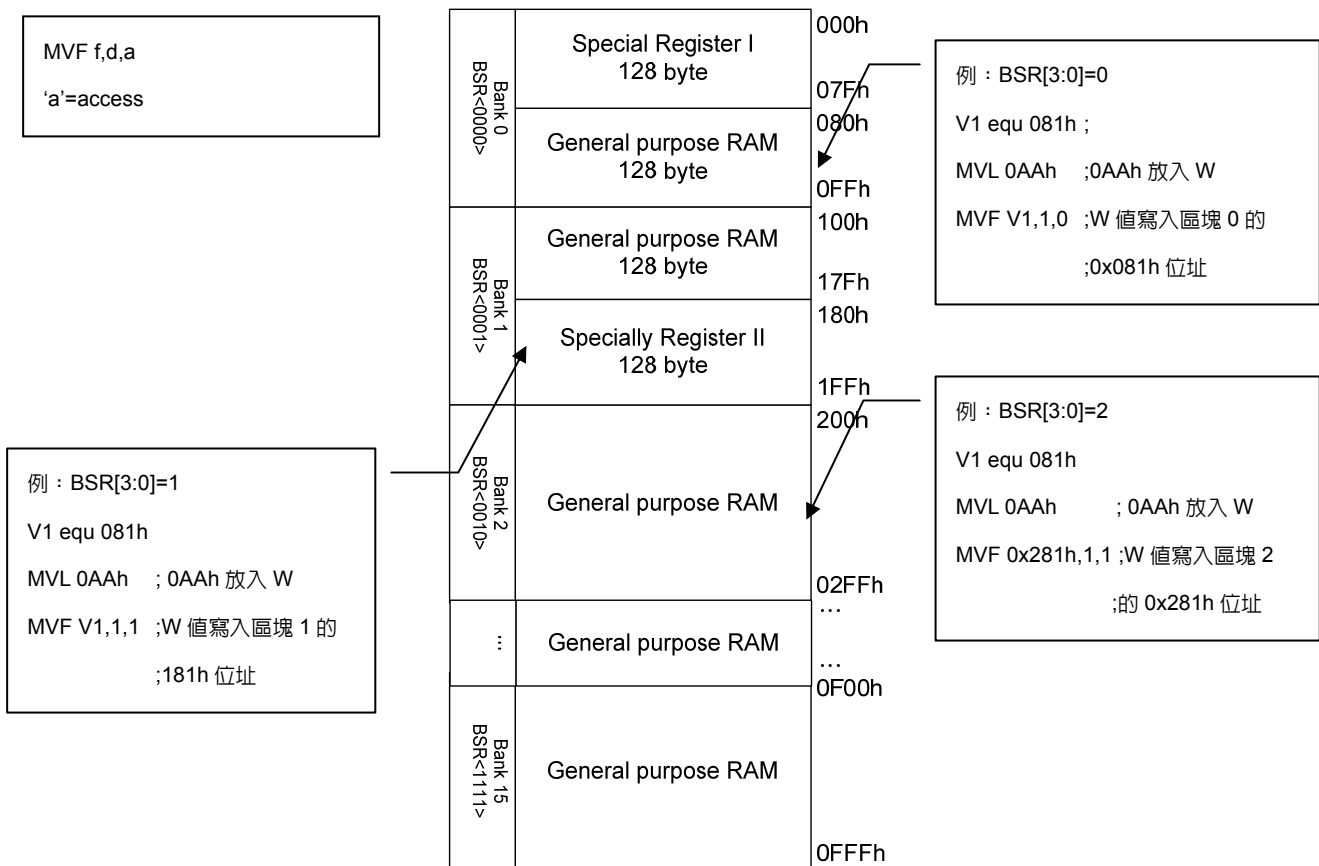
“d” 是指運算後的資料要存放地方。d=0 存於WREG register、d=1 存於Data Memory Register。

“a” 是指定記憶體操作的區塊；a=0 操作於區塊 0、a=1 操作於BSR[3:0]指定區塊。

2.2.2.2 區塊選擇控制暫存器

資料記憶體規劃為每 256byte為一個區塊即 000h~0FFh為一區塊，若欲讀/寫位址 0FFh以後的資料暫存器，則需正確的設置區塊控制暫存器BSR[3:0]與指令的參數“a”，說明如下：

- ◆ 當a = 0 時，無論BSR[3:0]的指定何區塊，指令對資料記憶體的讀/寫只會在區塊 0。
- ◆ 當a = 1 時，H08A CPU Core的指令，對資料記憶體的讀/寫會依照BSR[3:0]所指定的區塊；H08B CPU Core的指令，對資料記憶體的讀/寫會在區塊 0



範例 2-2 區塊選擇器範例程式與資料記憶體關係

2.2.2.3 特殊暫存器

特殊暫存器包含CPU Core與週邊功能的相關暫存器，主要有控制功能暫存器與資料傳回暫存器。若對資料暫存器內未定義的位址或位址用之位元進行讀取，所讀取到的資料為 0。

在特殊暫存器中專用於搭配指令的暫存器亦有數個，但在此只介紹兩種常用的暫存器一為工作暫存器WREG，另一為間接定址暫存器FSR。其餘在此未介紹的特殊暫存器將分散於各章節做詳盡的說明。

2.2.2.3.1 工作暫存器, WREG

工作暫存器簡稱W為搭配指令使用最為頻繁的暫存器，舉凡資料搬移、運算與判斷等等。

2.2.2.3.2 間接定址暫存器, FSR與INDF

FSR間接定址暫存器由指標暫存器FSR0[9:0]、FSR1[9:0]與索引暫存器INDF0[7:0]、INDF1[7:0]組成，由於功能相當故只針對FSR0 做說明。

FSR0[9:0]可分為FSR0H[1:0]與FSR0L[7:0]兩個暫存器，不需設置BSR[4:0]即能定址不同區塊的位址；且透過特殊指令，可達到使用一個指令即可寫入 16-bit資料。

INDF0[7:0]為索引暫存器，即是可讀取FSR0[9:0]所指向資料記憶體位址的資料。

值得注意的是H08A指令集支援加強型索引暫存器，功能描述如下：

- ◆ POINC0[7:0]：當透過指令讀/寫POINC0[7:0]暫存器時會發生以下事件
 - ◆ 先傳回目前FSR0[9:0]所指到位址的內容。
 - ◆ 然後指標暫存器FSR0[9:0]的數值加一指向下一個位址。
- ◆ PODEC0[7:0]：當透過指令讀/寫PODEC0[7:0]暫存器時會發生以下事件
 - ◆ 先傳回目前FSR0[9:0]所指到位址的內容。
 - ◆ 然後指標暫存器FSR0[9:0]的數值減一指向上一個位址。
- ◆ PRINC0[7:0]：當透過指令讀/寫PRINC0[7:0]暫存器時會發生以下事件
 - ◆ 先將指標暫存器FSR0[9:0]的數值加一指向下一個位址。
 - ◆ 再傳回目前FSR0[9:0]所指到位址的內容。
- ◆ PLUSW0 [7:0]：當透過指令讀/寫PLUSW0 [7:0]暫存器時會發生以下事件
 - ◆ 先將指標暫存器FSR0[9:0]的數值加上工作暫存器W的內容。
 - ◆ 再傳回目前FSR0[9:0]所指到位址的內容。其中W的內容為帶有符號位的數值即 $\pm 128d$ 。

2.2.2.3.3 一般暫存器, General Purpose Register

一般暫存器GPR為使用者進行資料儲存、運算、旗標設置等等自由規劃區域。

2.2.2.4 暫存器說明-資料記憶體控制器

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1 “.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
00H	INDF0	Contents of FSR0 to address data memory value of FSR0 not changed								N/A	N/A	*****
01H	POINC0	Contents of FSR0 to address data memory value of FSR0 post-incremented								N/A	N/A	*****
02H	PODEC0	Contents of FSR0 to address data memory value of FSR0 post-decremented								N/A	N/A	*****
03H	PRINC0	Contents of FSR0 to address data memory value of FSR0 pre-incremented								N/A	N/A	*****
04H	PLUSW0	Contents of FSR0 to address data memory value of FSR0 offset by W								N/A	N/A	*****
05H	INDF1	Contents of FSR1 to address data memory value of FSR0 not changed								N/A	N/A	*****
06H	POINC1	Contents of FSR1 to address data memory value of FSR0 post-incremented								N/A	N/A	*****
07H	PODEC1	Contents of FSR1 to address data memory value of FSR0 post-decremented								N/A	N/A	*****
08H	PRINC1	Contents of FSR1 to address data memory value of FSR0 pre-incremented								N/A	N/A	*****
09H	PLUSW1	Contents of FSR1 to address data memory value of FSR0 offset by W								N/A	N/A	*****
0FH	FSR0H							FSR0[9]	FSR0[8]xxuu	-.-.-.-.-**
10H	FSR0L	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]								xxxx xxxx	uuuu uuuu	*****
11H	FSR1H							FSR1[9]	FSR1[8]xxuu	-.-.-.-.-**
12H	FSR1L	Indirect Data Memory Address Pointer 1 Low Byte,FSR1[7:0]								xxxx xxxx	uuuu uuuu	*****
29H	WREG	Working Register								xxxx xxxx	uuuu uuuu	*****
2AH	BSRCN						BSR[2]	BSR[1]	BSR[0]000000	-.-.-.-.-***

表 2-2 資料記憶體控制暫存器

INDF0/POINC0/PODEC0/PRINC0/PLUSW0 : 不同功能性的索引暫存器

INDF0[7:0] : 詳見 2.2.2.3.2 間接定址暫存器,FSR與INDF說明

POINC0[7:0] : 詳見 2.2.2.3.2 間接定址暫存器,FSR與INDF說明

PODEC0[7:0] : 詳見 2.2.2.3.2 間接定址暫存器,FSR與INDF說明

PRINC0[7:0] : 詳見 2.2.2.3.2 間接定址暫存器,FSR與INDF說明

PLUSW0[7:0] : 詳見 2.2.2.3.2 間接定址暫存器,FSR與INDF說明

FSR0 : 間接定址的指標暫存器

FSR0H[1:0] : 詳見 2.2.2.3.2 間接定址暫存器,FSR與INDF說明

FSR0L[7:0] : 詳見 2.2.2.3.2 間接定址暫存器,FSR與INDF說明

FSR1 : 間接定址的指標暫存器

FSR1H[1:0] : 詳見 2.2.2.3.2 間接定址暫存器,FSR與INDF說明

FSR1L[7:0] : 詳見 2.2.2.3.2 間接定址暫存器,FSR與INDF說明

WREG : 間接定址的指標暫存器

WREG[7:0] : 詳見 2.2.2.3.1 工作暫存器,WREG說明

BSRCN : 記憶體區塊讀/寫控制暫存器

BSR[3:0] : 記憶體讀/寫區塊指標暫存器

1111 : 區塊 15, 位址 0xF00h~0xFFFFh。

1110 : 區塊 14, 位址 0xE00h~0xEFFFh。

⋮

0001 : 區塊 1, 位址 0x100h~0x1FFFh。

0000 : 區塊 0, 位址 0x000h~0xFFFFh

HY11S14 Emulate Chip User' Guide

Embedded 18-Bit ΣADC

8-Bit RISC-like Mixed Signal Microcontroller



2.2.3 暫存器列表-資料記憶體

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1 “.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition													
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET		
00H	INDF0	Contents of FSR0 to address data memory value of FSR0 not changed								N/A	N/A		
01H	POINC0	Contents of FSR0 to address data memory value of FSR0 post-incremented								N/A	N/A		
02H	PODEC0	Contents of FSR0 to address data memory value of FSR0 post-decremented								N/A	N/A		
03H	PRINC0	Contents of FSR0 to address data memory value of FSR0 pre-incremented								N/A	N/A		
04H	PLUSW0	Contents of FSR0 to address data memory value of FSR0 offset by W								N/A	N/A		
05H	INDF1	Contents of FSR1 to address data memory value of FSR0 not changed								N/A	N/A		
06H	POINC1	Contents of FSR1 to address data memory value of FSR0 post-incremented								N/A	N/A		
07H	PODEC1	Contents of FSR1 to address data memory value of FSR0 post-decremented								N/A	N/A		
08H	PRINC1	Contents of FSR1 to address data memory value of FSR0 pre-incremented								N/A	N/A		
09H	PLUSW1	Contents of FSR1 to address data memory value of FSR0 offset by W								N/A	N/A		
0FH	FSROH									FSR0[9]	FSR0[8]		
10H	FSROL	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]											
11H	FSR1H									FSR1[9]	FSR1[8]		
12H	FSR1L	Indirect Data Memory Address Pointer 1 Low Byte,FSR1[7:0]											
16H	TOSH			TOS[13]	TOS[12]	TOS[11]	TOS[10]	TOS[9]	TOS[8]	..00 0000	..00 0000		
17H	TOSL	Top-of-Stack Low Byte (TOS<7:0>)								0000 0000	0000 0000		
18H	STKPTR	STKFL	STKUN	STKOV	STKPRT[4]	STKPRT[3]	STKPRT[2]	STKPRT[1]	STKPRT[0]	0000 0000	0000 0000		
1AH	PCLATH			PC[13]	PC[12]	PC[11]	PC[10]	PC[9]	PC[8]	..00 0000	..00 0000		
1BH	PCLATL	PC Low Byte for PC<7:0>								0000 0000	0000 0000		
1DH	TBLPTRH			TBLPTR[13]	TBLPTR[12]	TBLPTR[11]	TBLPTR[10]	TBLPTR[9]	TBLPTR[8]	..00 0000	..00 0000		
1EH	TBLPTRL	Program Memory Table Pointer Low Byte (TBLPTR<7:0>)								0000 0000	0000 0000		
1FH	TBLDH	Program Memory Table Latch High Byte								0000 0000	0000 0000		
20H	TBLDL	Program Memory Table Latch Low Byte								0000 0000	0000 0000		
21H	PRODH	Product Register of Multiply High Byte								xxxx xxxx	uuuu uuuu		
22H	PRODL	Product Register of Multiply Low Byte								xxxx xxxx	uuuu uuuu		
23H	INTE1	GIE	ADCIE	TMCIE	TMCIE	TMAIE	WDTIE	E1IE	E0IE	0000 0000	0000 0000		
24H	INTE2	TXIE	RCIE			CPOIE	SSPIE	CCP1IE	CCP0IE	00.. 0000	00.. 0000		
25H	INTE3	E7IE	E6IE	E5IE	E4IE	E3IE	E2IE			0000 00..	0000 00..		
26H	INTF1			ADCIF	TMCIF	TMBIF	TMAIF	WDTIF	E1IF	E0IF	..00 0000	..00 0000	
27H	INTF2	TXIF	RCIF			CPOIF	SSPIF	CCP1IF	CCP0IF	00.. 0000	00.. 0000		
28H	INTF3	E7IF	E6IF	E5IF	E4IF	E3IF	E2IF			0000 00..	0000 00..		
29H	WREG	Working Register								xxxx xxxx	uuuu uuuu		
2AH	BSRCON					BSR[4]	BSR[3]	BSR[2]	BSR[1]	BSR[0] 0000 0000	
2BH	STATUS					C	DC	N	OV	Z	...x xxxx	...u uuuu	
2CH	PSTATUS	PD	TO	IDLEB	BOR			SKERR			000d .0..	uduu .d..	
2DH	LVDCN			LVDVFG	LVD	LVDON	VLDX[3:0]			..000 0000	..000 uuuu		
2EH	SBMSET1	SKRST	HAOTR[5:0]								x.xx xxxx	u.uu uuuu	
30H	PWRCN	ENVDDA	VDDAX[1:0]		ENACM					0000	0000		
31H	MCKCN1	ADCS[2:0]		ADCK	XTHSP	XTSP	ENXT	ENHAO	0000 0001		0000 0001		
32H	MCKCN2			LCK	HCK	HSS[1:0]	CPUCK[1:0]		..00 0000	..00 0000			
33H	MCKCN3	LCDS[2:0]				PERCK	BZS[2:0]		000.. 0000	000.. 0000			
34H	CPACN1	ENCPA	CPIST	CPIX	CPIH[1:0]		CPIL[2:0]		0000 0000	0000 0000			
35H	CPACN2	CPOX		CPOFR	CS1	CPAT	CPVCS[1:0]		..000 000.	..000 000.			
36H	CPACN3			CS2		CPVRX[3:0]			...0 0000	...0 0000			
37H	OPCN1	ENOP	OPM[1:0]		OPP[1:0]		OPN[2:0]		0000 0000	0000 0000			
39H	ADCRH	ADC conversion memory HighByte								xxxx xxxx	uuuu uuuu		
3AH	ADCRM	ADC conversion memory Middle Byte								xxxx xxxx	uuuu uuuu		
3BH	ADCRH	ADC conversion memory Low Byte								xxxx xxxx	uuuu uuuu		
3CH	ADCCN1	ENADC	ENHIGN	ENCHP	PGAGN[1:0]		ADGN[2:0]		0000 0000	0000 0000			
3DH	ADCCN2			INBUF	VRBUF	VREGN	DCSET[2:0]		..00 0000	..00 0000			
3EH	ADCCN3	OSR[2:0]								000.	000.		
3FH	AINET1	INR[2:0]		INB[2:0]		INIS		OPIS	0000 0000	0000 0000			
40H	AINET2	VRH[1:0]		INX[1:0]		VRL[1:0]		..000 000.		..000 000.			
41H	TMACN	ENTMA	TMACK	TMAS[1:0]		ENWDT	WDT[2:0]		0000 0000	0000 0000			
42H	TMAR	TimerA data register								xxxx xxxx	uuuu uuuu		
43H	TMBCN	ENTMB	TMACK	TMBS[1:0]		TMBSYC	TMBR2R	0000 00..		0000 00..			
44H	TMBRH	TimerB High Byte data register								xxxx xxxx	uuuu uuuu		
45H	TMBRL	TimerB Low Byte data register								xxxx xxxx	uuuu uuuu		
46H	TMCCN	ENTMC	TMCC[1:0]		TMCS1[2:0]		TMCS0[1:0]		0000 0000	0000 0000			
47H	PRC	TimerC programmable register								1111 1111	1111 1111		
48H	TMCR	TimerC register								0000 0000	0000 0000		
49H	CCPCN	CCP1M[3:0]				CCP0M[3:0]				0000 0000	0000 0000		
4AH	CCPORH	CCP0 High Byte data register								xxxx xxxx	uuuu uuuu		
4BH	CCP0RL	CCP0 Low Byte data register								xxxx xxxx	uuuu uuuu		
4CH	CCP1RH	CCP1 High Byte data register								xxxx xxxx	uuuu uuuu		
4DH	CCP1RL	CCP1 Low Byte data register								xxxx xxxx	uuuu uuuu		
4EH	PASC	PASF	PASC[1:0]		PSSCN0[1:0]		PSSCN1[1:0]		0.00 0000	0.00 0000			
4FH	PWMCN	ENPWM	ENPFD	PWMRL[1:0]		PWMCG[1:0]		PWMM[1:0]		0000 0000	0000 0000		
50H	PDBD	ENPRS								DBDC[6:0]		0000 0000	0000 0000
51H	PWMR	PWM MSB Byte register								xxxx xxxx	uuuu uuuu		

表 2-3 資料記憶體列表

HY11S14 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller



“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	
52H	LCDCN1	ENLCD	LC DPR	VLC DX[1:0]		LC DBF	LC DBI[1:0]			0000 000.	0000 000.	
53H	LCDCN2	LC DBL	LC DMX[1:0]							000.	000.	
54H	LCD0	Segment SEG2@[3:0] and SEG3@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
55H	LCD1	Segment SEG4@[3:0] and SEG5@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
56H	LCD2	Segment SEG6@[3:0] and SEG7@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
57H	LCD3	Segment SEG8@[3:0] and SEG9@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
58H	LCD4	Segment SEG10@[3:0] and SEG11@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
59H	LCD5	Segment SEG12@[3:0] and SEG13@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
5AH	LCD6	Segment SEG14@[3:0] and SEG15@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
5BH	LCD7	Segment SEG16@[3:0] and SEG17@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
5CH	LCD8	Segment SEG18@[3:0] and SEG19@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
5DH	LCD9	Segment SEG20@[3:0] and SEG21@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
5EH	SSPCON1	SSPEN	CKP	CKE	SMP			SSPM<1:0>		0000 ..00	uuuu ..uu	
60H	SSPSTA	SSPBUY	SSPOV						BF	00.. ...0	00.. ...0	
61H	SSPBUF	SSP Receive Buffer/Transmit Register									xxxx xxxx	uuuu uuuu
63H	URCON	ENSP	ENTX	TX9	TX9D	PARITY			WUE	0000 0..0	0000 0..0	
64H	URSTA		RC9D	PERR	FERR	OERR	RCIDL	TRMT	ABDOVF	.000 0110	.000 0110	
65H	BAUDCON					ENCR	RC9	ENADD	ENABD 0000 0000	
66H	BRGRH	Baud Rate Generator Register High Byte									...x xxxx	...u uuuu
67H	BRGRL	Baud Rate Generator Register Low Byte									xxxx xxxx	uuuu uuuu
68H	TXREG	UART Transmit Register									xxxx xxxx	uuuu uuuu
69H	RCREG	UART Receive Register									xxxx xxxx	uuuu uuuu
6AH	PT4	PT4.7	PT4.6	PT4.5	PT4.4	PT4.3	PT4.2	PT4.1	PT4.0	xxxx xxxx	uuuu uuuu	
6BH	PT4DA	DA4.7	DA4.6	DA4.5	DA4.4	DA4.3	DA4.2	DA4.1	DA4.0	1111 1111	1111 1111	
6CH	PT4PU	PU4.7	PU4.6	PU4.5	PU4.4	PU4.3	PU4.2	PU4.1	PU4.0	0000 0000	0000 0000	
6DH	PT1	PT1.7	PT1.6	PT1.5	PT1.4	PT1.3	PT1.2	PT1.1	PT1.0	xxxx xxxx	uuuu uuuu	
6EH	TRISC1	TC1.7	TC1.6	TC1.5	TC1.4					0000	0000	
6FH	PT1DA						DA1.2	DA1.1	DA1.0000000	
70H	PT1PU	PU1.7	PU1.6	PU1.5	PU1.4	PU1.3	PU1.2	PU1.1	PU1.0	0000 0000	0000 0000	
71H	PT1M1					INTEG1[1:0]		INTEG0[1:0]	 0000 0000	
72H	PT1M2		PM1.7[0]		PM1.6[0]		PM1.5[0]		PM1.4[0]	.0.0 0.0	.0.0 0.0	
73H	PT1INT	INTEG7	INTEG6	INTEG5	INTEG4	INTEG3	INTEG2			0000 00..	0000 00..	
74H	PT2	PT2.7	PT2.6	PT2.5	PT2.4	PT2.3	PT2.2	PT2.1	PT2.0	xxxx xxxx	uuuu uuuu	
75H	TRISC2	TC2.7	TC2.6	TC2.5	TC2.4	TC2.3	TC2.2	TC2.1	TC2.0	0000 0000	0000 0000	
76H	PT2DA	DA2.7	DA2.6	DA2.5	DA2.4	DA2.3	DA2.2			0000 00..	0000 00..	
77H	PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2	PU2.1	PU2.0	0000 0000	0000 0000	
78H	PT2M1		PM2.3[0]	PM2.2[1]	PM2.2[0]					.000000	
79H	PT2M2		PM2.7[0]		PM2.6[0]	PM2.5[1]	PM2.5[0]	PM2.4[1]	PM2.4[0]	.0.0 0000	.0.0 0000	
7AH	PT3	PT3.7	PT3.6	PT3.5	PT3.4	PT3.3	PT3.2	PT3.1	PT3.0	xxxx xxxx	uuuu uuuu	
7BH	TRISC3	TC3.7	TC3.6	TC3.5	TC3.4	TC3.3	TC3.2	TC3.1	TC3.0	0000 0000	0000 0000	
7DH	PT3PU	PU3.7	PU3.6	PU3.5	PU3.4	PU3.3	PU3.2	PU3.1	PU3.0	0000 0000	0000 0000	
80H ~ FFH	GPR0	General Purpose Register as 128Byte									xxxx xxxx	uuuu uuuu
100H ~ 17FH	GPR1	General Purpose Register as 128Byte									xxxx xxxx	uuuu uuuu
180H	LCD10	Segment SEG22@[3:0] and SEG23@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
181H	LCD11	Segment SEG24@[3:0] and SEG25@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
182H	LCD12	Segment SEG26@[3:0] and SEG27@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
183H	LCD13	Segment SEG28@[3:0] and SEG29@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
184H	LCD14	Segment SEG30@[3:0] and SEG31@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
185H	LCD15	Segment SEG32@[3:0] and SEG33@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
186H	LCD16	Segment SEG34@[3:0] and SEG35@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
187H	LCD17	Segment SEG36@[3:0] and SEG37@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
188H	LCD18	Segment SEG38@[3:0] and SEG39@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
189H	LCD19	Segment SEG40@[3:0] and SEG41@[7:4] data register of LCD									xxxx xxxx	uuuu uuuu
192H	PT5	PT5.7	PT5.6	PT5.5	PT5.4	PT5.3	PT5.2	PT5.1	PT5.0	xxxx xxxx	uuuu uuuu	
193H	PT5DA					DA5.3	DA5.2	DA5.1	DA5.0 1111 1111	
194H	PT5PU	PU5.7	PU5.6	PU5.5	PU5.4	PU5.3	PU5.2	PU5.1	PU5.0	0000 0000	0000 0000	
1FDH	WREGSDW	shadow of WREG,reserve for ICE only										
1FEH	BSRSDW	shadow of BSR,reserve for ICE only										
1FFH	STASDW	shadow of STATUS,reserve for ICE only										
200H ~ 2FFH	GPR2	General Purpose Register as 256Byte									xxxx xxxx	uuuu uuuu
300H ~ 3FFH	GPR3	General Purpose Register as 256Byte									xxxx xxxx	uuuu uuuu
400H ~ 4FFH	GPR4	General Purpose Register as 256Byte									xxxx xxxx	uuuu uuuu

表 2-4 資料記憶體列表(續)

3 震盪器、時脈源與功耗管理

HY11P系列具有HAO、LPO與XT三個時脈源，如 表 3-1。透過時脈控制器暫存器的設置可彈性的分配與管理CPU與週邊工作頻率，更能適當調整晶片消耗功率達到節約能源的目的。

時脈控制暫存器摘要：

MCKCN1 ADCS[2:0],ADCCCK[0],XTHSP[0],XTSP[0],ENXT[0],ENHAO[0]

MCKCN2 LSCK[0],HSCK[0],HSS[1:0],CPUCK[1:0]

MCKCN3 LCDS[2:0],PERCK[0],BZS[2:0]

震盪器			振盪方式
符號	屬性	頻率	
HAO	內部	2MHz	RC
LPO		28KHz	RC
XTL/S/H	外部	32768Hz ~ 8MHz	晶體/諧振

表 3-1 晶片時脈源

3.1 震盪器

3.1.1 XT外部晶體/諧振震盪器

時脈控制暫存器MCKCN1[7:0]必須依照外部震盪器的工作頻率進行適當的設置，如 表 3-2。圖 3-1 為HY11P系列的外部震盪器方塊圖。

使用外接震盪器時引腳(I/O)必須設置為輸入模式且不能使用內部提升電阻(Pull High)，然後依其震盪頻率適當設置 **MCKCN1** 暫存器內的控制位元，以決定外接諧振/晶振器的工作頻率。

圖 3-1 所示，C1、C2 與R1 的值隨外接不同頻率的晶體震盪器或諧振器而有所改變，而相同的震盪器又會因電路板佈局不同而導致電容值有些微差異。在無特別考慮情況下，C1 與C2 電容是可以省略；表 3-2 列出設計參考值，並非最佳的匹配值。

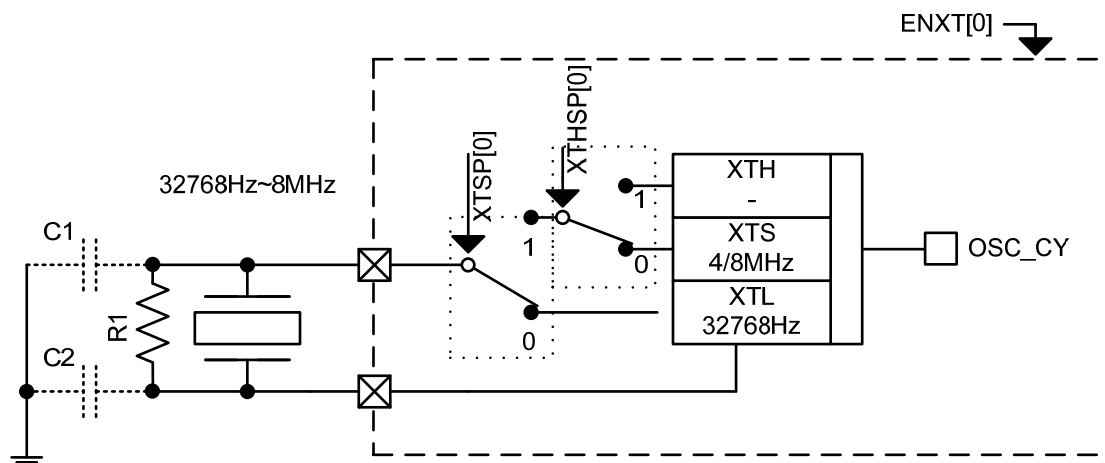


圖 3-1 外部震盪器方塊圖

外接震盪器的振盪頻率分三個等級，每個等級的驅動電流並不相同故裝置的設置上需有所區分，如表 3-2 所示。使用外接震盪器時必須將ENXT[0]設置<1>，當外接震盪器頻率為 4MHz或更高時再將XTSP[0]設置<1>。反之，若未依對應的外接振盪頻率適當的設置XTSP[0]則可能會造成外接震盪器不起振或耗電流過大等狀況。

另外，高速震盪控制器XTHSP[0]不開放使用，故請將XTHSP[0]設置<0>。

XTHSP[0]設置<1>會增加消耗電流。

而在外掛震盪器 32768HZ，R1=10M Ω 設定下，震盪器起振理想時間為 1.3 秒時間。若為外掛震盪器 8MHZ，R1=1M Ω 設定下，震盪器起振理想時間為 30 毫秒時間。

“x”：忽略,電阻單位 Ω ,電容單位F

符號	頻率	陶瓷諧振			晶振			MCKCN1 設置		
		C1	C2	R1	C1	C2	R1	ENXT	XTSP	XTHSP
XTL	455Hz							1	0	0
	32768Hz			10M	20p	20p	10M	1	0	0
XTS	4.0MHz			1M	20p	20p	1M	1	1	0
XTH	8.0MHz			1M	20p	20p	1M	1	1	0

表 3-2 震盪器匹配電容值與MCKCN1 暫存器設置

3.1.2 HAO震盪器

HAO為內部高速RC震盪器，典型輸出頻率為 2.0MHz。相較於外接式XT震盪器，內部HAO具有快速起振及較佳抗干擾的特性，也因此HAO被作為CPU重新啟動的工作時脈源。

HY11P系列產品在CPU使用其他的震盪器作為工作時脈源時，可透過ENHAO[0]設置<0>將HAO震盪器關閉。

3.1.3 LPO震盪器

LPO為內部低速RC震盪器，典型的輸出頻率為 28KHz。由於LPO的消耗電流約為 0.7uA，故主要應用於低速省電的CPU工作模式與看門狗(Watch Dog Timer)時脈源。

HY11P系列產品在執行Sleep指令後LPO震盪器會被關閉，而當晶片被喚醒時LPO將自動起振。

3.2 CPU及週邊電路時脈源

3.2.1 時脈源分配

三組震盪器輸出 (OSC_XT、OSC_HAO、OSC_LPO) 會先經過前置工作時脈分配器進行啓用/停止、切換與預先除頻後再進入晶片的CPU與各週邊電路。前置工作時脈分配器可產生四種不同的時脈頻率，依其相依性與頻率快慢排列分別為 $HS_CK \geq HSS_CK \geq HS_DCK$ 或 LS_CK 。如圖 3-2 所示。

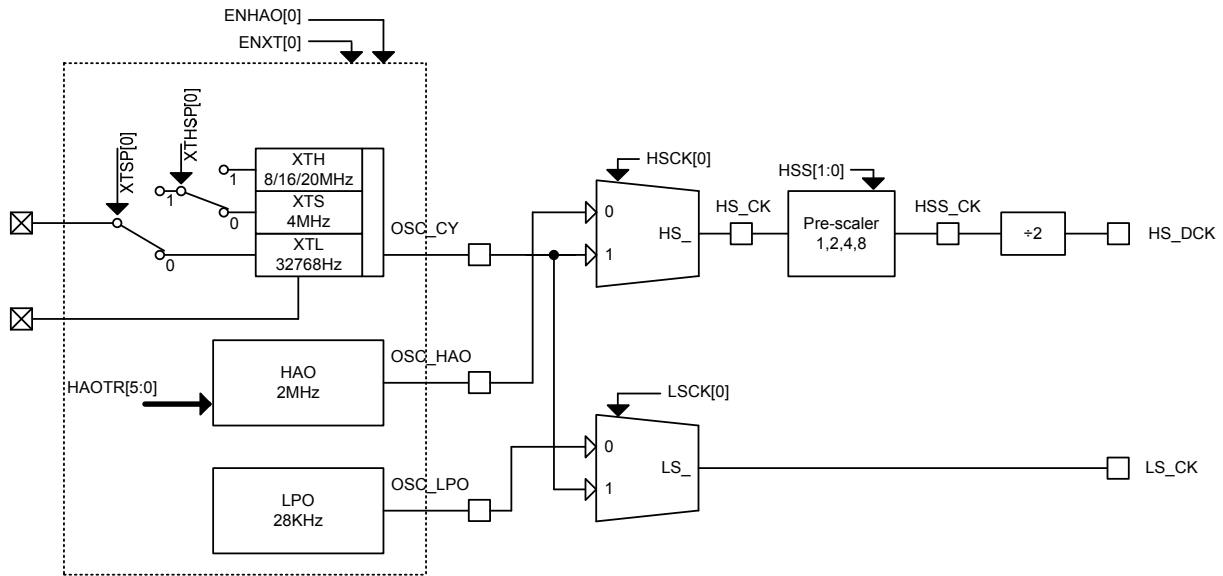


圖 3-2 前置工作時脈分配器

範例程式：

設置內部輔助振盪器 HAO 為主要時脈源，HS_DCK 輸出 500KHz 的頻率且 LS_CK 設置為內部 LPO 的輸出頻率 28KHz。

```

MVL    01h           : 設置 HAO 啓用
MVF    MCKCN1,1,0   :
MVL    00000100b    : 設置 HS_CK 時脈源為 OSC_HAO，脈源
MVF    MCKCN2,1,0   : LS_CK 時為 OSC_LPO。且經 HSS[1:0] 預
                    : 除頻 2。再經內部除頻 2 所以得到 HS_DCK
                    : = 500KHz
    
```

範例 3-1 HS_DCK輸出 500KHz的範例程式

範例程式：

設置外部 8MHz 震盪器為主要時脈源，HS_DCK 輸出 4MHz 的頻率且 LS_CK 設置為內部 LPO 的輸出頻率 28KHz。

```
CLRF   TRISC2,0      ; 設置 PT2.0, PT2.1 供外部震盪器輸入訊號使用
CLRF   PT2PU,0
MVL    047h          ; 設置外部 8MHz 震盪器起振，ADC_CK=250KHz
MVF    MCKCN1,1,0   ;
CALL   DELAY        ; DELAY LOOP 為時間延遲副程式
                          ; 必須保留約 30msec 延遲時間做為震盪器起振使用
MVL    00010001b    ; 設置 CPU_CK 源為 HS_DCK 且切換至外部震盪器
MVF    MCKCN2,1,0   ; HS_DCK 時脈源為 OSC_CY
                          ; LS_CK 時脈源為 OSC_LPO
                          ; 指令週期 INTR_CK=8M/2/4=1MHz
MVL    046h          ; 關閉內部 OSC_HAO 頻率源達省電功能
MVF    MCKCN1,1,0   ;
NOP
```

範例 3-2 HS_DCK輸出 4MHz(外部震盪器)的範例程式

範例程式：

設置外部 32768Hz 振盪器為主要時脈源。

```
CLRF   TRISC2,0      ; 設置 PT2.0, PT2.1 供外部震盪器輸入訊號使用
CLRF   PT2PU,0
MVL    003h          ; 設置外部 32768Hz 震盪器起振
MVF    MCKCN1,1,0   ;
CALL   DELAY        ; DELAY LOOP 為時間延遲副程式
                          ; 必須保留約 1sec 延遲時間做為震盪器起振使用
MVL    00100010b    ; 設置 CPU_CK 源為 LS_CK 且切換至外部震盪器
MVF    MCKCN2,1,0   ; LS_CK 時脈源為 OSC_CY=外部 32768Hz
                          ; 指令週期 INTR_CK=32768Hz/4=8192Hz
MVL    002h          ; 關閉內部 OSC_HAO 頻率源達省電功能
MVF    MCKCN1,1,0   ;
NOP
```

範例 3-3 LS_CK輸出 32768Hz(外部震盪器)的範例程式

3.2.2 CPU時脈源

晶片核心CPU的工作頻率有四種時脈可選擇，分別為HS_CK、HSS_CK、HS_DCK 與 LS_CK。

- 當使用高性能SD18 時，建議使用HS_DCK為CPU工作時脈，以減少數位電路對ADC的干擾。
- 指令的執行週期為CPU_CK/4 而提供週邊的主要時脈為PERA_CK，如圖 3-3。表 3-3 簡略列出CPU工作頻率與指令週期的關係。

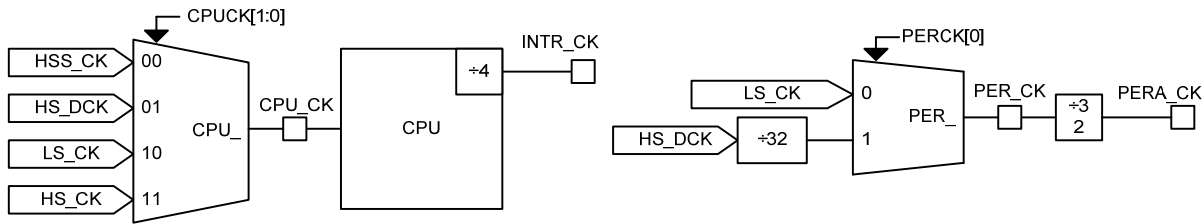


圖 3-3 CPU與週邊工作時脈

工作時脈源 HAO、LPO		CPU 工作頻率 CPU_CK	指令執行週期 INST_CK
HSS_CK	2MHz	2MHz	2us
HS_DCK	1MHz	1MHz	4us
LS_CK	28KHz	28KHz	142us
HS_CK	2MHz	2MHz	2us

表 3-3CPU工作頻率與指令執行週期

3.2.3 CPU周邊電路時脈源

HY11P系列週邊電路的工作時脈係由不同的分配控制器與預除頻器進行配置，該配置將於各週邊單元作詳細說明故於此只附上週邊工作時脈配置圖，如圖 3-4。

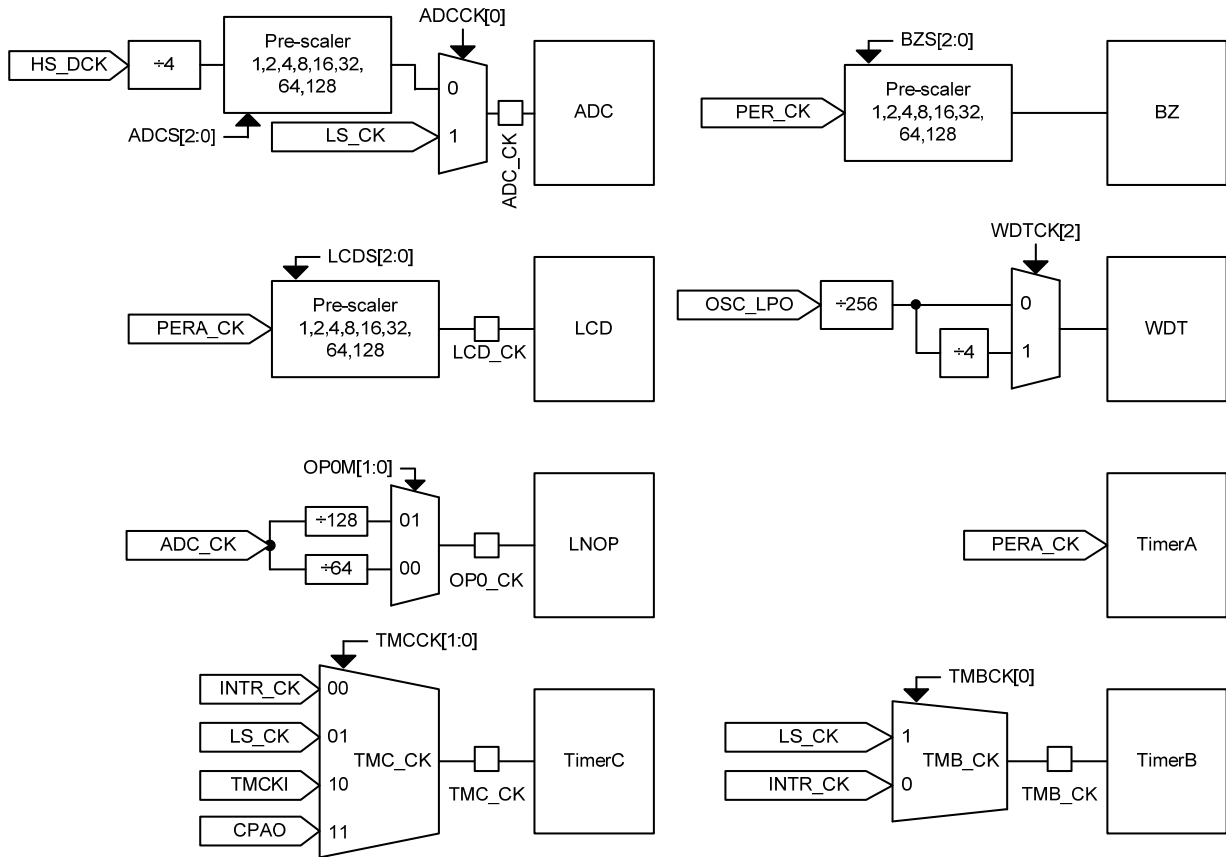


圖 3-4 週邊工作時脈配置圖

3.3 暫存器說明-工作時脈源控制器

“_”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1 “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
31H	MCKCN1	ADCS[2:0]			ADCCK	XTHSP	XTSP	ENXT	ENHAO	0000 0001	0000 0001	*****
32H	MCKCN2		LSCK	HSCK	HSS[1:0]		CPUCK[1:0]		..00 0000	..00 0000	*****	
33H	MCKCN3	LCDS[2:0]				PERCK	BZS[2:0]			000. 0000	000. 0000	***_****
74H	PT2	PT2.7	PT2.6	PT2.5	PT2.4	PT2.3	PT2.2	PT2.1	PT2.0	xxxx xxxx	uuuu uuuu	*****
75H	TRISC2							TC2.1	TC2.0	0000 0000	0000 0000	*****
77H	PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2	PU2.1	PU2.0	0000 0000	0000 0000	*****

表 3-4 工作時脈源控制暫存器

MCKCN1 : 工作時脈源控制器 1

ADCS[2:0] : SD18 週邊工作頻率預除頻器

- 111 : ADC_CK/128
- 110 : ADC_CK/64
- 101 : ADC_CK/32
- 100 : ADC_CK/16
- 011 : ADC_CK/8
- 010 : ADC_CK/4
- 001 : ADC_CK/2
- 000 : ADC_CK/1

ADCCK : SD18 週邊工作時脈選擇器

- 1 : LS_CK
- 0 : HS_DCK

XTHSP : 外接震盪器頻率選擇控制位

- 1 : 保留；未開放使用。(當設置<1>將使晶片工作電流變大)
- 0 : XTS模式

XTSP : 外接震盪器頻率選擇控制位

- 1 : XTS模式
- 0 : XTL模式

ENXT : 外部晶振/諧振器啟用控制位

- 1 : 啟用
- 0 : 停止

ENHAO : 內部HAO(2MHz)啟用控制位

- 1 : 啟用
- 0 : 停止

HY11S14 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller



“.”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1												
“.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
31H	MCKCN1	ADCS[2:0]			ADCK	XTHSP	XTSP	ENXT	ENHAO	0000 0001	0000 0001	*****
32H	MCKCN2			LCK	HCK	HSS[1:0]		CPUCK[1:0]		.00 0000	.00 0000	*****
33H	MCKCN3	LCDS[2:0]				PERCK	BZS[2:0]			000. 0000	000. 0000	*****
74H	PT2	PT2.7	PT2.6	PT2.5	PT2.4	PT2.3	PT2.2	PT2.1	PT2.0	xxxx xxxx	uuuu uuuu	*****
75H	TRISC2							TC2.1	TC2.0	0000 0000	0000 0000	*****
77H	PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2	PU2.1	PU2.0	0000 0000	0000 0000	*****

MCKCN2 : 工作時脈源控制器 2

LCK : 低速時脈源選擇器控制位元

當ENXT = 1

1 : OSC_CY

0 : OSC_LPO

當ENXT = 0

1 : 無法設置

0 : OSC_LPO

HCK : 高速時脈源選擇器控制位元

當ENXT = 1

1 : OSC_CY

0 : OSC_HAO

當ENXT = 0

1 : 無法設置

0 : OSC_HAO

HSS[1:0] : 高速組時脈源預分頻器

11 : HS_CK/8

10 : HS_CK/4

01 : HS_CK/2

00 : HS_CK/1

CPUCK[1:0] : CPU工作時脈選擇控制位

11 : HS_CK

10 : LS_CK

01 : HS_DCK

00 : HSS_CK

註解 :

ADC啟動後，若暫存器” MCKCN2(032h) ”發生被再次寫入或讀取的動作，則ADC必須關閉並啟動，以免造成AD counts的飄移。

HY11S14 Emulate Chip User' Guide

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller



“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1												
“.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
31H	MCKCN1	ADCS[2:0]			ADCK	XTHSP	XTSP	ENXT	ENHAO	0000 0001	0000 0001	*****
32H	MCKCN2		LCK	HCK	HSS[1:0]		CPUCK[1:0]		.00 0000	.00 0000	*****	
33H	MCKCN3	LCDS[2:0]			PERCK	BZS[2:0]			000. 0000	000. 0000	*****	
74H	PT2	PT2.7	PT2.6	PT2.5	PT2.4	PT2.3	PT2.2	PT2.1	PT2.0	xxxx xxxx	uuuu uuuu	*****
75H	TRISC2							TC2.1	TC2.0	0000 0000	0000 0000	*****
77H	PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2	PU2.1	PU2.0	0000 0000	0000 0000	*****

MCKCN3 : 晶片工作時脈源控制器 3

LCDS[2:0] : LCD週邊工作頻率預除頻器

111 : PERA_CK/128

110 : PERA_CK/64

101 : PERA_CK/32

100 : PERA_CK/16

011 : PERA_CK/8

010 : PERA_CK/4

001 : PERA_CK/2

000 : PERA_CK/1

PERCK : 週邊時脈源選擇控制器位

1 : HS_DCK/32 ◦

0 : LS_CK ◦

BZS[2:0] : BZ週邊工作頻率預除頻器

111 : PER_CK/128 ◦

110 : PER_CK/64 ◦

101 : PER_CK/32 ◦

100 : PER_CK/16 ◦

011 : PER_CK/8 ◦

010 : PER_CK/4 ◦

001 : PER_CK/2 ◦

000 : PER_CK/1 ◦

3.4 功率消耗管理與操作狀態

HY11P系列 CPU提供三種工作模式讓使用者可以在執行效能與省電得到最佳管理，三種模式分別為運行模式、待機模式與休眠模式。

3.4.1 運行模式

運行模式主要指CPU依循時脈源處理所有發生的事件，此時晶片所有週邊皆可正常運作且功率消耗在同時脈下時處於最大的狀態。

3.4.2 待機模式

待機模式是透過IDLE指令進入待機模式中，主要指CPU進入節能的狀態即停止運作等待喚醒，並將PSTATUS復位暫存器的IDLEB [0]旗標位元置<1>。在此模式下晶片週邊仍正常運作，當週邊產生中斷事件時將會喚醒CPU⁵。另外，看門狗計數終了產生的信號在此模式下是屬於中斷事件信號而非復位信號。範例程式如 範例 3-4。

在待機模式狀下，CPU為暫停模式，停在IDLE指令下，其內部震盪器均不受影響也未關閉，使用者若為達更節能狀態，需視應用情形，適時關閉週邊或震盪器等資源。而晶片則必須透過外部中斷源，或是其他週邊資源中斷訊號達到離開待機模式狀態。

在待機模式下，若遇到中斷源而離開待機模式時，則需要 2 個指令週期時間才能回到中斷向量 04H位置。若CPU頻率源為內部理想 2MHZ，則一個指令週期時間為 2usec，因此喚醒則需要 4usec程式才能回到中斷向量位置；若CPU頻率源為內部理想 28KHZ，則一個指令週期時間為 143usec，因此喚醒則需要 286usec程式才能回到中斷向量位置。

若在待機模式下，CPU頻率源為內部 28KHZ，且內部 2MHZ震盪器已被關閉，而在喚醒之後啟動 2MHZ震盪器，則到完整啟動 2MHZ震盪器，則需要 2 個 28KHZ指令週期喚醒時間加上 128 個 2MHZ指令週期起振時間，相當於約 542usec的時間後，內部 2MHZ震盪器才能正常起振完成。

3.4.3 休眠模式

休眠模式是透過SLP指令進入休眠模式中，主要指晶片處於停止運作狀態，CPU、內部震盪器(HAO與LPO)與外部震盪器(XT)將停止工作，週邊使用HAO、LPO、XT等相關時脈源亦停止運作並將PSTATUS復位暫存器的PD旗標位元置<1>。在此模式下，晶片將處於等待中斷事件進行喚醒，因為部分週邊雖停止運作但其功能仍處於開啓狀態，故為了達到休眠模式晶片功耗處於最低的情況下非用於喚醒晶片的週邊必需做進一步的功能關閉。範例程式如 範例 3-5。

在休眠模式前，若CPU頻率源為HAO(2MHZ)頻率源，則在休眠後遇到中斷源而離開休眠模式時，重新啟動HAO頻率源則需要 256 個指令時間，相當於約 512usec

⁵ CPU 受到中斷信號喚醒後 PC(程式計數器)會跳至中斷向量位置(0x004h)。詳細的 PSTATUS 復位暫存器與中斷服務向量的說明請參見 復位、中斷章節

的時間後，HAO震盪器能重新啓動完成。若在休眠模式前，若CPU頻率源為LPO(28KHZ)頻率源，則在休眠後遇到中斷源而離開休眠模式時，重新啓動LPO頻率源則需要 512 個指令時間，相當於約 73.2msec的時間後，LPO震盪器能重新啓動完成。

```
MVL    00000010B
MVF    MCKCN2, F, ACCE    ; 設內部 LPO 為 CPU 時鐘
MVL    00000000B
MVF    MCKCN1, F, ACCE    ; 關閉所有外部時鐘源以及內部 HAO
MVL    00000000B
MVF    MCKCN3, F, ACCE
CLRF   TMACN              ; 關閉各個時鐘計數模組，也可以根據功能需要
CLRF   TMBCN              ; 開啟此三個模組，以及看門狗計數器
CLRF   TMCCN              ;
CLRF   ADCCN1             ; 關閉 ADC 功能模組
CLRF   ADCCN2
CLRF   ADCCN3
CLRF   AINET1
CLRF   AINET2
CLRF   PWRCN              ; 關閉 VDDA,關閉 ACM
MVL    00000000B
MVF    PT1DA, F, ACCE    ;
MVL    11110000B
MVF    TRISC1, F, ACCE    ; 設定 PT1.0 為外部中斷喚醒輸入
MVL    00001111B
MVF    PT1PU, F, ACCE
MVL    00000000B
MVF    PT1, F, ACCE
CLRF   PT1M1
.....
.....                    ; 同時可以根據 TMA,TMB,TMC 的功能對應對
.....                    ; PT1,PT2 進行設置，可參照關於 TMA,TMB,TMC
.....                    ; 的範例程式
CLRF   INTF1,ACCE
MVL    10000001B
MVF    INTE1,F,ACCE      ; 設定外部中斷 1 使能
IDLE
NOP
```

範例 3-4 待機模式範例程式

```
MVL      00000010B
MVF      MCKCN2, F, ACCE      ; 設內部 LPO 為 CPU 時鐘
MVL      00000000B
MVF      MCKCN1, F, ACCE      ; 關閉所有外部時鐘源以及內部 HAO
MVL      00000000B
MVF      MCKCN3, F, ACCE
CLRF     LCDCN1                ; 關閉 LCD 驅動
CLRF     TMACN                 ; 關閉 TIMERA 功能模組
CLRF     TMBCN                 ; 關閉 TIMERB 功能模組
CLRF     TMCCN                 ; 關閉 TMERC 功能模組
CLRF     ADCCN1                ; 關閉 ADC 功能模組
CLRF     ADCCN2
CLRF     ADCCN3
CLRF     AINET1
CLRF     AINET2
CLRF     PWRCN                 ; 關閉 VDDA,關閉 ACM
MVL      00000000B
MVF      PT1DA, F, ACCE      ;
MVL      11110000B
MVF      TRISC1, F, ACCE      ; 設定 PT1.0 為外部中斷喚醒輸入
MVL      00001111B
MVF      PT1PU, F, ACCE
MVL      00000000B
MVF      PT1, F, ACCE
CLRF     PT1M1
CLRF     PT2PU
MVL      11111111B
MVF      TRISC2, F, ACCE
CLRF     PT2
CLRF     PT2M1
CLRF     PT2M2
CLRF     INTF1,ACCE
MVL      10000001B
MVF      INTE1,F,ACCE        ; 設定外部中斷 1 使能
SLP
NOP
```

HY11S14 Emulate Chip User' Guide

Embedded 18-Bit $\Sigma\Delta$ ADC

8-Bit RISC-like Mixed Signal Microcontroller



範例 3-5 休眠範例程式

4 復位, RESET

HY11P系列的復位線路包含以下四種事件來觸發復位訊號，復位方塊圖如 圖 4-1。

- ◆ **BOR** 電源干擾復位。
- ◆ **RST** 外部復位輸入引腳。
- ◆ **WDT** 看門狗復位。
- ◆ **SKERR** 堆疊錯誤復位。(使用者決定)

操作狀態暫存器摘要：

PSTATUS PD[0], TO[0], IDLEB[0], BOR[0], LVD[0], SKERR[0]

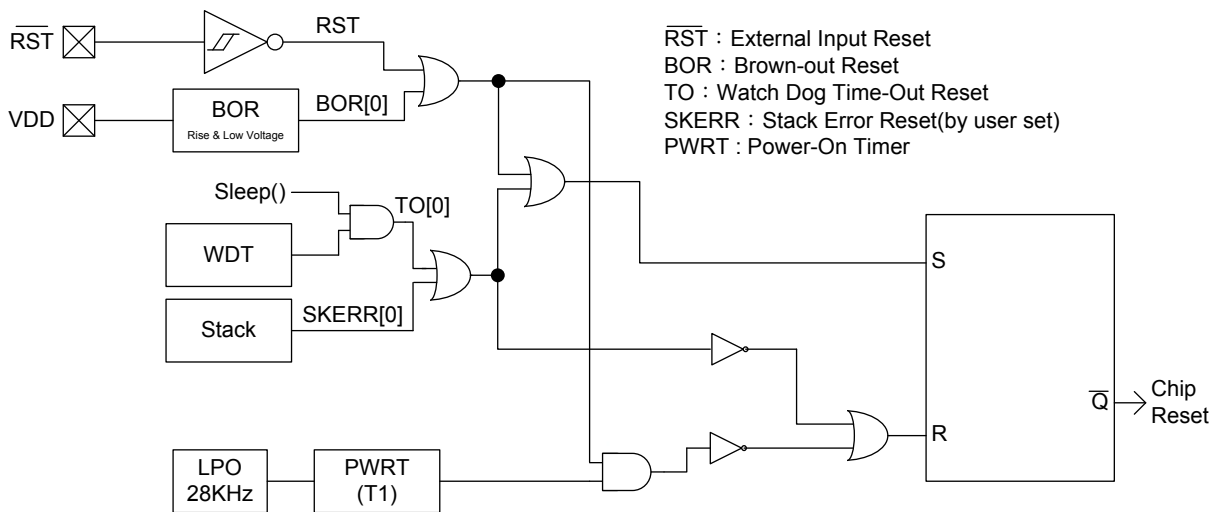


圖 4-1 復位方塊圖

這些復位事件可區分為硬體復位及軟體復位，說明如 表 4-1。CPU經復位後程式由 0x0000h 啟動。

復位種類	事件	符號	說明
硬體復位	BOR RST	A-RESET	CPU重新啟動，須等待內部震盪器啟動計數完成後方能進入正常工作狀態。
低階復位	WDT SKERR	I-RESET	僅清除部分暫存器，CPU快速回到正常工作狀態。

表 4-1 復位等級表

4.1 復位事件說明

4.1.1 BOR電源干擾復位

當CPU在上電過程或電源受外界干擾時，CPU會由不正常工作的過低工作電壓進入正常工作電壓。因此，如CPU在過低工作電壓時無法處於復位狀態，將會造成CPU當機使週邊電路工作異常。所以必須靠著BOR線路功能，在偵測到工作電壓受到干擾且電壓準位低於設計值，會產生復位信號使晶片進入重新啓動狀態，直至回復工作電壓才會解除復位信號使晶片進入正常工作模式。

當發生BOR復位時，PSTATUS[7:0]暫存器中的BOR[0]旗標會被置<1>以記錄發生的事件。

HY11P系列的BOR線路會產生約 0.6uA的電流消耗，無法透過程式或其他設置方式使其關閉。

4.1.2 RST外部輸入復位

外部RST引腳的電壓準位低於設計值⁶時會產生復位信號使晶片進入重新啓動狀態，直至RST電壓準位恢復時才會解除復位信號使晶片進入正常工作模式。

4.1.3 WDT看門狗計數器復位

WDT看門狗計時器在運行模式計數終了時會產生復位信號使晶片進入快速啓動狀態。當發生WDT看門狗復位時 PSTATUS[7:0] 暫存器中的TO[0]旗標會被置<1>以記錄發生的事件。

注意，WDT計數終了產生的信號有兩種，當晶片操作在運行模式下會產生復位信號，若晶片操作在待機模式則產生中斷事件信號喚醒CPU。詳細的操作說明請參見 **看門狗, WDT** 章節。

4.1.4 SKERR堆疊錯誤復位

程式發生堆疊溢位或欠位時會產生復位信號使晶片進入快速啓動狀態。當發生SKERR堆疊錯誤復位時PSTATUS[7:0]暫存器中的SKERR[0]旗標會被置<1>以記錄發生的事件。詳細的操作說明請參見 **記憶體, Memory** 章節。

⁶ 該引腳存在另外兩種功能，一是當 RST 輸入電壓拉高至符合 V_{IH} 規格時，晶片進入 OTP 燒寫模式，另一是當 RST 輸入電壓符合 V_{IL} 規格時進入晶片漏電流檢測模式。

4.2 狀態暫存器

晶片的操作狀態顯示於PSTATUS[7:0]復位暫存器，相互間關係如表 4-2。

“0”：未發生，“1”：已發生，“u”：不改變，“-”：未使用

名稱/狀態	位址	7	6	5	4	3	2	1	0
PSTATUS	02CH	PD	TO	IDLEB	BOR	-	SKERR	-	-
硬體復位 (A-RESET)	BOR	0	0	0	1	-	0	-	-
	RST	0	0	0	u	-	0	-	-
軟體復位 (I-RESET)	WDT	u	1	u	u	-	u	-	-
	SKERR	u	u	u	u	-	1	-	-

表 4-2 復位狀態旗標關係表

4.2.1 復位狀態的時序圖

硬體復位信號發生後至晶片進入操作狀態的時序圖，如圖 4-2。不同復位信號信號發生後至晶片進入操作狀態的時間，如表 3-2(b)

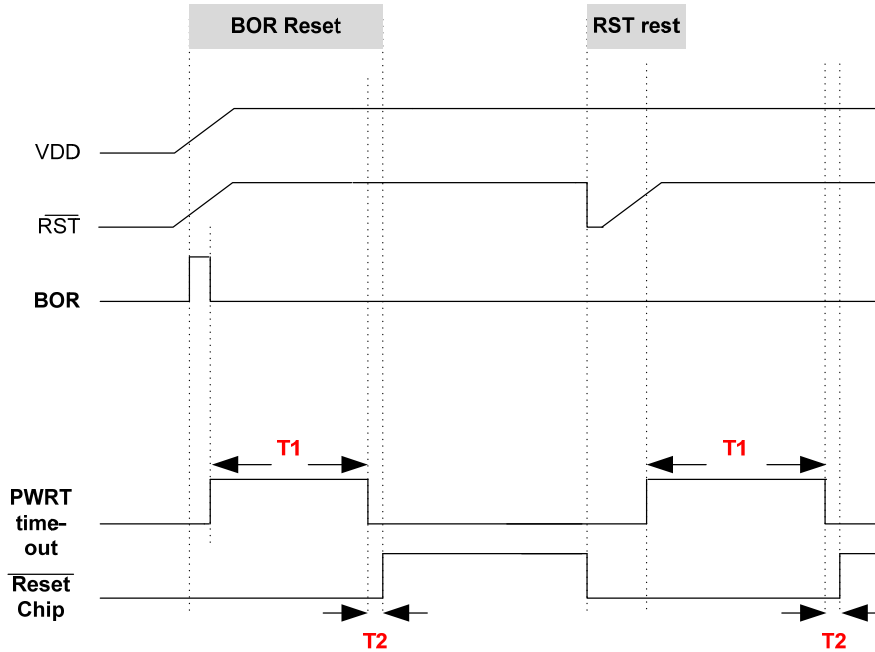


圖 4-2 低階復位狀態時序圖

“-”：無定義

復位信號	延遲時間			操作狀態		
	符號	T1 ⁷	T2 ⁸	運行	待機	休眠
BOR	t _{RST}	T1 + T2		有效	有效	有效
RST		T1 + T2		有效	有效	有效
WDT ⁹	-	-	-	有效	有效	無效
SKERR	-	-	-	有效	無效	無效

表 4-3 復位狀態的延遲時間與操作狀態關係表

⁷ T1：2048 個純硬體振盪週期延遲，使用的時脈源為 LPO(28KHz)。

⁸ T2：1024 個純硬體振盪週期延遲，使用的時脈源為 HAO(2MHz)。

⁹ WDT 數終了產生的信號有兩種，詳細的操作說明請參見看門狗,WDT 章節。

4.2.2 暫存器說明-復位狀態

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET
2CH	PSTATUS	PD	TO	IDLEB	BOR		SKERR			000d .0..	uduu .d..

表 4-4 復位暫存器

PSTATUS : 狀態暫存器

PD : 休眠狀態旗標

1 : 執行SLEEP指令時置<1>。

0 : 清除需透過BOR、RST或指令。

TO : 看門狗計時器旗標

1 : 看門狗計數終了時置<1>。

0 : 清除需透過BOR、RST或指令。

IDLEB : 待機狀態旗標

1 : 執行IDLE指令時置<1>。

0 : 清除需透過BOR、RST或指令。

BOR : 電源干擾復位旗標,

1 : BOR發生作用時置<1>。

0 : 清除需透過指令。

SKERR : 堆疊錯誤復位旗標

1 : 堆疊錯誤時置<1>。

0 : 清除需透過BOR、RST或指令。

4.3 暫存器列表-資料記憶體復位狀態

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1															
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition															
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W			
00H	INDF0	Contents of FSR0 to address data memoryvalue of FSR0 not changed									N/A	N/A	*****		
01H	POINC0	Contents of FSR0 to address data memoryvalue of FSR0 post-incremented									N/A	N/A	*****		
02H	PODEC0	Contents of FSR0 to address data memoryvalue of FSR0 post-decremented									N/A	N/A	*****		
03H	PRINC0	Contents of FSR0 to address data memoryvalue of FSR0 pre-incremented									N/A	N/A	*****		
04H	PLUSW0	Contents of FSR0 to address data memoryvalue of FSR0 offset by W									N/A	N/A	*****		
05H	INDF1	Contents of FSR1 to address data memoryvalue of FSR0 not changed									N/A	N/A	*****		
06H	POINC1	Contents of FSR1 to address data memoryvalue of FSR0 post-incremented									N/A	N/A	*****		
07H	PODEC1	Contents of FSR1 to address data memoryvalue of FSR0 post-decremented									N/A	N/A	*****		
08H	PRINC1	Contents of FSR1 to address data memoryvalue of FSR0 pre-incremented									N/A	N/A	*****		
09H	PLUSW1	Contents of FSR1 to address data memoryvalue of FSR0 offset by W									N/A	N/A	*****		
0FH	FSR0H								FSR0[9]	FSR0[8]xxuu	*****		
10H	FSROL	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]									xxxx xxxx	uuuu uuuu	*****		
11H	FSR1H								FSR1[9]	FSR1[8]xxuu	*****		
12H	FSR1L	Indirect Data Memory Address Pointer 1 Low Byte,FSR1[7:0]									xxxx xxxx	uuuu uuuu	*****		
16H	TOSH	TOS[13]			TOS[12]	TOS[11]	TOS[10]	TOS[9]	TOS[8]	..00 0000	..00 0000	*****			
17H	TOSL	Top-of-Stack Low Byte (TOS<7:0>)											0000 0000	0000 0000	*****
18H	STKPTR	STKFL	STKUN	STKOV	STKPR1[4]	STKPR1[3]	STKPR1[2]	STKPR1[1]	STKPR1[0]	0000 0000	0000 0000	r,rw 0,rw 0,r,r,r,r,r			
1AH	PCLATH	PC[13]			PC[12]	PC[11]	PC[10]	PC[9]	PC[8]	..00 0000	..00 0000	*****			
1BH	PCLATL	PC Low Byte for PC<7:0>											0000 0000	0000 0000	*****
1DH	TBLPTRH	TBLPTR[13]			TBLPTR[12]	TBLPTR[11]	TBLPTR[10]	TBLPTR[9]	TBLPTR[8]	..00 0000	..00 0000	*****			
1EH	TBLPTL	Program Memory Table Pointer Low Byte (TBLPTR<7:0>)											0000 0000	0000 0000	*****
1FH	TBLDH	Program Memory Table Latch High Byte											0000 0000	0000 0000	*****
20H	TBLDL	Program Memory Table Latch Low Byte											0000 0000	0000 0000	*****
21H	PRODH	Product Register of Multiply High Byte									xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r		
22H	PRODL	Product Register of Multiply Low Byte									xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r		
23H	INTE1	GIE	ADCFE	TMCFE	TMBIE	TMAIE	WDTIE	E1IE	E0IE	0000 0000	0000 0000	*****			
24H	INTE2	TXIE	RCIE	TMCFE	TMBIE	CPOIE	SSPIE	CCP1IE	CCP0IE	00.. 0000	00.. 0000	*****			
25H	INTE3	E7IE	E6IE	E5IE	E4IE	E3IE	E2IE			0000 00..	0000 00..	*****			
26H	INTF1		ADCFIF	TMCFIF	TMBIF	TMAIF	WDTIF	E1IF	E0IF	..00 0000	..00 0000	*****			
27H	INTF2	TXIF	RCIF	TMCFIF	TMBIF	CPOIF	SSPIF	CCP1IF	CCP0IF	00.. 0000	00.. 0000	*****			
28H	INTF3	E7IF	E6IF	E5IF	E4IF	E3IF	E2IF			0000 00..	0000 00..	*****			
29H	WREG	Working Register									xxxx xxxx	uuuu uuuu	*****		
2AH	BSRCN				BSR[4]	BSR[3]	BSR[2]	BSR[1]	BSR[0]000000	*****			
2BH	STATUS				C	DC	N	OV	Z	...x xxxx	...u uuuu	*****			
2CH	PSTATUS	PD	TO	IDLEB	BOR	SKERR				000d .0..	uduu .d..	rw 0,rw 0,rw 0,rw 0,-rw 0,-,-			
2DH	LVDON	LVDFG			LVD	LVDON	VLDX[3:0]			..00 0000	..00 0000	*****			
2EH	SBMSET1	SKRST	HAOTR[5:0]									x.xx xxxx	u.uu uuuu	*****	
30H	PWRON	ENVDDA	VDDAX[1:0]		ENACM					0000	0000	*****			
31H	MCKCN1	ADCS[2:0]			ADCCK	XTHSP	XTSP	ENXT	ENHAO	0000 0001	0000 0001	*****			
32H	MCKCN2	LSCK			HCK	HSS[1:0]		CPUCK[1:0]		..00 0000	..00 0000	*****			
33H	MCKCN3	LDCS[2:0]				PERCK	BZS[2:0]			000. 0000	000. 0000	*****			
34H	CPACN1	ENCPA	CPST	CPX	CPH[1:0]		CPL[2:0]			0000 0000	0000 0000	*****			
35H	CPACN2		CPOX	CPOFR	CS1	CPAT	CPVCS[1:0]			..000 000.	..000 000.	*****			
36H	CPACN3				CS2		CPVRX[3:0]			...0 0000	...0 0000	*****			
37H	OPCN1	ENOP	OPM[1:0]		OPP[1:0]		OPN[2:0]			0000 0000	0000 0000	*****			
39H	ADCRH	ADC conversion memory HighByte									xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r		
3AH	ADCRM	ADC conversion memory Middle Byte									xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r		
3BH	ADCRH	ADC conversion memory Low Byte									xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r		
3CH	ADCCN1	ENADC	ENHIGN	ENCHP	PGAGN[1:0]		ADGN[2:0]			0000 0000	0000 0000	*****			
3DH	ADCCN2		INBUF	VRRBUF	VREGN	DCSET[2:0]				..00 0000	..00 0000	*****			
3EH	ADCCN3	OSR[2:0]								000.	000.	*****			
3FH	AINET1	INH[2:0]			INL[2:0]		INIS		OPIS	0000 0000	0000 0000	*****			
40H	AINET2	VRH[1:0]			INX[1:0]		VRL[1:0]			..000 000.	..000 000.	*****			
41H	TMACN	ENTMA	TMAK	TMAS[1:0]		ENWDT	WDTS[2:0]			0000 0000	0000 0000	***** w 1			
42H	TMAR	TimerA data register											xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r
43H	TMBCN	ENTMB	TMBCK	TMBS[1:0]		TMBSYC	TMBR2R			0000 00..	0000 00..	*****			
44H	TMBRH	TimerB High Byte data register											xxxx xxxx	uuuu uuuu	*****
45H	TMBRL	TimerB Low Byte data register											xxxx xxxx	uuuu uuuu	*****
46H	TMCCN	ENTMC	TMCCK[1:0]		TMCS1[2:0]		TMCS0[1:0]			0000 0000	0000 0000	*****			
47H	PRC	TimerC programmable register											1111 1111	1111 1111	*****
48H	TMCR	TimerC register											0000 0000	0000 0000	r,r,r,r,r,r,r,r
49H	CCPCN	CCP1M[3:0]				CCP0M[3:0]					0000 0000	0000 0000	*****		
4AH	CCPORH	CCP0 High Byte data register											xxxx xxxx	uuuu uuuu	*****
4BH	CCPORL	CCP0 Low Byte data register											xxxx xxxx	uuuu uuuu	*****

表 4-5 資料記憶體復位狀態

HY11S14 Emulate Chip

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller



"no use,""read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1
 "unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition

Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W				
4CH	CCP1RH	CCP1 High Byte data register								xxxx xxxx	uuuu uuuu	*****				
4DH	CCP1RL	CCP1 Low Byte data register								xxxx xxxx	uuuu uuuu	*****				
4EH	PASC	PASF	PASC[1:0]			PSSCN0[1:0]		PSSCN1[1:0]		0.00 0000	0.00 0000	*****				
4FH	PWMCN	ENPWM	ENPFD	PWMRL[1:0]		PWMCG[1:0]		PWMM[1:0]		0000 0000	0000 0000	*****				
50H	FDBD	ENFRS DBDC[6:0]								0000 0000	0000 0000	*****				
51H	PWMMR	PWM MSB Byte register														
52H	LCDON1	ENLCD	LCDPR	VLCDX[1:0]		LCDBF	LCDB[1:0]			0000 000.	0000 000.	*****				
53H	LCDON2	LCDBL	LCDBM[1:0]									000.	000.	*****		
54H	LCD0	Segment SEG2@[3:0] and SEG3@[7:4] data register of LCD														
55H	LCD1	Segment SEG4@[3:0] and SEG5@[7:4] data register of LCD														
56H	LCD2	Segment SEG6@[3:0] and SEG7@[7:4] data register of LCD														
57H	LCD3	Segment SEG8@[3:0] and SEG9@[7:4] data register of LCD														
58H	LCD4	Segment SEG10@[3:0] and SEG11@[7:4] data register of LCD														
59H	LCD5	Segment SEG12@[3:0] and SEG13@[7:4] data register of LCD														
5AH	LCD6	Segment SEG14@[3:0] and SEG15@[7:4] data register of LCD														
5BH	LCD7	Segment SEG16@[3:0] and SEG17@[7:4] data register of LCD														
5CH	LCD8	Segment SEG18@[3:0] and SEG19@[7:4] data register of LCD														
5DH	LCD9	Segment SEG20@[3:0] and SEG21@[7:4] data register of LCD														
5EH	SSPCON1	SSPEN	CKP	CKE	SMP					SSPM<1:0>		0000 ..00	uuuu ..uu	*****		
60H	SSPSTA	SSPBUY	SSPOV							BF	00... ..00	00... ..00	r,r,r,r,r,r,r			
61H	SSPBUF	SSP Receive Buffer/Transmit Register														
63H	URCON	ENSP	ENTX	TX9	TX9D	PARITY				WUE	0000 0..0	0000 0..0	*****			
64H	URSTA	RC9D		FERR	FERR	RCIDL	TRMT	ABDOVF				.000 0110	.000 0110	-r,r,r,r,r,r,rw 0		
65H	BAUDCON					ENCR	RC9	ENADD	ENABD			 0000 0000	*****	
66H	BRGRH	Baud Rate Generator Register High Byte														
67H	BRGRL	Baud Rate Generator Register Low Byte														
68H	TXREG	UART Transmit Register														
69H	RCREG	UART Receive Register														
6AH	PT4	PT4.7	PT4.6	PT4.5	PT4.4	PT4.3	PT4.2	PT4.1	PT4.0	xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r				
6BH	PT4DA	DA4.7	DA4.6	DA4.5	DA4.4	DA4.3	DA4.2	DA4.1	DA4.0	1111 1111	1111 1111	*****				
6CH	PT4PU	PU4.7	PU4.6	PU4.5	PU4.4	PU4.3	PU4.2	PU4.1	PU4.0	0000 0000	0000 0000	*****				
6DH	PT1	PT1.7	PT1.6	PT1.5	PT1.4	PT1.3	PT1.2	PT1.1	PT1.0	xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r				
6EH	TRISC1	TC1.7	TC1.6	TC1.5	TC1.4					0000	0000	*****				
6FH	PT1DA					DA1.2	DA1.1	DA1.0			 000 000	*****		
70H	PT1PU	PU1.7	PU1.6	PU1.5	PU1.4	PU1.3	PU1.2	PU1.1	PU1.0	0000 0000	0000 0000	*****				
71H	PT1M1					INTEG1[1:0]		INTEG0[1:0]		 0000 0000	*****			
72H	PT1M2	PM1.7[0]			PM1.6[0]	PM1.5[0]		PM1.4[0]			.0.0 0.0	.0.0 0.0	*****			
73H	PT1INT	INTEG7	INTEG6	INTEG5	INTEG4	INTEG3	INTEG2				0000 00..	0000 00..	*****			
74H	PT2	PT2.7	PT2.6	PT2.5	PT2.4	PT2.3	PT2.2	PT2.1	PT2.0	xxxx xxxx	uuuu uuuu	*****				
75H	TRISC2	TC2.7	TC2.6	TC2.5	TC2.4	TC2.3	TC2.2	TC2.1	TC2.0	0000 0000	0000 0000	*****				
76H	PT2DA	DA2.7	DA2.6	DA2.5	DA2.4	DA2.3	DA2.2				0000 00..	0000 00..	*****			
77H	PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2	PU2.1	PU2.0	0000 0000	0000 0000	*****				
78H	PT2M1	PM2.3[0]		PM2.2[1]	PM2.2[0]					.000000	*****				
79H	PT2M2	PWMTR[1]	PWMTR[0]	PM2.6[0]	PM2.5[1]	PM2.5[0]	PM2.4[1]	PM2.4[0]				00.0 0000	00.0 0000	*****		
7AH	PT3	PT3.7	PT3.6	PT3.5	PT3.4	PT3.3	PT3.2	PT3.1	PT3.0	xxxx xxxx	uuuu uuuu	*****				
7BH	TRISC3	TC3.7	TC3.6	TC3.5	TC3.4	TC3.3	TC3.2	TC3.1	TC3.0	0000 0000	0000 0000	*****				
7DH	PT3PU	PU3.7	PU3.6	PU3.5	PU3.4	PU3.3	PU3.2	PU3.1	PU3.0	0000 0000	0000 0000	*****				
80H ~ FFH	GPR0	General Purpose Register as 128Byte														
100H~17FH	GPR1	General Purpose Register as 128Byte														
180H	LCD10	Segment SEG22@[3:0] and SEG23@[7:4] data register of LCD														
181H	LCD11	Segment SEG24@[3:0] and SEG25@[7:4] data register of LCD														
182H	LCD12	Segment SEG26@[3:0] and SEG27@[7:4] data register of LCD														
183H	LCD13	Segment SEG28@[3:0] and SEG29@[7:4] data register of LCD														
184H	LCD14	Segment SEG30@[3:0] and SEG31@[7:4] data register of LCD														
185H	LCD15	Segment SEG32@[3:0] and SEG33@[7:4] data register of LCD														
186H	LCD16	Segment SEG34@[3:0] and SEG35@[7:4] data register of LCD														
187H	LCD17	Segment SEG36@[3:0] and SEG37@[7:4] data register of LCD														
188H	LCD18	Segment SEG38@[3:0] and SEG39@[7:4] data register of LCD														
189H	LCD19	Segment SEG40@[3:0] and SEG41@[7:4] data register of LCD														
192H	PT5	PT5.7	PT5.6	PT5.5	PT5.4	PT5.3	PT5.2	PT5.1	PT5.0	xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r				
193H	PT5DA					DA5.3	DA5.2	DA5.1	DA5.0			 1111 1111	*****	
194H	PT5PU	PU5.7	PU5.6	PU5.5	PU5.4	PU5.3	PU5.2	PU5.1	PU5.0	0000 0000	0000 0000	*****				
195H	BICTRLA					VPP_HIGH	BIEWR		BIERD				1000 d000	1000 d000	*****	
196H	BIETRHA	SBMSEL					BIE_ADDR[10:8]						0000 0000	0000 0000	w0,w0,W0,W0,W0,W0,W0	
197H	BIETRLA	0	0					BIE_ADDR[5:0]						0000 0000	0000 0000	w 0,w 0,*****
198H	BIEDHA	BIE_DATA[15:8]														
199H	BIEDLA	BIE_DATA[7:0]														
19AH	OPCN2	ENOP2	OPM2[1:0]		OPSP2[0]	OPFP2[1:0]		OPN2[1:0]			0000 0000	0000 0000	*****			
200H ~ 2FFH	GPR2	General Purpose Register as 256Byte														
300H ~ 3FFH	GPR3	General Purpose Register as 256Byte														
400H ~ 4FFH	GPR4	General Purpose Register as 256Byte														

表 4-6 資料記憶體復位狀態(續)

5 中斷, Interrupt

中斷Interrupt由中斷啓用控制器INTE與中斷事件旗標INTF組成。中斷服務Interrupt service成立時若產生中斷事件，將使得程式計數器PC跳至程式記憶體的中斷向量位址 0x0004h執行中斷服務程式。

中斷控制暫存器暫存器摘要：

INTE1 GIE[0], ADCIE[0], TMCIE[0], TMBIE[0], TMAIE[0], WDTIE[0], E11E[0], E0IE[0]

INTE2 TXIE[0], RCIE[0], CPOIE[0], SSPIE[0], CCP1IE[0], CCP0IE[0]

INTE3 E7IE[0], E6IE[0], E5IE[0], E4IE[0], E3IE[0], E2IE[0]

NTF1 ADCIF[0], TMCIF[0], TMBIF[0], TMAIF[0], WDTIF[0], E11F[0], E0IF[0]

INTF2 TXIF[0], RCIF[0], CPOIF[0], SSPIF[0], CCP1IF[0], CCP0IF[0]

INTF3 E7IF[0], E6IF[0], E5IF[0], E4IF[0], E3IF[0], E2IF[0]

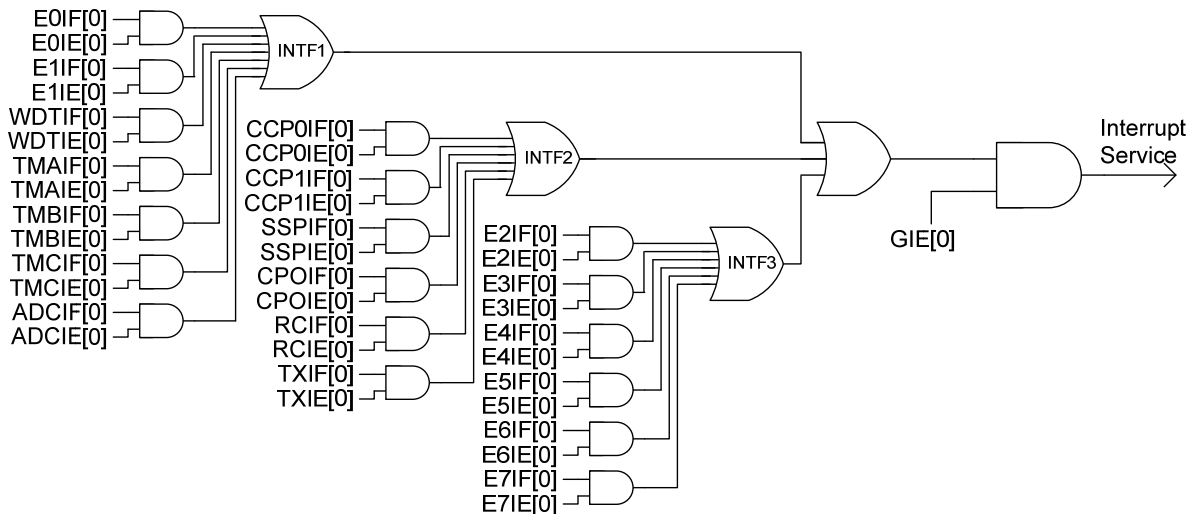


圖 5-1 中斷向量方塊圖

中斷服務事件的節制器共有兩層，最高層為中斷服務控制器GIE[0]、次一層為中斷事件的啓用控制位元。

- 啓用中斷事件只需將相對於中斷事件啓用控制器INTE_x[7:0]的控制器設置<1>即可；反之，設置<0>則為關閉中斷事件。
- 啓用中斷服務只需將相對於中斷控制暫存器INTE1[7:0]的中斷服務控制器GIE[0]設置<1>即可；反之，設置<0>則為關閉中斷服務。

當進入中斷服務向量時GIE[0]會自動被置<0>，在中斷服務程式執行完畢後欲返回中斷發生位址時可直接執行中斷返回指令RETI，此時GIE[0]將自動被置<1>；或執行返回指令RET，此時GIE[0]狀態維持 0。

5.1 暫存器說明-中斷

“_”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1 “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE	ADCIE	TMCIE	TMBIE	TMAIE	WDTIE	E1IE	E0IE	0000 0000	0000 0000	*****
24H	INTE2	TXIE	RCIE			CPOIE	SSPIE	CCP1IE	CCP0IE	00.. 0000	00.. 0000	*.*.*.*.*
25H	INTE3	E7IE	E6IE	E5IE	E4IE	E3IE	E2IE			0000 00..	0000 00..	*****
26H	INTF1		ADCIF	TMCIF	TMBIF	TMAIF	WDTIF	E1IF	E0IF	.000 0000	.000 0000	*****
27H	INTF2	TXIF	RCIF			CPOIF	SSPIF	CCP1IF	CCP0IF	00.. 0000	00.. 0000	*.*.*.*.*
28H	INTF3	E7IF	E6IF	E5IF	E4IF	E3IF	E2IF			0000 00..	0000 00..	*****

表 5-1 中斷暫存器

INTE1 : 中斷啓用控制暫存器 1

GIE[0] : 中斷服務控制器

- 1 : 啓用。
- 0 : 關閉。

ADCIE[0] : ADC中斷事件啓用控制器

- 1 : 啓用。(類比數位轉換器,SD18)
- 0 : 關閉。

TMCIE[0] : Timer-C中斷事件啓用控制器

- 1 : 啓用。(計時/計數器C,TMC)
- 0 : 關閉。

TMBIE[0] : Timer-B中斷事件啓用控制器

- 1 : 啓用。(計時/計數器B,TMB)
- 0 : 關閉。

TMAIE[0] : Timer-A中斷事件啓用控制器

- 1 : 啓用。(計時/計數器A,TMA)
- 0 : 關閉。

WDTIE[0] : Watch Dog中斷事件啓用控制器

- 1 : 啓用。(看門狗,WDT)
- 0 : 關閉。

E1IE[0] : 輸入引腳 1 中斷事件啓用控制器

- 1 : 啓用。(外部輸入引腳,PT1.1)
- 0 : 關閉。

E0IE[0] : 輸入引腳 0 中斷事件啓用控制器

- 1 : 啓用。(外部輸入引腳,PT1.0)
- 0 : 關閉。

"·"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"·"unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE	ADCIE	TMCIE	TMBIE	TMAIE	WDTIE	E1IE	E0IE	0000 0000	0000 0000	*****
24H	INTE2	TXIE	RCIE			CPOIE	SSPIE	CCP1IE	CCP0IE	00.. 0000	00.. 0000	*..*..*..*
25H	INTE3	E7IE	E6IE	E5IE	E4IE	E3IE	E2IE			0000 00..	0000 00..	*****
26H	INTF1		ADCIF	TMCIF	TMBIF	TMAIF	WDTIF	E1IF	E0IF	.000 0000	.000 0000	..*****
27H	INTF2	TXIF	RCIF			CPOIF	SSPIF	CCP1IF	CCP0IF	00.. 0000	00.. 0000	*..*..*..*
28H	INTF3	E7IF	E6IF	E5IF	E4IF	E3IF	E2IF			0000 00..	0000 00..	*****

INTE2 : 中斷啓用控制暫存器 2

TXIE[0] : TX中斷事件啓用控制器

1 : 啓用。(通訊介面,EUART)

0 : 關閉。

RCIE[0] : RC中斷事件啓用控制器

1 : 啓用。(通訊介面,EUART)

0 : 關閉。

CPOIE[0] : CPO中斷事件啓用控制器

1 : 啓用。(增強型比較器,Enhance Comparator)

0 : 關閉。

SSPIE[0] : SPI中斷事件啓用控制器

1 : 啓用。(通訊介面,SPI)

0 : 關閉。

CCP1IE[0] : Capture/Compare 1 中斷事件啓用控制器

1 : 啓用。(捕捉/比較模式 II ,CCP1)

0 : 關閉。

CCP0IE[0] : Capture/Compare 0 中斷事件啓用控制器

1 : 啓用。(捕捉/比較模式 I ,CCP0)

0 : 關閉。

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1 “-”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE	ADCIE	TMCIE	TMBIE	TMAIE	WDTIE	E1IE	E0IE	0000 0000	0000 0000	*****
24H	INTE2	TXIE	RCIE			CPOIE	SSPIE	CCP1IE	CCP0IE	00.. 0000	00.. 0000	*.*.*.*.*
25H	INTE3	E7IE	E6IE	E5IE	E4IE	E3IE	E2IE			0000 00..	0000 00..	*****
26H	INTF1		ADCIF	TMCIF	TMBIF	TMAIF	WDTIF	E1IF	E0IF	.000 0000	.000 0000	*.*.*.*.*
27H	INTF2	TXIF	RCIF			CPOIF	SSPIF	CCP1IF	CCP0IF	00.. 0000	00.. 0000	*.*.*.*.*
28H	INTF3	E7IF	E6IF	E5IF	E4IF	E3IF	E2IF			0000 00..	0000 00..	*****

INTE3 : 中斷啓用控制暫存器 3

E7IE[0] : 輸入引腳 7 中斷事件啓用控制器

1 : 啓用。(外部輸入引腳,PT1.7)

0 : 關閉。

E6IE[0] : 輸入引腳 6 中斷事件啓用控制器

1 : 啓用。(外部輸入引腳,PT1.6)

0 : 關閉。

E5IE[0] : 輸入引腳 5 中斷事件啓用控制器

1 : 啓用。(外部輸入引腳,PT1.5)

0 : 關閉。

E4IE[0] : 輸入引腳 4 中斷事件啓用控制器

1 : 啓用。(外部輸入引腳,PT1.4)

0 : 關閉。

E3IE[0] : 輸入引腳 3 中斷事件啓用控制器

1 : 啓用。(外部輸入引腳,PT1.3)

0 : 關閉。

E2IE[0] : 輸入引腳 2 中斷事件啓用控制器

1 : 啓用。(外部輸入引腳,PT1.2)

0 : 關閉。

"·"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1 "·"unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE	ADCIE	TMCIE	TMBIE	TMAIE	WDTIE	E1IE	E0IE	0000 0000	0000 0000	*****
24H	INTE2	TXIE	RCIE			CPOIE	SSPIE	CCP1IE	CCP0IE	00.. 0000	00.. 0000	*..*..*..*
25H	INTE3	E7IE	E6IE	E5IE	E4IE	E3IE	E2IE			0000 00..	0000 00..	*****
26H	INTF1		ADCIF	TMCIF	TMBIF	TMAIF	WDTIF	E1IF	E0IF	.000 0000	.000 0000	..*****
27H	INTF2	TXIF	RCIF			CPOIF	SSPIF	CCP1IF	CCP0IF	00.. 0000	00.. 0000	*..*..*..*
28H	INTF3	E7IF	E6IF	E5IF	E4IF	E3IF	E2IF			0000 00..	0000 00..	*****..*

INTF1 : 中斷事件旗標暫存器 1

ADCIF[0] : ADC中斷事件旗標

1 : 已發生。(類比數位轉換器,SD18)

0 : 未發生。

TMCIF[0] : Timer-C中斷事件旗標

1 : 已發生。(計時/計數器C,TMC)

0 : 未發生。

TMBIF[0] : Timer-B中斷事件旗標

1 : 已發生。(計時/計數器B,TMB)

0 : 未發生。

TMAIF[0] : Timer-A中斷事件旗標

1 : 已發生。(計時/計數器A,TMA)

0 : 未發生。

WDTIF[0] : Watch Dog中斷事件旗標

1 : 已發生。(看門狗,WDT)

0 : 未發生。

E1IF[0] : 輸入引腳 1 中斷事件旗標

1 : 已發生。(外部輸入引腳,PT1.1)

0 : 未發生。

E0IF[0] : 輸入引腳 0 中斷事件旗標

1 : 已發生。(外部輸入引腳,PT1.0)

0 : 未發生。

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1												
“.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE	ADCIE	TMCIE	TMBIE	TMAIE	WDTIE	E1IE	E0IE	0000 0000	0000 0000	*****
24H	INTE2	TXIE	RCIE			CPOIE	SSPIE	CCP1IE	CCP0IE	00.. 0000	00.. 0000	*.*.*.*.*
25H	INTE3	E7IE	E6IE	E5IE	E4IE	E3IE	E2IE			0000 00..	0000 00..	*****
26H	INTF1		ADCIF	TMCIF	TMBIF	TMAIF	WDTIF	E1IF	E0IF	.000 0000	.000 0000	*.*.*.*.*
27H	INTF2	TXIF	RCIF			CPOIF	SSPIF	CCP1IF	CCP0IF	00.. 0000	00.. 0000	*.*.*.*.*
28H	INTF3	E7IF	E6IF	E5IF	E4IF	E3IF	E2IF			0000 00..	0000 00..	*****

INTF2 : 中斷事件旗標暫存器 2

TXIF[0] : TX中斷事件旗標

1 : 已發生。(通訊介面,EUART)

0 : 未發生。

RCIF[0] : RC中斷事件旗標

1 : 已發生。(通訊介面,EUART)

0 : 未發生。

CPOIF[0] : CPO中斷事件旗標

1 : 已發生。(增強型比較器,ECPA)

0 : 未發生。

SSPIF[0] : SPI中斷事件旗標

1 : 已發生。(通訊介面,SPI)

0 : 未發生。

CCP1IF[0] : Capture/Compare II 中斷事件旗標

1 : 已發生。(捕捉/比較模式 II,CCP1)

0 : 未發生。

CCP0IF[0] : Capture/Compare I 中斷事件旗標

1 : 已發生。(捕捉/比較模式 I,CCP0)

0 : 未發生。

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1 “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE	ADCIE	TMCIE	TMBIE	TMAIE	WDTIE	E1IE	E0IE	0000 0000	0000 0000	*****
24H	INTE2	TXIE	RCIE			CPOIE	SSPIE	CCP1IE	CCP0IE	00.. 0000	00.. 0000	*.*.*.*.*
25H	INTE3	E7IE	E6IE	E5IE	E4IE	E3IE	E2IE			0000 00..	0000 00..	*****
26H	INTF1		ADCIF	TMCIF	TMBIF	TMAIF	WDTIF	E1IF	E0IF	.000 0000	.000 0000	*.*.*.*.*
27H	INTF2	TXIF	RCIF			CPOIF	SSPIF	CCP1IF	CCP0IF	00.. 0000	00.. 0000	*.*.*.*.*
28H	INTF3	E7IF	E6IF	E5IF	E4IF	E3IF	E2IF			0000 00..	0000 00..	*****

INTF3 : 中斷事件旗標暫存器 3

E7IF[0] : 輸入引腳 7 中斷事件旗標

1 : 已發生。(外部輸入引腳,PT1.7)

0 : 未發生。

E6IF[0] : 輸入引腳 6 中斷事件旗標

1 : 已發生。(外部輸入引腳,PT1.6)

0 : 未發生。

E5IF[0] : 輸入引腳 5 中斷事件旗標

1 : 已發生。(外部輸入引腳,PT1.5)

0 : 未發生。

E4IF[0] : 輸入引腳 4 中斷事件旗標

1 : 已發生。(外部輸入引腳,PT1.4)

0 : 未發生。

E3IF[0] : 輸入引腳 3 中斷事件旗標

1 : 已發生。(外部輸入引腳,PT1.3)

0 : 未發生。

E2IF[0] : 輸入引腳 2 中斷事件旗標

1 : 已發生。(外部輸入引腳,PT1.2)

0 : 未發生。

6 硬體乘法器

H08A指令集具有 8x8 硬體乘法器的處理指令“MULF和MULL”，而H08B指令集不提供此指令故無硬體乘法器功能。8x8 硬體乘法器的運算結果會放至乘法器暫存器 PRODH[7:0]與PRODL[7:0]且不會改變STATUS[7:0]狀態暫存器中的任何標誌。而 PRODH[7:0]與PRODL[7:0]為唯讀暫存器，使用時必須注意。

硬體乘法器可進行有號數與無號數運算，如 範例 6-1 與 範例 6-2

例1 : $V1 \times V2 = V$			
MVL	V1		
MVF	BUF0,1,0	:	V1值放入記憶體區塊0的 BUF0 暫存器
MVL	V2	:	V2值放入 W 暫存器。
MULF	BUF0,0	:	執行 $V1 \times V2$ 並將運算結果放入 PRODH/L

範例 6-1 無號數運算

例2 : $N1 \times N2 = N, s=7, B$			
MVL	N1	:	N1 值放入 W 暫存器
MVF	BUF0,1,0	:	N1 值放入記憶體區塊0的 BUF0 暫存器
MVL	N2	:	N2 值放入 W 暫存器。
MVF	BUF1,1,0	:	N2 值放入 BUF1 暫存器。
MULF	BUF0,0	:	執行 $V1 \times V2$ 並將運算結果放入PRODH/L
MVFF	PRODH,SWP	:	將 PRODH 暫存器內的值放入 SWP 暫存器
BTSZ	BUF0,s	:	判斷 N1，若為負數則
SUBF	SWP,1,0	:	將 $SWP - N2$ 放入 SWP 暫存器
MVF	BUF0,0,0	:	將 N1 值放入 W 暫存器
BTSZ	BUF1,s	:	判斷 N2，若為負數則
SUBF	SWP,1,0	:	將 $SWP - N1$ 放入 SWP運算處理後， $N = SWP/PRODL$
: -----			
: N1=07Fh,N2=0FFh 乘法器運算後得到 PRODH/L = 7E81h			
: 判斷 N1 是否為負數，若是負數則將 $PRODH - N2$			
: 判斷 N2 是否為負數，若是負數則將 $PRODH - N1$			
: 運算處理後即可得到有號數 N 的值			
: $7Fh \times FFh = 7Fh \times (0FFh - 100h)$			
: $= 7Fh \times 0FFh - 7Fh \times 100h$			
: $= 7E81h - 7F00h$			
: $= FF81h$			

範例 6-2 有號數運算

7 輸入/輸出埠, I/O

輸入/輸出埠 I/O 每八個引腳為一個埠，可作數位的輸入與輸出以及類比信號量測通道。每個埠由一組暫存器做控制。在不同產品上 I/O 的暫存器組成會有差異。

I/O 相關暫存器摘要：

PT PT1[7:0], PT2[7:0], PT3[7:0], PT4[7:0], PT5[7:0]

TRISC TC1[7:4], TC2[7:0], TC3[7:0],

PTDA DA1[2:0], DA2[7:0], DA4[7:0], DA5[5:0]

PTPU PU1[7:0], PU2[7:0], PU3[7:0], PU4[7:0], PU5[7:0]

PTM PM1[7:0], PM2[7:0]

PT1INT INTEG7[0], INTEG6[0], INTEG5[0], INTEG4[0], INTEG3[0], INTEG2[0],

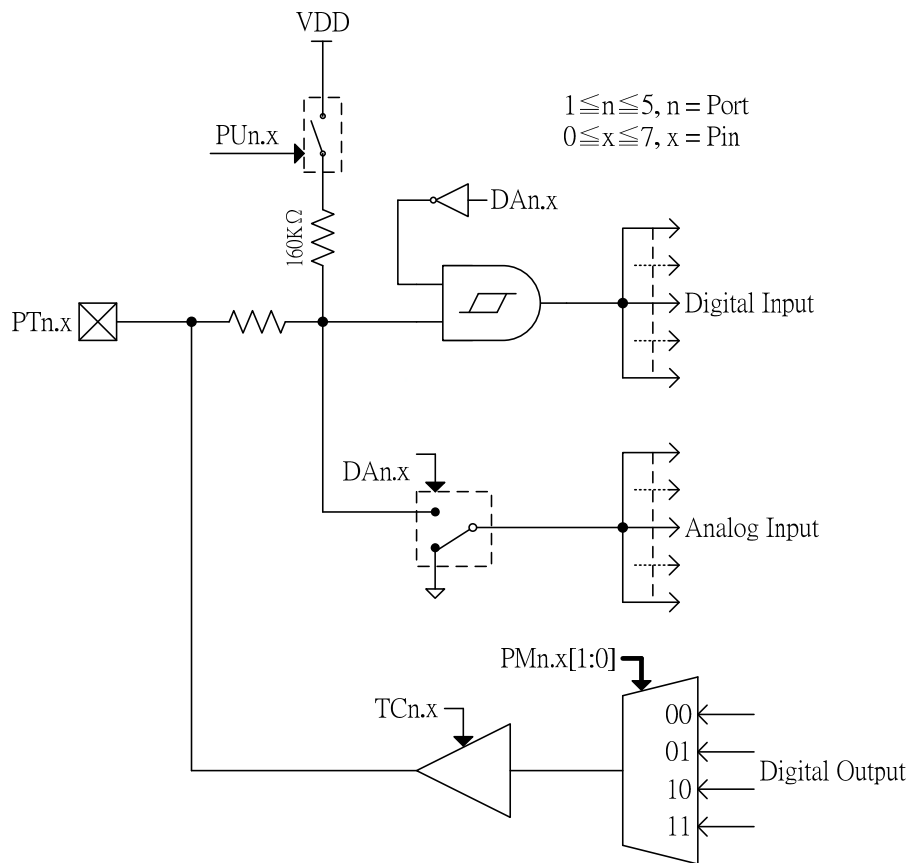


圖 7-1 I/O 架構方塊圖

7.1 PORT相關暫存器介紹

PORT 主要提供數位或類比的信號輸入與輸出引腳。

7.1.1 PT狀態控制暫存器

當I/O被設置為輸入則在相對的暫存器位置可以讀得目前I/O的狀態，讀值 1 則此時的I/O輸入高電位、讀值 0 則此時的I/O輸入低電位。

當I/O被設置為輸出則在相對的暫存器位置可以控制輸出狀態，設置<1>則I/O輸出為高電位、設置<0>則I/O輸出為低電位。

7.1.2 TRISC輸入/輸出控制暫存器

選擇I/O為輸入或輸出，設置<1>I/O為輸出狀態、設置<0>為輸入狀態。當I/O設定為輸入狀態，則在晶片進入休眠模式時必須給定一明確的輸入電位，不可讓I/O呈現浮接狀態，以避免造成晶片產生漏電現象。

7.1.3 PTDA數位或類比輸入控制暫存器

設定I/O為類比輸入或數位輸入狀態，設置<1>為類比、設置<0>為數位輸入，設置時需考慮其他I/O相關暫存器的設置狀態以免造成數位/類比信號相互干擾。

7.1.4 PTPU上拉電阻控制暫存器

設定I/O上拉電阻功能是否啟用，設置<1>則I/O啟用、設置<0>斷開。在晶片進入休眠模式前，若I/O設置為數位輸入狀態且外部電路連接方式會造成I/O有浮接現象時即可啓用上拉電阻，以避免I/O浮接而導致晶片進入休眠模式後產生漏電流。

7.1.5 PTM數位輸出模式選擇暫存器

I/O輸出模式選擇器PMn.x[1:0] ($1 \leq n \leq 3, 0 \leq x \leq 7$)可設置I/O輸出信號。部分I/O具有一種以上的數位週邊線路輸出信號，故需正確設置PMn.x[1:0]才能得到期望的輸出信號。

7.1.6 PTINT中斷信號產生條件

I/O外部輸入電位屬於何種變化時產生中斷信號，電位變化條件可分上升緣 (0→1)變化、下降緣 (1→0) 變化與電位轉態 (0→1 或 1→0) 變化。

7.2 蜂鳴器,Buzzer

BZ可產生多種不同的頻率以推動外部蜂鳴器，由BZ工作頻率預除頻器BZS[2:0]可設置多種輸出頻率。

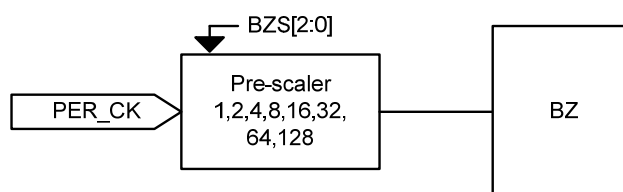


圖 7-2 BZ方塊圖

7.3 輸入/輸出埠 1, I/O Port1

“i”：輸入,“o”：輸出,“a”：類比,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	PM[1:0]	
PT1.0	i	c	x	0	00	數位輸入引腳
INT0	i	s	0	0	00	外部中斷源
CPAI6	a	a	0	1	00	增強型比較器信號輸入引腳
PSCK	i	s	0	0	00	OTP讀/寫介面SCK引腳
PT1.1	i	c	x	0	00	數位輸入引腳
INT1	i	s	0	0	00	外部中斷源
CPAI7	a	a	0	1	00	增強型比較器信號輸入引腳
SCE	i	s	0	0	00	SPI 通訊介面SCE引腳
PSDI	i	s	0	0	00	OTP讀/寫介面SDI引腳
PT1.2	i	c	x	0	00	數位輸入引腳
INT2	i	s	0	0	00	外部中斷源
SDI	i	s	0	0	00	SPI 通訊介面SDI引腳
LVDIN	a	a	0	1	00	LVD 外部信號輸入引腳
PT1.3	i	c	x	0	00	數位輸入引腳
INT3	i	s	0	0	00	外部中斷源
TST	i	s	0	0	00	原廠保留
RC	i	s	0	0	00	EUART通訊介面RC引腳
PT1.4	i/o	c	x	0	00	數位輸入/輸出引腳
INT4	i	s	0	0	00	外部中斷源
TX	o	c	1	0	01	EUART通訊介面TX引腳
PT1.5	i/o	c	x	0	00	數位輸入/輸出引腳
INT5	i	c	0	0	00	外部中斷源
SDO	o	c	1	0	01	SPI 通訊介面SDO引腳
PSDO	o	c	1	0	00	OTP讀/寫介面SDO引腳
PT1.6	i/o	c	x	0	00	數位輸入/輸出引腳
INT6	i	s	0	0	00	外部中斷源
SCK	i/o	s	x	0	0x	SPI 通訊介面SCK引腳
PT1.7	i/o	c	x	0	00	數位輸入/輸出引腳
INT7	i	s	0	0	00	外部中斷源
FIL0	i	s	0	0	00	PWM 自動關閉觸發事件
BZ	o	c	1	0	01	Buzzer 輸出引腳

表 7-1PORT1 功能

7.3.1 暫存器說明-PORT1

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1 “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE	ADCIE	TMCIE	TMBIE	TMAIE	WDTIE	E1IE	E0IE	0000 0000	0000 0000	*****
25H	INTE3	E7IE	E6IE	E5IE	E4IE	E3IE	E2IE			0000 00..	0000 00..	*****
26H	INTF1		ADCIF	TMCIF	TMBIF	TMAIF	WDTIF	E1IF	E0IF	.000 0000	.000 0000	*****
28H	INTF3	E7IF	E6IF	E5IF	E4IF	E3IF	E2IF			0000 00..	0000 00..	*****
33H	MCKCN3		LCDS[2:0]			PERCK			BZS[2:0]	000. 0000	000. 0000	***-***
6DH	PT1	PT1.7	PT1.6	PT1.5	PT1.4	PT1.3	PT1.2	PT1.1	PT1.0	xxxx xxxx	uuuu uuuu	*** r,r,r,r
6EH	TRISC1	TC1.7	TC1.6	TC1.5	TC1.4					0000	0000	***-***
6FH	PT1DA						DA1.2	DA1.1	DA1.0 000 000	***-***
70H	PT1PU	PU1.7	PU1.6	PU1.5	PU1.4	PU1.3	PU1.2	PU1.1	PU1.0	0000 0000	0000 0000	*****
71H	PT1M1						INTEG1[1:0]		INTEG0[1:0] 0000 0000	***-***
72H	PT1M2		PM1.7[0]		PM1.6[0]		PM1.5[0]		PM1.4[0]	.0.0 .0.0	.0.0 .0.0	***-***

表 7-2 PORT1 控制暫存器

INTE1/INTF1 : 詳見

中斷, Interrupt 章節

MCKCN3 : 詳見 **震盪器、時脈源與功耗管理** 章節

PT1 : PORT1 狀態控制暫存器

PT1.x : 外部引腳控制位元 ($0 \leq x \leq 7$)

1 : 高電位。

0 : 低電位。

TRISC1 : 輸入/輸出控制暫存器

TC1.x : 外部引腳輸入或輸出控制位元 ($0 \leq x \leq 7$)

1 : 輸出。

0 : 輸入。

PT1DA : 數位或類比輸入控制暫存器

DA1.x : 外部引腳輸入類比或數位信號控制位元 ($0 \leq x \leq 7$)

1 : 類比。

0 : 數位。

PT1PU : 上拉電阻控制暫存器

PU1.x : 外部引腳上拉電阻控制位元 ($0 \leq x \leq 7$)

1 : 啓用。

0 : 關閉。

PT1Mn[1:0] : 數位輸出模式選擇暫存器 1、2

PM1.x : I/O數位輸出模式 ($2 \leq x \leq 7$) 選擇器，說明請參見 7.1.5。

“-” : 未使用

PM1.X		PM1.X [1:0]			
		11	10	01	00
PT1	4	-	-	TX	V _{OH/L}
	5	-	-	SDO	V _{OH/L}
	6	-	-	SCK	V _{OH/L}
	7	-	-	BZ	V _{OH/L}

表 7-3 PT1M2 Register復用功能對照表

INTEGx[1:0] : 中斷信號產生條件 ($0 \leq x \leq 1$)

11 : 電位轉態 (0→1 或 1→0)

10 : 電位轉態 (0→1 或 1→0)

01 : 上升緣 (0→1)

00 : 下降緣 (1→0)

PT1INT : I/O中斷信號產生條件

INTEGx : 中斷信號產生條件 ($2 \leq x \leq 7$)

1 : 上升緣 (0→1)

0 : 下降緣 (1→0)

7.4 輸入/輸出埠 2 ,I/O Port2

“i”：輸入,“o”：輸出,“a”：類比,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	PM[1:0]	
PT2.0	i/o	c	x	0	00	數位輸入/輸出引腳
XTO	a	a	0	0	00	外部震盪器引腳
PT2.1	i/o	c	X	0	00	數位輸入/輸出引腳
XTI	a	a	0	0	00	外部震盪器引腳
PT2.2	i/o	c	X	0	00	數位輸入/輸出引腳
CPAI0	a	a	0	1	00	增強型比較器信號輸入引腳
PWM0	o	c	1	0	01	PWM 輸出引腳
PFD	o	c	1	0	10	PFD 輸出引腳
PT2.3	i/o	c	X	0	00	數位輸入/輸出引腳
CPAI1	a	a	0	1	00	增強型比較器信號輸入引腳
PWM1	o	c	1	0	01	PWM 輸出引腳
TMCKI	i	s	0	0	00	TIMER-C 時脈源輸入引腳
PT2.4	i/o	c	X	0	00	數位輸入/輸出引腳
CPAI2	a	a	0	1	00	增強型比較器信號輸入引腳
PWM2	o	c	1	0	01	PWM 輸出引腳
CCP0	i	s	0	0	10	捕捉/比較模式信號引腳
PT2.5	i/o	c	X	0	00	數位輸入/輸出引腳
CPAI3	a	a	0	1	00	增強型比較器信號輸入引腳
PWM3	o	c	1	0	01	PWM 輸出引腳
CCP1	i	s	0	0	10	捕捉/比較模式信號引腳
PT2.6	i/o	c	X	0	00	數位輸入/輸出引腳
CPAI4	a	a	0	1	00	增強型比較器信號輸入引腳
CPAO	o	c	1	0	01	增強型比較器信號輸出引腳
PT2.7	i/o	c	X	0	00	數位輸入/輸出引腳
CPAI5	a	a	0	1	00	增強型比較器信號輸入引腳
CPAO	o	c	1	0	01	增強型比較器信號輸出引腳

表 7-4 PORT2 功能

7.4.1 暫存器說明-PORT2

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“-”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
74H	PT2	PT2.7	PT2.6	PT2.5	PT2.4	PT2.3	PT2.2	PT2.1	PT2.0	xxxx xxxx	uuuu uuuu	*****
75H	TRISC2	TC2.7	TC2.6	TC2.5	TC2.4	TC2.3	TC2.2	TC2.1	TC2.0	0000 0000	0000 0000	*****
76H	PT2DA	DA2.7	DA2.6	DA2.5	DA2.4	DA2.3	DA2.2			0000 00..	0000 00..	*****
77H	PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2	PU2.1	PU2.0	0000 0000	0000 0000	*****
78H	PT2M1		PM2.3[0]	PM2.2[1]	PM2.2[0]					.000000	*****
79H	PT2M2	PWMTR[1]	PWMTR[0]		PM2.6[0]	PM2.5[1]	PM2.5[0]	PM2.4[1]	PM2.4[0]	00.0 0000	00.0 0000	*****

表 7-5 PORT2 控制暫存器

PT2 : PORT2 狀態控制暫存器

PT2.x : 外部引腳控制位元 (0 ≤ x ≤ 7)

- 1 : 高電位。
- 0 : 低電位。

TRISC2 : 輸入/輸出控制暫存器

TC2.x : 外部引腳輸入或輸出控制位元 (0 ≤ x ≤ 7)

- 1 : 輸出。
- 0 : 輸入。

PT2DA : 數位或類比輸入控制暫存器

DA2.x : 外部引腳輸入類比或數位信號控制位元 (0 ≤ x ≤ 7)

- 1 : 類比。
- 0 : 數位。

PT2PU : 上拉電阻控制暫存器

PU2.x : 外部引腳上拉電阻控制位元 (0 ≤ x ≤ 7)

- 1 : 啟用。
- 0 : 關閉。

PT2M1/2[1:0] : 數位輸出模式選擇暫存器 1、2

PM2.x : 數位輸出模式 (0 ≤ x ≤ 7)

“-” : 未使用

PM2.X \ PM2.X [1:0]		11	10	01	00
		PT2	0	-	-
1	-		-	-	V _{OH/L}
2	-		PFD	PWM0	V _{OH/L}
3	-		-	PWM1	V _{OH/L}

表 7-6 PT2M1 Register 復用功能對照表

“-”：未使用

PM2.X \ PM2.X [1:0]		PM2.X [1:0]			
		11	10	01	00
PT2	4	-	CCP0	PWM2	V _{OH/L}
	5	-	CCP1	PWM3	V _{OH/L}
	6	-	-	CPAO	V _{OH/L}
	7	PWMTR [1:0]		CPAO	V _{OH/L}

表 7-7 PT2M2 Register復用功能對照表

7.5 輸入/輸出埠 3 ,I/O Port3

“i”：輸入,“o”：輸出,“a”：類比,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	TC[0]	DA[0]	PM[1:0]	
PT3.0	i/o	c	x	0	00	數位輸入/輸出引腳
PT3.1	i/o	c	x	0	00	數位輸入/輸出引腳
PT3.2	i/o	c	x	0	00	數位輸入/輸出引腳
PT3.3	i/o	c	x	0	00	數位輸入/輸出引腳
PT3.4	i/o	c	x	0	00	數位輸入/輸出引腳
PT3.5	i/o	c	x	0	00	數位輸入/輸出引腳
PT3.6	i/o	c	x	0	00	數位輸入/輸出引腳
PT3.7	i/o	c	x	0	00	數位輸入/輸出引腳

表 7-8 PORT3 功能

7.5.1 暫存器說明-PORT3

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1 “.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
7AH	PT3	PT3.7	PT3.6	PT3.5	PT3.4	PT3.3	PT3.2	PT3.1	PT3.0	xxxx xxxx	uuuu uuuu	*****
7BH	TRISC3	TC3.7	TC3.6	TC3.5	TC3.4	TC3.3	TC3.2	TC3.1	TC3.0	0000 0000	0000 0000	*****
7DH	PT3PU	PU3.7	PU3.6	PU3.5	PU3.4	PU3.3	PU3.2	PU3.1	PU3.0	0000 0000	0000 0000	*****

表 7-9 PORT3 控制暫存器

PT3 : PORT3 狀態控制暫存器

PT3.x : 外部引腳控制位元 (0 ≤ x ≤ 7)

- 1 : 高電位。
- 0 : 低電位。

TRISC3 : 輸入/輸出控制暫存器

TC3.x : 外部引腳輸入或輸出控制位元 (0 ≤ x ≤ 7)

- 1 : 輸出。
- 0 : 輸入。

PT3PU : 上拉電阻控制暫存器

PU3.x : 外部引腳上拉電阻控制位元 (0 ≤ x ≤ 7)

- 1 : 啟用。
- 0 : 關閉。

7.6 輸入/輸出埠 4 ,I/O Port4

“i”：輸入,“o”：輸出,“a”：類比,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	T[C]0]	DA[0]	PM[1:0]	
PT4.0	i	c	x	0	xx	數位輸入/輸出引腳
AI0	a	a	x	1	xx	類比輸入引腳
PT4.1	i	c	x	0	xx	數位輸入/輸出引腳
AI1	a	a	x	1	xx	類比輸入引腳
PT4.2	i	c	x	0	xx	數位輸入/輸出引腳
AI2	a	a	x	1	xx	類比輸入引腳
PT4.3	i	c	x	0	xx	數位輸入/輸出引腳
AI3	a	a	x	1	xx	類比輸入引腳
PT4.4	i	c	x	0	xx	數位輸入/輸出引腳
AI4	a	a	x	1	xx	類比輸入引腳
PT4.5	i	c	x	0	xx	數位輸入/輸出引腳
AI5	a	a	x	1	xx	類比輸入引腳
PT4.6	i	c	x	0	xx	數位輸入/輸出引腳
AI6	a	a	x	1	xx	類比輸入引腳
PT4.7	i	c	x	0	xx	數位輸入/輸出引腳
AI7	a	a	x	1	xx	類比輸入引腳

表 7-10 PORT4 功能

7.6.1 暫存器說明-PORT4

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1 “.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
6AH	PT4	PT4.7	PT4.6	PT4.5	PT4.4	PT4.3	PT4.2	PT4.1	PT4.0	xxxx xxxx	uuuu uuuu	r,r,r,r,r,r,r,r
6BH	PT4DA	DA4.7	DA4.6	DA4.5	DA4.4	DA4.3	DA4.2	DA4.1	DA4.0	1111 1111	1111 1111	***** : : : : : *
6CH	PT4PU	PU4.7	PU4.6	PU4.5	PU4.4	PU4.3	PU4.2	PU4.1	PU4.0	0000 0000	0000 0000	***** : : : : : *

表 7-11 PORT4 控制暫存器

PT4 : PORT4 狀態控制暫存器

PT4.x : 外部引腳控制位元 (0 ≤ x ≤ 7)

- 1 : 高電位。
- 0 : 低電位。

PT4DA : 數位或類比輸入控制暫存器

DA4.x : 外部引腳輸入類比或數位信號控制位元 (0 ≤ x ≤ 7)

- 1 : 類比。
- 0 : 數位。

PT4PU : 上拉電阻控制暫存器

PU4.x : 外部引腳上拉電阻控制位元 (0 ≤ x ≤ 7)

- 1 : 啟用。
- 0 : 關閉。

7.7 輸入/輸出埠 5 ,I/O Port5

“i”：輸入,“o”：輸出,“a”：類比,“c”：cmos i/o,“x”：未定義,“p”：電源,

引腳名稱	設計		暫存器設置			描述
	型式	緩衝	T[0]	DA[0]	PM[1:0]	
PT5.0	i	c	x	0	xx	數位輸入/輸出引腳
AI8	a	a	x	1	xx	類比輸入引腳
PT5.1	i	c	x	0	xx	數位輸入/輸出引腳
AI9	a	a	x	1	xx	類比輸入引腳
PT5.2	i	c	x	0	xx	數位輸入/輸出引腳
AI10	a	a	x	1	xx	類比輸入引腳
PT5.3	i	c	x	0	xx	數位輸入/輸出引腳
AI11	a	a	x	1	xx	類比輸入引腳
PT5.4	i	c	x	0	xx	數位輸入/輸出引腳
PT5.5	i	c	x	0	xx	數位輸入/輸出引腳
PT5.6	i	c	x	0	xx	數位輸入/輸出引腳
PT5.7	i	c	x	0	xx	數位輸入/輸出引腳

表 7-12 PORT5 功能

7.7.1 暫存器說明-PORT5

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET
192H	PT5	PT5.7	PT5.6	PT5.5	PT5.4	PT5.3	PT5.2	PT5.1	PT5.0	xxxx xxxx	uuuu uuuu
193H	PT5DA					DA5.3	DA5.2	DA5.1	DA5.0 1111 1111
194H	PT5PU	PU5.7	PU5.6	PU5.5	PU5.4	PU5.3	PU5.2	PU5.1	PU5.0	0000 0000	0000 0000

表 7-13 PORT5 控制暫存器

PT5 : PORT5 狀態控制暫存器

PT5.x : 外部引腳控制位元 (0 ≤ x ≤ 7)

1 : 高電位。

0 : 低電位。

PT5DA : 數位或類比輸入控制暫存器

DA5.x : 外部引腳輸入類比或數位信號控制位元 (0 ≤ x ≤ 3)

1 : 類比。

0 : 數位。

PT5PU : 上拉電阻控制暫存器

PU5.x : 外部引腳上拉電阻控制位元 (0 ≤ x ≤ 7)

1 : 啟用。

0 : 關閉。

8 低電壓檢測, Low Voltage Detect

低電壓檢測LVD具有偵測工作電壓或是外部輸入電壓的功能，其可以讓使用者準確的決定所監測的電壓在多低的電壓準位產生低電壓事件。

LVD具有以下功能。

- ◆ VDD工作電壓與外部輸入電壓偵測功能。
- ◆ 可設置十四段工作電壓的低電位檢測點。
- ◆ 簡易外部輸入電位比較功能。

LVD相關暫存器摘要：

LVDCN LVDFG[0], LVD [0],LVDON[0],VLDX[3:0]

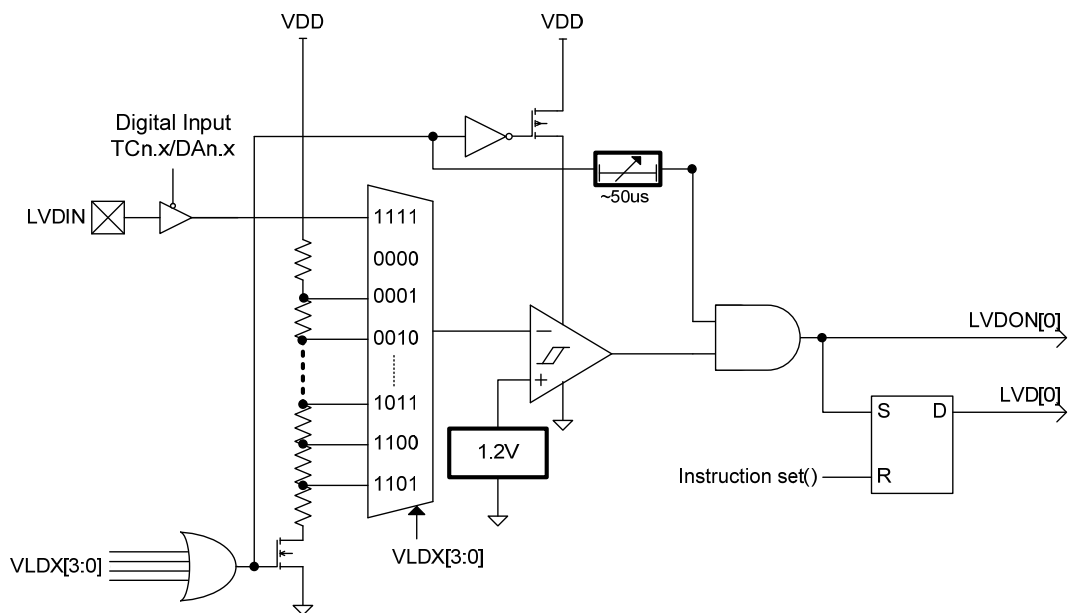


圖 8-1 LVD方塊圖

8.1 低電壓偵測使用說明

8.1.1 LVD初始設置

設置監測電壓選擇器VLDX[3:0]可以決定LVD偵測的電壓是由工作電壓分壓產生或是外部輸入引腳LVDIN。

當VLDX[3:0]設置為偵測工作電壓時，即可透過分壓電阻的匹配達到 14 段的監測的電壓點；若設置為外部輸入時，使用者可能需要設計電壓分壓電路產生適當的電壓信號後再由LVDIN引腳輸入至LVD比較器。

8.1.2 LVD低電壓發生條件及事件記錄

LVD偵測電壓的方式是透過內部比較器將監測的電壓信號與內部參考電壓進行比較，若偵測電壓比參考電壓高，則比較器輸出 1 反之輸出 0。運作期間為了確保低電壓偵測動作正常必須參考穩定旗標LVDON[0]的狀態，在每次變更VLDX[3:0]的設置值後必須等待延遲時間 50uS，使線路達到穩定LVDON[0]置<1>才可判斷低電壓反應旗標LVD[0]。反之，若LVDON[0]置<0>則所判斷的LVD[0]可能是錯誤資訊。

LVD[0]會及時反應低電壓事件而低電壓發生記錄旗標LVDFG[0]則會記錄是否曾發生過低電壓事件，如圖 8-2 所示。當監測的電壓瞬間發生低電壓事件則LVD[0]置<1>且LVDFG[0]亦隨之置<1>，若監測的電壓回至設置值的比較點之上則LVD[0]置<0>而LVDFG[0]仍是置<1>直至使用者設置或發生復位晶片LVDFG[0]才會置<0>。

8.1.3 LVD啟用方式

當VLDX[3:0]的設置不等於<0000>，LVD即自動啟用。反之，VLDX[3:0]=<0000>則LVD自動關閉。

必須ENHAO/ENADC/ENACM任一位元置能，則LVD功能才能正常使用。

若使用者需要省電模式，單純使用外部 32768 晶振，又要使用LVD功能，則目前最省電方式，只能設定ENACM=1。

VDD=3V, CPUCLK=ext 32768 hz, enable LVD, Normal Run (JMP LOOP)

Operation current (uA)

ENHAO=1 78uA

ENADC=1 60uA

ENACM=1 38uA

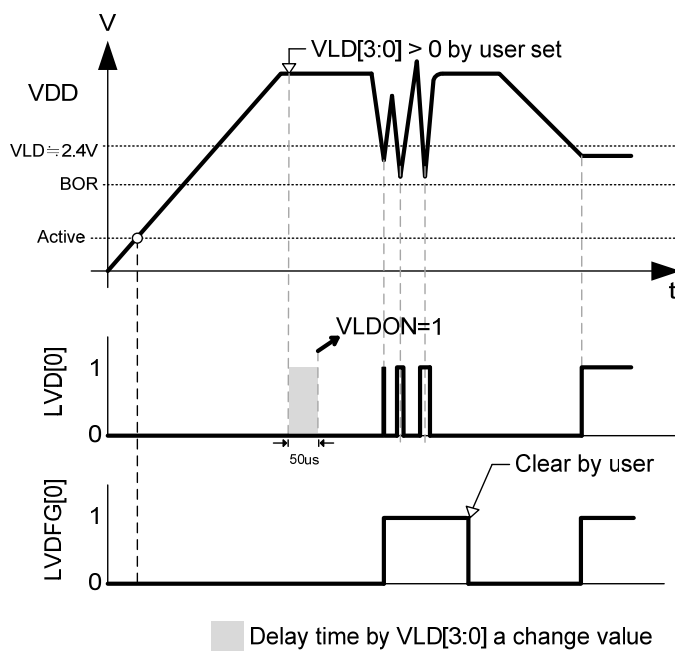


圖 8-2 LVD時序圖

8.2 暫存器說明-LVD

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
2DH	LVDCN		LVDFG	LVD	LVDON	VLDX[3:0]				.000 0000	.000 uuuu	-,*,r,*,*,*

表 8-1 LVD控制暫存器

PSTATUS : 詳見 復位,RESET章節

PT1/PT1DA/PT1PU : 詳見 輸入/輸出埠,I/O 章節

LVDCN : LVD控制暫存器

LVDFG : 低電壓發生記錄旗標

1 : 已發生過 (需由軟體清除)

0 : 未發生過

LVD : 低電壓反應旗標

1 : 低電壓

0 : 未發生過 ;

LVDON : 低電壓檢測電路穩定旗標

1 : 穩定

0 : 未穩定

VLDX[3:0] : 監測電壓選擇器

VLDX[3:0]	監測電位	VLDX[3:0]	監測電位	VLDX[3:0]	監測電位	VLDX[3:0]	監測電位
1111	1.2(LVDIN)	1011	3.01	0111	2.61	0011	2.21
1110	3.31	1010	2.91	0110	2.51	0010	2.11
1101	3.21	1001	2.81	0101	2.41	0001	2.01
1100	3.11	1000	2.71	0100	2.31	0000	LVDOFF

表 8-2 LVD電壓監測設定值

9 看門狗, Watch Dog

看門狗WDT為顧名思義的為晶片的看守者，主要用於產生喚醒事件。

- ◆ 運行模式
 - 看門狗計數器溢位產生復位信號，重新啟動晶片
 - 可用軟體清歸零時器
- ◆ 休眠模式
 - 看門狗WDT關閉，無法使用
- ◆ 待機模式
 - 看門狗計數器溢位產生中斷事件，喚醒晶片

WDT相關暫存器摘要：

TMACN	ENWDT[0], WDTS[2:0]
PSTATUS	TO[0]
INTF	WDTIF[0]
INTE	WDTIE[0]

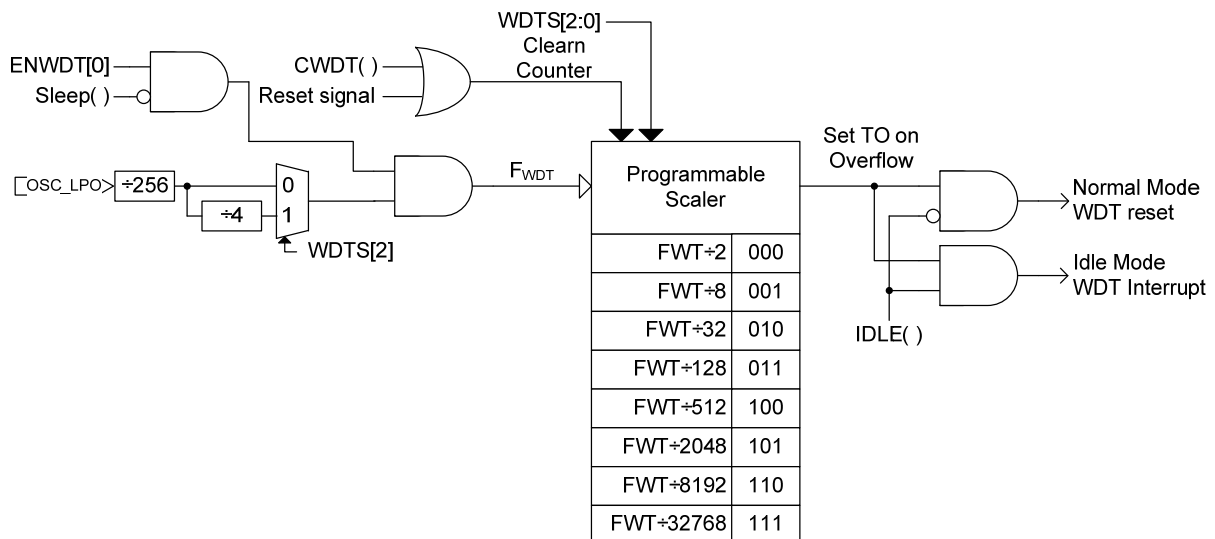


圖 9-1 看門狗方塊圖

9.1 WDT 使用說明

9.1.1 WDT初始化設置

WDT計時控制器WDTS[2:0]可決定WDT計數器的工作頻率 F_{WDT} 與溢位，計數器溢位後可產生WDT復位信號TO或中斷事件WDTIF¹⁰。

¹⁰ WDT 使用內部時脈源 LPO，故可操作在晶片處於運行 Normal Mode 與待機 Idle Mode 模式。運行模式下可用軟體歸零計數器使之不會因計數終了而復位晶片，但在待機模式下則無法透過任何方式使 WDT 計時器歸零。

9.1.2 WDT中斷事件服務

WDT中斷事件只能操作在晶片處於待機模式，當WDTIE[0]與GIE[0]設置<1>時WDT計數器溢位後會產生中斷事件將WDTIF[0]置<1>且程式計數器PC跳至中斷向量位置<0>x0004h。反之，WDTIE[0]與GIE[0]設置<0>時不會產生任何中斷。

9.1.3 WDT啟用

WDT必須在晶片處於運行模式下啟用，即是將WDT啟用控制器ENWDT[0]設置<1>以啟用 WDT。啟用後即無法用軟件再將ENWDT[0]設置<0>，但當WDT使用於待機模式時，若發生 WDT計數終了產生喚醒的中斷事件後硬體會自動將ENWDT[0]置<0>。

```
MVL 00Ah
MVF TMACN,1,0    ; 啟用 WDT 並設置 WDT[2:0] = 010b
....             ; WDT 計數器溢位時間約為 3.4Hz
CWDT             ; 歸零 WDT 計數器
....
```

範例 9-1 WDT復位事件範例程式

```
MVL 00Ah
MVF TMACN,1,0    ; 啟用 WDT 並設置 WDT[2:0] = 010b
....             ; WDT 計數器溢位時間約為 3.4Hz
CWDT             ; 歸零 WDT 計數器
IDLE             ; 進入待機模式，待機模式喚醒後，ENWDT將被關閉，使用者需重新啟動
NOP
....
Idle Interrupt : ; 中斷服務程式
BCF INTF1,WDTIF,0 ; 清除 WDT 中斷事件旗標
....
RETI             ; 中斷服務返回
```

範例 9-2 WDT中斷事件範例程式

9.2 暫存器說明-WDT

“_”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1 “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE	ADGIE	TMGIE	TMBIE	TMAIE	WDTIE	EMIE	EOIE	0000 0000	0000 0000	*****
26H	INTF1						WDTIF			.000 0000	.000 0000	-*****
2CH	Pstaus	RD	TO	IDLEB	BOB		SKERR			000d .0..	uduu .d..	rw0,rw0,rw0,rw0 -,rw0,-,-
41H	TMACN					ENWDT	WDTs[2:0]			0000 0000	0000 0000	*** w1,***

表 9-1 WDT控制暫存器

INTE1/INTF1 : 詳見

中斷, Interrupt 章節

PSTATUS : 詳見 *復位, RESET* 章節

TMACN : 計時/計數器 A 控制暫存器

ENWDT : WDT 啓用控制器

1 : 啓用

0 : 關閉 ; (無法軟件設置 <0>)

WDTS[2:0] : 設置WDT計數器溢位的時間

111 : $F_{WDT}/32768$

110 : $F_{WDT}/8192$

101 : $F_{WDT}/2048$

100 : $F_{WDT}/512$

011 : $F_{WDT}/128$

010 : $F_{WDT}/32$

001 : $F_{WDT}/8$

000 : $F_{WDT}/2$

10 計數器A,Timer-A

計數器A為 8-bit的設計架構，TMA 可工作於運行模式與待機模式。

- ◆ 遞增型計數器
- ◆ 四段溢位數值選擇
- ◆ 溢位產生中斷事件
- ◆ 可讀取計數器的值

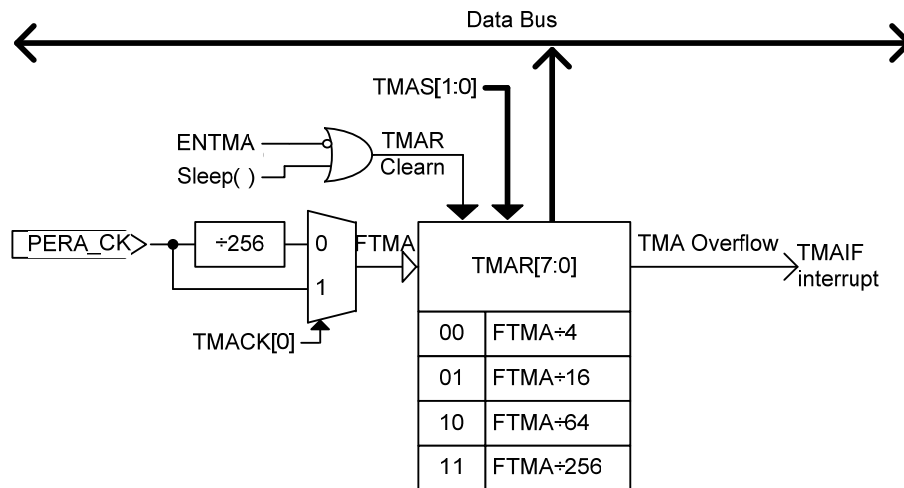
TMA暫存器摘要：

TMACN ENTMA[0],TMACK[0],TMAS[1:0]

TMAR TMAR[7:0]

INTE1 TMAIE[0]

INTF1 TMAIF[0]



設置TMAS[1:0]=00b, 當TMAR[7:0]=00000100b發生第一次中斷，
 下一次發生中斷時TMAR[7:0]=00001000b。
 故每次中斷發生時TMAR[7:0]=TMAR[7:0]+4.

設置TMAS[1:0]=10b, 當TMAR[7:0]=01000000b發生第一次中斷，
 下一次發生中斷時TMAR[7:0]=10000000b。
 故每次中斷發生時TMAR[7:0]=TMAR[7:0]+64.

圖 10-1 計數器A方塊圖

10.1 TMA 使用說明

10.1.1 TMA初始化設置

TMA工作頻率由PERA_CK提供，透過TMACK [0]的設置可預先對PERA_CK進行除頻調整使得 F_{TMA} 的工作頻率為PERA_CK/256 或PERA_CK。

TMAR[7:0]為TMA的計數器，透過TMAS[1:0]可分別設置計數器產生溢位發生中斷事件TMAIF[0]的時間。TMAS[1:0]可設置TMAR[7:0]每+4、+16、+64 或+256 產生溢位¹¹。

10.1.2 TMA中斷事件服務

TMA計數器TMAR[7:0]溢位後會產生中斷事件使TMAIF[0]置<1>。此時若需要中斷事件服務需將TMAIE[0]與GIE[0]設置<1>。

- 例如：當TMAS[1:0]設置<00>時，TMAR[7:0]的數值由 00000011b變化至 00000100b時發生溢位產生中斷事件，而下一次的中斷事件會發生在TMAR[7:0]由 00000111b變化至 00001000b的時候。而當TMAS[1:0]設置<10>時，TMAR[7:0]的數值由 00111111b變化至 01000000b時發生溢位產生中斷事件，而下一次的中斷事件會發生在TMAR[7:0]由 01111111b變化至 10000000b的時候。

10.1.3 TMA啓用

ENTMA[0]設置<1>以啓用TMA且TMAR[7:0]開始計數；設置<0>則關閉TMA且TMAR[7:0]計數器的計數值會被自動歸零。

MVL 088h	
MVF INTE1,1,0	: 設置Timer A中斷服務
CLRF TMAR	: 將TMAR設置<0>
MVL 0D0h	: 啓用Timer A並設置工作頻率為PERA_CK
MVF TMACN,1,0	: 設置TMAS[1:0] =01b,使得TMAR計數器發生溢位的頻率為每
	: PERA_CK/16 Hz即：每次產生中斷事件時間為1/ (PERA_CK/16)秒
TMA Interrupt :	: Timer A 中斷事件服務程式
BCF INTF1,TMAIF,0	: 清除TMA中斷事件旗標而TMAR=TMAR+16。注意，每當TMAR發生溢位
	: 時無論是否開啓中斷事件服務TMAR=TMAR+16
RETI	: 中斷服務返回

範例 10-1 TM A中斷事件範例程式

¹¹ 在計數過程中改變 TMAS[1:0]溢位產生的時間可能會導致 TMA 計數發生誤動作，使用時必須注意。

10.2 暫存器說明-TMA

“_”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1 “. ”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE	ADGIE	TMDIE	TMBIE	TMAIE	WDGIE	EMIE	EOIE	0000 0000	0000 0000	*,*,*,*,*,*,*,*
26H	INTF1					TMAIF				.000 0000	.000 0000	-,*,*,*,*,*,*,*
41H	TMACN	ENTMA	TMACK	TMAS[1:0]		ENWDT	WDTSR[2:0]			0000 0000	0000 0000	*,*,*,* w1,*,*,*
42H	TMAR	TimerA data register								xxxx xxxx	uuuu uuuu	r,r,r,r r,r,r,r

表 10-1 TMA控制暫存器

INTE1/INTF1 : 詳見

中斷, Interrupt 章節

TMACN : 計數器A控制暫存器

ENTMA : Timer-A啓用控制器

1 : 啓用

0 : 關閉 ; 計數器歸零

TMACK : Timer-A工作頻率選擇器

1 : $F_{TMA}=PERA_CK$

0 : $F_{TMA}=PERA_CK / 256$

TMAS[1:0] : Timer-A 計數器溢位控制器

11 : $F_{TMA} / 256$; 每次溢位發生中斷事件, $TMAR[7:0]=TMAR[7:0]+256$

10 : $F_{TMA} / 64$; 每次溢位發生中斷事件, $TMAR[7:0]=TMAR[7:0]+64$

01 : $F_{TMA} / 16$; 每次溢位發生中斷事件, $TMAR[7:0]=TMAR[7:0]+16$

00 : $F_{TMA} / 4$; 每次溢位發生中斷事件, $TMAR[7:0]=TMAR[7:0]+4$

TMAR : TMA的遞增型計數器, 可讀取不可寫入。

11.1 Timer-B 使用說明

11.1.1 TMB初始化設置

TMB工作頻率由工作頻率選擇器TMBCK[0]進行設置¹²，其可設置TMB_CK為INTR_CK或是LS_CK工作頻率，依設置的頻率不同可使得TMB可操作在運行模式或待機模式下。

預除頻控制器TMBS[1:0]的設置可對TMB_CK進行除頻，當應用在支援捕捉/比較模式時預除頻的設置會直接影響事件執行的速度。

計數器TMBR[15:0]¹³可透過TMBR2R[0]設置<0>時為 8-bit的計數器或TMBR2R[0]設置<1>則為 16-bit計數器。在使用 16-bit的TMBR[15:0]計數器時，讀/寫TMBRH[7:0]與TMBRL[7:0]資料必需遵照以下規則：

- 寫入資料必需先寫TMBRH[7:0]再寫TMBRL[7:0]才可將資料正確的寫入。計數器的設置必須在ENTMB[0]設置<1>之後再寫入即是ENTMB[0]設置<0>對計數器的寫入是無效的。
- 讀取資料必需先讀取TMBRL[7:0]再讀取TMBRH[7:0]才可正確得讀取到計數器的資料。

11.1.2 TMB中斷事件服務

TMBR[15:0]遞增溢位後會產生中斷事件¹⁹TMBIF[0]置<1>。此時若需要中斷事件服務必需將TMBIE[0]與GIE[0]設置<1>。

無論TMB是 8-bit或 16-bit模式，當計數器發生溢位時皆會產生中斷事件TMBIF[0]置<1>。

11.1.3 TMB啓用

ENTMB[0]設置<1>以啓用TMB且TMBR[15:0]開始計數；設置<0>則關閉TMB且TMBR[15:0]計數器的數值會自動被歸零。

¹² Timer B 操作在與 CPU 不同時脈源時可將 TMBSYC 設置 1 以取得頻率同步處理，防止產生 TimerB 漏數現象。

¹³ TMBR 採用 16-bit 操作情形下，若預先寫入 TMBR[15:0]=00F0Fh，在啓用 TimerB 之後，只有第一次會從 0x0F0Fh 計數到 0xFFFFh 產生溢位信號，此後的溢位信號則是在 TMBR[15:0]由 0x0000h 計數到 0xFFFFh；相同情況也會發生在採用 8-bit 操作下，當寫入 TMBRL[7:0]=0x0Fh 則啓用 TimerB 之後，只有第一次 TimerB 會從 0x0Fh 計數到 0xFFh 產生溢位信號，此後的溢位信號則是在 TMBRL[7:0]由 0x00h 計數到 0xFFh。


```
MVL 090h
MVF INTE1,1,0 : 設置 Timer B 中斷服務
MVL 08Ch
MVF TMBCN,1,0 : 啓用TMB並設置工作頻率為CPU_CK且不預除頻,TMBS[1:0] = 00b、不需做同步
                : 處理並將TMBR的設置為16-bit模式
CLRf TMBRH :
MVL 00Fh : 將TMBR設置於由0Fh開始計數，必需先寫入TMBRH再寫入暫存器TMBRL。
MVF TMBRL,1,0 : TimerB計數終了時間約為CPU_CK/(FFF0h)Hz
....
MVF TMBRL,0,0 : 讀取TMBR計數器的數值另儲存於BUF0與BUF1暫存器，讀取時必需先讀取
                : TMBRL再讀取TMBRH的資料。
MVF BUF0,1,0 :
MVF TMBRH,0,0 :
MVF BUF1,1,0
....
TMB Interrupt : : TMB中斷事件服務程式
CLRf TMBRH : 將TMBR設置於由000Fh開始計數。需注意指令執行週期與TMB_CK關連性
MVL 00Fh : 否則會產生計時偏差問題，
MVF TMBRL,1,0 :
BCF INTF1,TMBIF,0 : 清除 TMB 中斷事件旗標
....
RETI : 中斷服務返回
```

範例 11-1 Timer-B中斷事件範例程式

11.2 暫存器說明-TMB

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1													
“.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition													
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W	
23H	INTE1	GIE	ADDCIE	TMCIE	TMBIE	TMAIE	WDTIE	E1IE	E0IE	0000 0000	0000 0000	*****	
26H	INTF1				TMBIF					.000 0000	.000 0000	*****	
43H	TMBCN	ENTMB	TMBCK	TMBS[1:0]		TMBSYC	TMBR2R			0000 00..	0000 00..	*****	
44H	TMBRH	TimerB High Byte data register									xxxx xxxx	uuuu uuuu	*****
45H	TMBRL	TimerB Low Byte data register									xxxx xxxx	uuuu uuuu	*****

表 11-1 TMB控制暫存器

INTE1/INTF1 : 詳見

中斷, Interrupt 章節

TMBCN : 計數器B控制暫存器

ENTMB : Timer-B 啟用控制器

1 : 啟用

0 : 關閉 ; 計數器清零

TMBCK : Timer-B 工作頻率選擇控制器

1 : LS_CK

0 : INTR_CK

TMBS[1:0] : Timer-B 工作頻率預除頻器

11 : TMB_CK/8

10 : TMB_CK/4

01 : TMB_CK/2

00 : TMB_CK/1

TMBSYC : Timer-B 工作頻率與CPU 同步處理控制器

1 : 同步處理

0 : 不同步處理

TMBR2R : TMBR 暫存器操作方式

1 : 16-bit 操作模式

0 : 8-bit 操作模式

TMBRH/L : Timer-B 遞增型計數器，可設置計數溢位數值，可寫入或讀取。

TMBRH[7:0]

TMBRL[7:0]

12 計數器C,Timer-C

計數器C為 8-bit的設計架構，其TMC計數器由兩個數值暫存器與一個比較器組成而溢位事件的發生則是由後除頻器產生。可操作於運行模式、待機模式與休眠模式。

- ◆ 具 8-bit頻率控制器與數值比較器與計數器
- ◆ 遞增計數器
- ◆ 數值比較器
- ◆ 支援PWM功能
- ◆ 支援PFD功能
- ◆ 可規劃溢位數值
- ◆ 溢位產生中斷事件

Timer-C暫存器摘要：

TMCCN	ENTMC[0], TMCCCK[1:0], TMCS1[2:0], TMCS0[1:0]
TMCR	TMCR[7:0]
PRC	PRC[7:0]
INTE1	TMCIE[0]
INTF1	TMCIF[0]

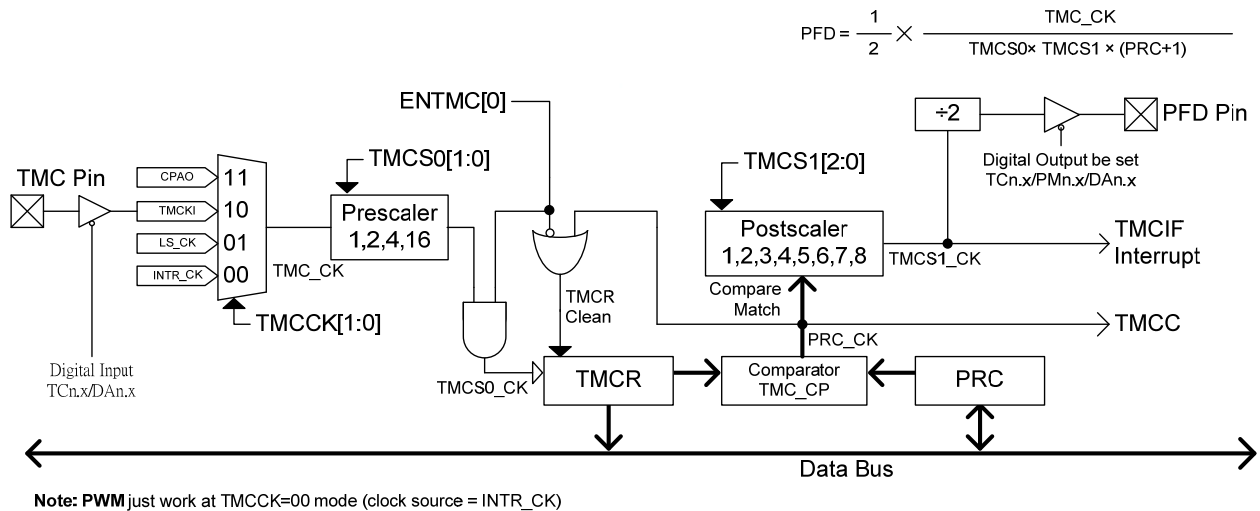


圖 12-1 計數器C方塊圖

12.1 Timer-C使用說明

12.1.1 TMC初始化設置

TMC工作頻率由工作頻率選擇器TMCKK [1:0]進行設置，其可設置TMC_CK為INTR_CK¹⁴、LS_CK、TMCKI¹⁵或是CPAO工作頻率，依設置的頻率不同可使得TMC可操作在運行、待機或是休眠模式下。

預除頻控制器TMCS0[1:0]的設置會對TMC_CK進行除頻產生TMCS0_CK；溢位控制器TMCS1[2:0]的設置會對PRC_CK進行除頻產生TMCS1_CK。

計數器TMCR[7:0]¹⁶與頻率控制器PRC[7:0]及數值比較器TMC_CP組成PRC_CK信號產生機制，即是當TMCR[7:0]與PRC[7:0]兩暫存器內容相同時產生PRC_CK信號提供予後除頻器TMCS1[2:0]。

12.1.2 TMC中斷事件服務

PRC_CK經過後除頻器除頻後輸入TMC，當TMCS1[2:0]設置的條件滿足時發生溢位產生中斷事件TMCIF[0]置<1>。此時若需要中斷事件服務需將TMCIE[0]與GIE[0]設置<1>。

12.1.3 啓用Timer-C

ENTMC[0]設置<1>以啓用TMC且TMCR[7:0]開始計數；設置<0>則關閉TMC且TMCR[7:0]計數器的數值會自動被歸零。故為了確保計數的準確，使用者必需先將數值寫入PRC[7:0]再啓動TMC。

```
....
MVL 0A0h
MVF INTE1,1,0      ; 設置 Timer C 中斷服務
MVL 01Fh           ; 將 PRC 寫入 01Fh
MVF PRC,1,0        ; 中斷頻率約為 INTR_CK/(1Fh x 2h)
MVL 084h           ; 啓用 Timer C 計時/計數器設置工作頻
MVF TMCCN,1,0      ; 率為 INTR_CK、不預除頻但後除頻設置 TMCS1[2:0] = 001b
....
TMC Interrupt :    ; TMC 中斷事件服務程式
BCF INTF1,TMCIF,0 ; 清除 TMC 中斷事件旗標
....
```

範例 12-1 Timer-C中斷事件範例程式

¹⁴ 當使用 PWM 週邊使用時，TMC 工作頻率必須設置為此參數。

¹⁵ 當輸入頻率源選擇外部 TMCKI 時，必需正確的設置 I/O 引腳否則會造成信號無法輸入而導致執行不正常。詳細的暫存器說明請參見 **輸入/輸出埠, I/O** 章節。

¹⁶ TMCR[7:0]只能讀取，任何對 TMCR[7:0]或 TMCCN[7:0]的寫入動作都將被視為要求計數器 TMCR[7:0]歸零且預除頻器與後除頻器內的計數值也一併歸零。

12.2 暫存器說明-TMC

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1														
“.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition														
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W		
23H	INTE1	GIE	ADDCIE	TMCIE	TMBIE	TMAIE	WDTIE	E1IE	E0IE	0000 0000	0000 0000	*****		
26H	INTF1			TMCIF						.000 0000	.000 0000	.,*****		
46H	TMCCN	ENTMC	TMCCK[1:0]		TMCS1[2:0]		TMCS0[1:0]			0000 0000	0000 0000	*****		
47H	PRC	TimerC programmable register										1111 1111	1111 1111	*****
48H	TMCR	TimerC register										0000 0000	0000 0000	r,r,r,r,r,r,r

表 12-1 TMC控制暫存器

INTE1/INTF1 : 詳見

中斷, Interrupt 章節

PT2/TRISC2/PT2DA/PT2PU : 詳見 輸入/輸出埠, I/O 章節

TMCCN : 計數器C控制暫存器

ENTMC : Timer-C 啟用控制位元

1 : 啟用

0 : 關閉 ; 計數器清零

TMCCCK[1:0] : TMC 工作頻率選擇控制器

11 : CPAO ; 此設置不支援 PWM 週邊線路

10 : TMCKI ; 此設置不支援 PWM 週邊線路

01 : LS_CK

00 : INTR_CK

TMCS1[2:0] : Timer-C 計數器溢位控制器

111 : PRC_CK/8

110 : PRC_CK/7

101 : PRC_CK/6

100 : PRC_CK/5

011 : PRC_CK/4

010 : PRC_CK/3

001 : PRC_CK/2

000 : PRC_CK/1

TMCS0[1:0] : Timer-C 工作頻率預除頻器

11 : TMC_CK/16

10 : TMC_CK/4 ; 此設置部分支援 PWM 週邊線路, 詳見 14 頻率產生器, PWM/PFD 說明

01 : TMC_CK/2 ; 此設置部分支援 PWM 週邊線路, 詳見 14 頻率產生器, PWM/PFD 說明

00 : TMC_CK/1 ; 此設置部分支援 PWM 週邊線路, 詳見 14 頻率產生器, PWM/PFD 說明

TMCR : Timer C 計數器

Timer-C 的遞增計數器, 只能讀取, 任何對 TMCR[7:0] 或 TMCCN[7:0] 的寫入動作都將被視為要求 TMCR[7:0] 歸零。

PRC : 頻率控制暫存器

Timer-C 的頻率控制器, 即是由 TMC_CP 將 TMCR[7:0] 與 PRC[7:] 的內容做比對, 當內容相同時反相 PRC_CK 的狀態。

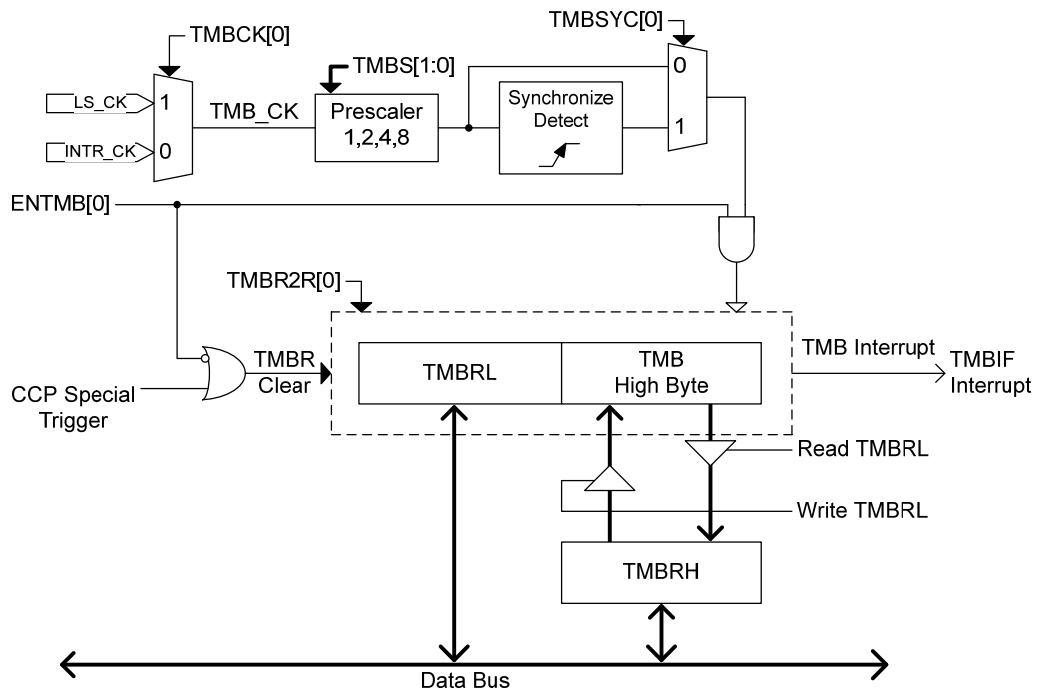
13 捕捉/比較模式, Capture/Compare

捕捉/比較模式CCP為成對設計，當使用捕捉模式時比較模式即禁止使用。反之，使用比較模式則捕捉模式禁止使用。捕捉模式或比較模式都規劃成兩組即CCP0 與 CCP1。

- ◆ 需搭配Timer-B使用
- ◆ 捕捉或比較模式復用
- ◆ 可產生中斷事件
- ◆ 16-bit的資料暫存器

CCP暫存器摘要：

TMBCN	ENTMB[0], TMBCCK[0], TMBS[1:0], TMBSYC[0], TMBR2R[0]
TMBR[15:0]	TMBRH[7:0], TMBRL[7:0]
CCPCN	CCP1M[3:0], CCP0M[3:0]
CCPxR[15:0]	CCP0RH[7:0], CCP0RL[7:0], CCP1RH[7:0], CCP1RL[7:0]
INTE2	CCP0IE[0], CCP1IE[0]
INTF2	CCP0IF[0], CCP1IF[0]



計數器B方塊圖

13.1 捕捉模式使用說明

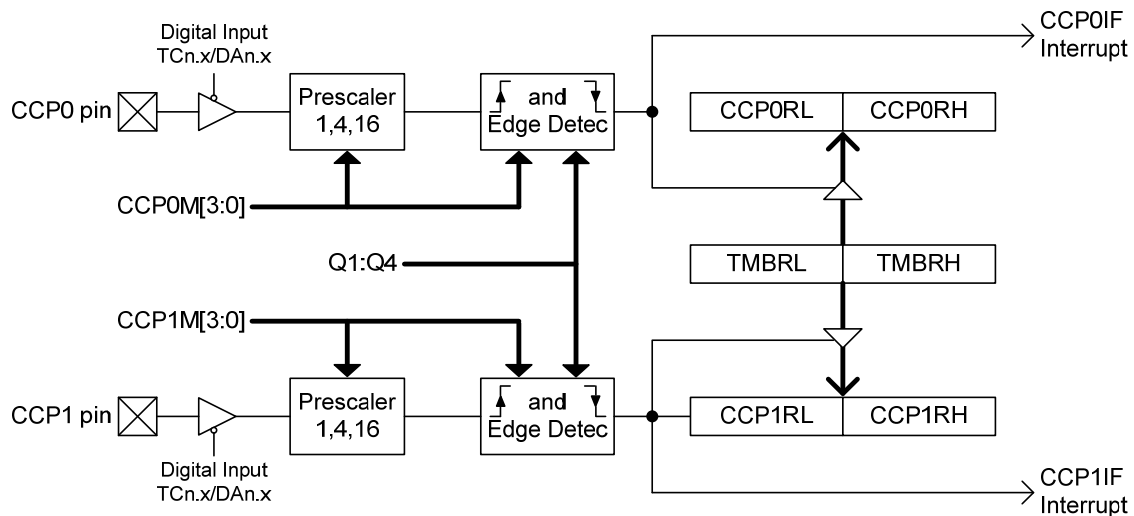


圖 13-1 Capture捕捉模式方塊圖

捕捉模式藉由外部輸入CCPx引腳捕捉事件，其具有要求中斷事件服務及 16-bit 的資料暫存器CCPxR[15:0]以儲存事件發生的結果。

13.1.1 Capture捕捉事件初始化設置

Timer-B必須先行啓用，相關設置請參照 計數器B,Timer-B 說明。

CCP事件控制器CCPxM[3:0]¹⁷可決定CCP0 與CCP1 引腳捕捉模式事件發生條件，事件發生條件計有：

- 每 1 個信號上升緣、下降緣
- 每 4、16 個信號上升緣

CCP資料暫存器CCPxR[15:0]由CCPxRH[7:0]與CCPxRL[7:0]組成¹⁸，當捕捉事件成立時TMBR[15:0]的資料會被搬移至CCPxR[15:0]並產生中斷信號CCPxIF[0]置<1>。中斷事件發生後必需將CCPxR[15:0]內的資料讀出，否則在下一次中斷發生時該筆資料會被新的捕捉事件產生的資料覆蓋。

13.1.2 Capture捕捉中斷事件服務

當捕捉事件發生的條件成立時，會產生捕捉事件成立信號CCPxIF[0]置<1>，此時若需要中斷事件服務需將CCPxIE[0]與GIE[0]設置<1>。

13.1.3 Capture捕捉模式啓用

當CCPxM[3:0]設置了捕捉事件的條件後，捕捉模式即自動啓用。反之，當CCPxM[3:0]設置在非捕捉事件時捕捉模式自動關閉。

¹⁷ 當捕捉模式使用時必需正確的設置 PORT 相關的設定，否則會造成信號無法輸入現象而導致捕捉模式執行時功能不正常。詳細的暫存器說明請參見 **輸入/輸出埠,I/O** 章節

¹⁸ 必需注意，捕捉模式的第一次事件成立所取得的資料可能有誤，故建議使用者捨去第一筆資料。

ORG 04h		: 中斷服務
BTSZ	INTF2,CCP0IF	
JMP	CCP0 interrupt	
BTSZ	INTF2,CCP1IF	
JMP	CCP1 interrupt	
....		: 設定 CCPx 接口為數位輸入腳位
....		: PORT 相關設定 DAn.x、TCn.x
MVL	001h	
MVF	CONT0,1,0	: 設置捕捉事件初始捨去筆數
MVL	003h	
MVF	INTE2,1,0	: 設置 CCPxIE 中斷服務
MVL	084h	: 啓用Timer-B並設置工作頻率為CPU_CK且不預除頻
MVF	TMBCN,1,0	: TMBS[1:0] = 00b、不需做同步處理並將TMBR設置
....		: 為 16-bit 操作方式
MVL	066h	
MVF	CCPCN,1,0	: 設置捕捉事件為每 4 個上升緣
....		
CCP0 Interrupt :		: CCP0 中斷事件服務程式
BCF	INTF2,CCP0IF0	: 清除 CCP0 中斷事件旗標
MVFF	CCP0RH,BUF0	: 將捕捉值另存於BUFx
MVFF	CCP0RL,BUF1	
....		
RETI		: 中斷服務返回
CCP1 Interrupt :		: CCP1 中斷事件服務程式
BCF	INTF2,CCP1IF0	: 清除 CCP1 中斷事件旗標
MVFF	CCP1RH,BUF0	: 將捕捉值另存於 BUFx
MVFF	CCP1RL,BUF1	
....		
RETI		: 中斷服務返回

範例 13-1 捕捉事件範例程式

13.2 比較模式使用說明

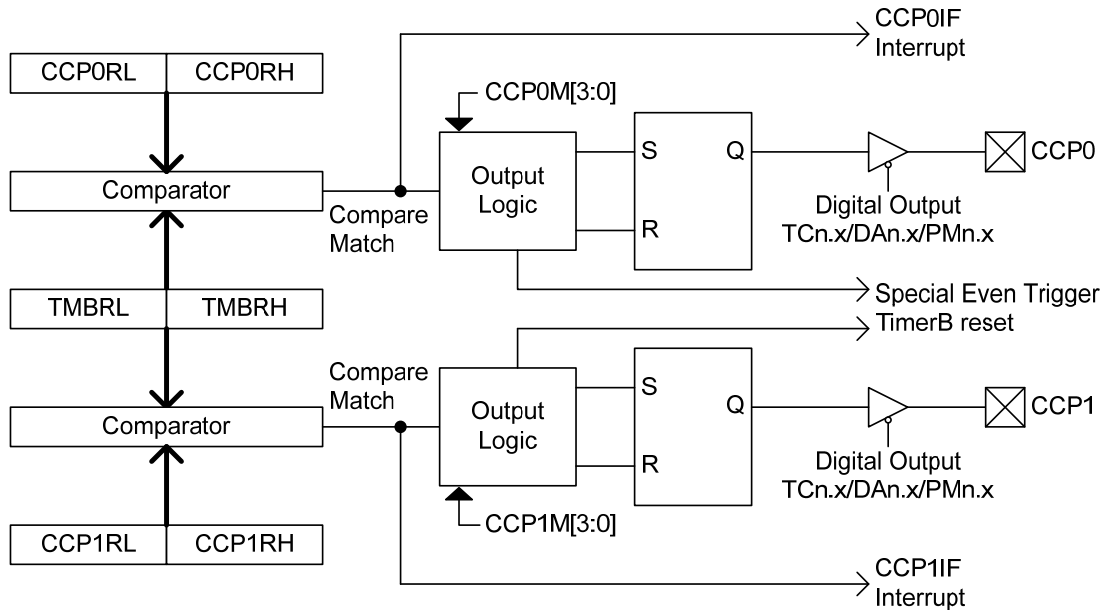


圖 13-2 Compare比較模式方塊圖

比較模式藉由比較器將CCPxR[15:0]與TMBR[15:0]的內容進行比較，當兩暫存器數值符合時產生比較事件成立信號。

13.2.1 Compare比較事件初始化設置

Timer-B必須先行啓用，相關設置請參照 計數器B,Timer-B 說明。

CCP資料暫存器CCPxR[15:0]由CCPxRH[7:0]與CCPxRL[7:0]組成¹⁹，其透過比較器不斷與TMBR[15:0]內容進行比對，當兩者資料相符時產生比較事件成立信號CCPxIF[0]置<1>。此時透過事件控制器CCPxM[3:0]²⁰可設置比較事件成立時CCP0與CCP1 引腳的輸出狀態，計有下列幾種可設置：

- 引腳輸出高準位、低準位
- 引腳輸出電位反相、保持不變

13.2.2 Compare比較中斷事件服務

當比較事件發生的條件成立時即CCPxR[15:0]與TMBR[15:0]內容相符，比較器會產生比較事件成立信號CCPxIF[0]置<1>，此時若需要中斷事件服務需將CCPxIE[0]與GIE[0]設置<1>。

¹⁹ 必需注意，TMBR 為一數值累加計數的計數器，故使用時必須先寫入 CCPxR 的數值再啓用 Timer-B 以避免第一次比較事件成立條件發生錯誤。

²⁰ 當比較模式使用時必需正確的設置 PORT 相關的設定，否則會造成信號無法輸入現象而導致捕捉模式執行時功能不正常。詳細的暫存器說明請參見 **輸入/輸出埠,I/O** 章節

13.2.3 Compare比較模式啓用：

當CCPxM[3:0]設置了比較事件引腳輸出的條件後，比較模式即自動啓用。反之，當CCPxM[3:0]設置在非比較事件引腳輸出的條件則比較模式自動關閉。

ORG 04h		: 中斷服務
BTSZ	INTF2,CCP0IF	
JMP	CCP0 interrupt	
BTSZ	INTF2,CCP1IF	
JMP	CCP1 interrupt	
....		: 設定 PTn.x 為數位輸出接口且輸出 CCPx 信號
....		: PORT 相關設定 DAn.x、TCn.x、PMn.x
MVL	003h	
MVF	INTE2,1,0	: 設置 CCPxIE 中斷服務
MVL	099h	: 設置比較事件的操作方式。CCPx接口初始為高準位，
MVF	CCPCN,1,0	: 事件成立後產生中斷事件並將接口設置為低準位
....		:
MVFF	BUF0,CCP0RH	: 將數值搬入 CCPxR 數值暫存器
MVFF	BUF1,CCP0RL	:
MVFF	BUF0,CCP1RH	:
MVFF	BUF1,CCP1RL	:
MVL	084h	
MVF	TMBCN,1,0	: 啓用Timer-B設置工作頻率為CPU_CK且不預除頻
....		: TMBS[1:0] = 00b、不需做同步處理並將TMBR的設
....		: 置為16-bit操作方式。
CCP0 Interrupt :		: CCP0 中斷事件服務程式
BCF	INTF2,CCP0IF,0	: 清除 CCP0 中斷事件旗標
....		
RETI		: 中斷服務返回
CCP1 Interrupt :		: CCP1 中斷事件服務程式
BCF	INTF2,CCP1IF,0	: 清除 CCP1 中斷事件旗標
....		
RETI		: 中斷服務返回

範例 13-2 比較事件範例程式

13.3 暫存器說明-Capture/Compare

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1 “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition													
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W	
24H	INTE2							CCP1IE	CCP0IE	00.. 0000	00.. 0000	*.*.*.*.*	
27H	INTF2	INTF2	INTF1			CCP0IF	CCP1IF	CCP1IF	CCP0IF	00.. 0000	00.. 0000	*.*.*.*.*	
43H	TMBCN	ENTMB	TMBCK	TMBS[1:0]		TMBSYC	TMBR2R			0000 00..	0000 00..	*.*.*.*.*	
44H	TMBRH	TimerB High Byte data register									xxxx xxxx	uuuu uuuu	*.*.*.*.*
45H	TMBRL	TimerB Low Byte data register									xxxx xxxx	uuuu uuuu	*.*.*.*.*
49H	CCPCN	CCP1M[3:0]				CCP0M[3:0]					0000 0000	0000 0000	*.*.*.*.*
4AH	CCP0RH	CCP0 High Byte data register									xxxx xxxx	uuuu uuuu	*.*.*.*.*
4BH	CCP0RL	CCP0 Low Byte data register									xxxx xxxx	uuuu uuuu	*.*.*.*.*
4CH	CCP1RH	CCP1 High Byte data register									xxxx xxxx	uuuu uuuu	*.*.*.*.*
4DH	CCP1RL	CCP1 Low Byte data register									xxxx xxxx	uuuu uuuu	*.*.*.*.*
74H	PT2			PT2.5	PT2.4					xxxx xxxx	uuuu uuuu	*.*.*.*.*	
75H	TRISC2	TC2.7	TC2.6	TC2.5	TC2.4	TC2.3	TC2.2	TC2.1	TC2.0	0000 0000	0000 0000	*.*.*.*.*	
76H	PT2DA			DA2.5	DA2.4					0000 00..	0000 00..	*.*.*.*.*	
77H	PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2	PU2.1	PU2.0	0000 0000	0000 0000	*.*.*.*.*	
79H	PT2M2	PM2.7[1]	PM2.7[0]		PM2.6[1]	PM2.5[1]	PM2.5[0]	PM2.4[1]	PM2.4[0]	00.0 0000	00.0 0000	*.*.*.*.*	

表 13-1 CCP控制暫存器

INTE1/INTE2/INTF2 : 詳見

中斷, Interrupt 章節

TMBCN/TMBRH/TMBRL : 詳見 **計數器B, Timer-B** 章節

PT2/TRISC2/PT2DA/PT2PU : 詳見 **輸入/輸出埠, I/O** 章節

CCPCN : 捕捉/比較控制暫存器

CCPxM[3:0] : CCP 功能選擇控制位

11xx : 未使用

1011 : 比較模式模式。事件成立CCPxIF[0]置<1>並歸零Timer-B計數器

1010 : 比較模式模式。事件成立僅CCPxIF[0]置<1>, 不送信號至CCPx引腳

1001 : 比較模式模式。CCPx引腳初始化為高準位, 事件成立CCPxIF[0]置<1>且CCPx引腳變為低準位。

1000 : 比較模式模式。CCPx引腳初始化為低準位, 事件成立CCPxIF[0]置<1>且CCPx引腳變為高準位。

0111 : 捕捉模式模式。捕捉條件為每 16 個上升緣, 事件成立CCPxIF[0]置<1>

0110 : 捕捉模式模式。捕捉條件為每 4 個上升緣, 事件成立CCPxIF[0]置<1>

0101 : 捕捉模式模式。捕捉條件為每 1 個上升緣, 事件成立CCPxIF[0]置<1>

0100 : 捕捉模式模式。捕捉條件為每 1 個下降緣, 事件成立CCPxIF[0]置<1>

0011 : 未使用

0010 : 比較模式模式。事件成立CCPxIF[0]置<1>且CCPx引腳輸出準位反相

0001 : 未使用

0000 : 關閉捕捉模式/比較模式功能

CCPxRH/L : 捕捉/比較模式數值暫存器

CCPxRH[7:0]

CCPxRL[7:0]

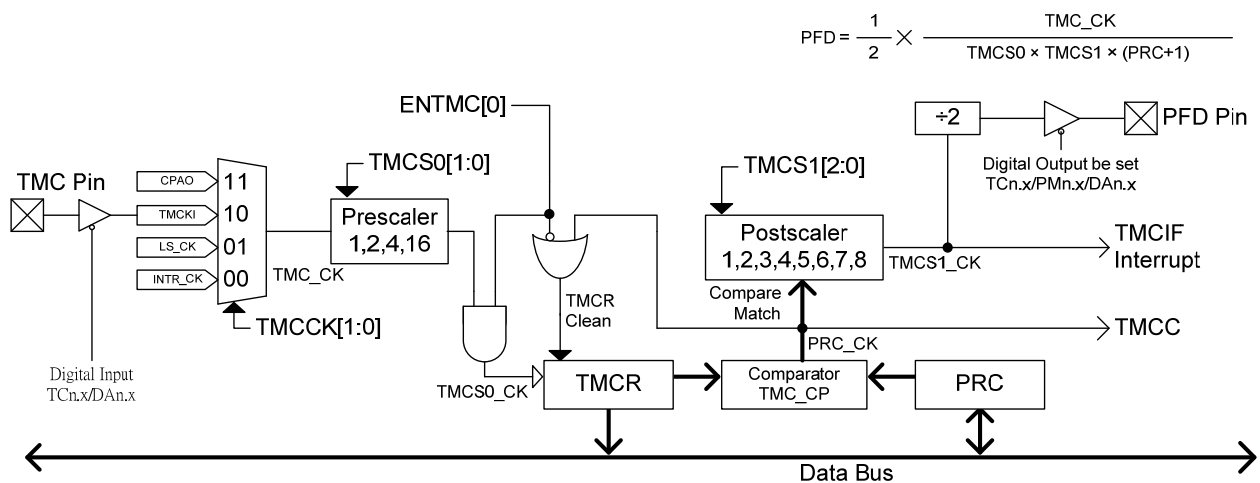
14 頻率產生器,PWM/PFD

頻率產生器具有兩種模式—為脈衝寬度調變PWM另一為頻率調變PFD。

- ◆ 需搭配Timer-C使用
- ◆ PWM與PFD模式復用
- ◆ 10-bit的頻率控制器

PFD與PWM暫存器摘要：

TMCCN	ENTMC[0], TMCCK[1:0], TMCS1[2:0], TMCS0[1:0]
TMCR	TMCR[7:0]
PRC	PRC[7:0]
PASC	PASF[0], PASC[1:0], PSSCN0[1:0], PSSCN1[1:0]
PWMCN	ENPWM[0], ENPFD[0], PWMRL[1:0], PWMCG[1:0], PWMM[1:0]
PDBD	ENPRS[0], DBDC[6:0]
PWMR[9:0]	PWMRH[7:0], PWMRL[1:0]



Note: PWM just work at TMCCK=00 mode (clock source = INTR_CK)

計數器C方塊圖

14.1 PFD模式使用說明

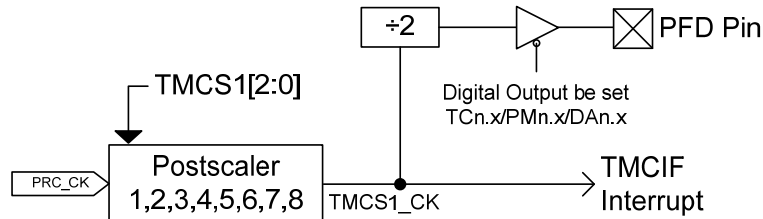


圖 14-1 PFD方塊圖

頻率調變PFD模式必須有Timer-C支援才可使用，其輸出頻率的調變可透過Timer-C設置。PFD 頻率輸出的引腳必須設定為數位輸出且輸出信號必須選擇 PFD。

14.1.1 PFD模式初始化設置

Timer-C必須先行啓用，相關設置請參照 計數器C,Timer-C 說明。

PFD工作頻率為PRC_CK，透過TMC的溢位控制器TMCS1[2:0]設置可以改變PFD引腳²¹的輸出頻率，PFD調變頻率計算公式如 式 14-1。

式 14-1

$$PFD = \frac{1}{2} \times \frac{TMC_CK}{TMCS0 \times TMCS1 \times (PRC+1)}$$

PFD調變頻率計算公式

14.1.2 PFD模式啓用

ENPFD[0]設置<1>以啓用PFD模式。反之，當ENPFD[0]設置<0>會關閉PFD模式。

....	: 設定 PTn.x 為數位輸出接口且輸出 PFD 信號
....	: PORT 相關設定 DAn.x、TCn.x、PMn.x
MVL 01Fh	: 將 PRC 寫入 01Fh
MVF PRC,1,0	: 啓用 Timer C 計時/計數器，設置工作頻率
MVL 084h	: 為 INTR_CK、不預除頻但後除頻設置TMCS1[2:0] = 001b
MVF TMCCN,1,0	: 故PFD 頻率為INTR_CK/(1Fh x 2h)
BSF PWMCN,6,0	: 啓用 PFD
....	

範例 14-1 PFD輸出範例程式

²¹ PFD 模式使用時必需正確的設置 I/O PORT 的設定，否則會造成信號無法輸出而導致 PFD 模式執行時功能不正常。詳細的暫存器說明請參見 輸入/輸出埠,I/O 章節

14.2 PWM模式使用說明

脈衝寬度調變PWM具有以下的功能：

- ◆ PWM輸出組態
 - 單輸出
 - 雙輸出
 - 四輸出
- ◆ 必須Timer-C支援
- ◆ 自動關閉與開啓
- ◆ 可編程死區延遲功能

14.2.1 PWM單輸出使用方式

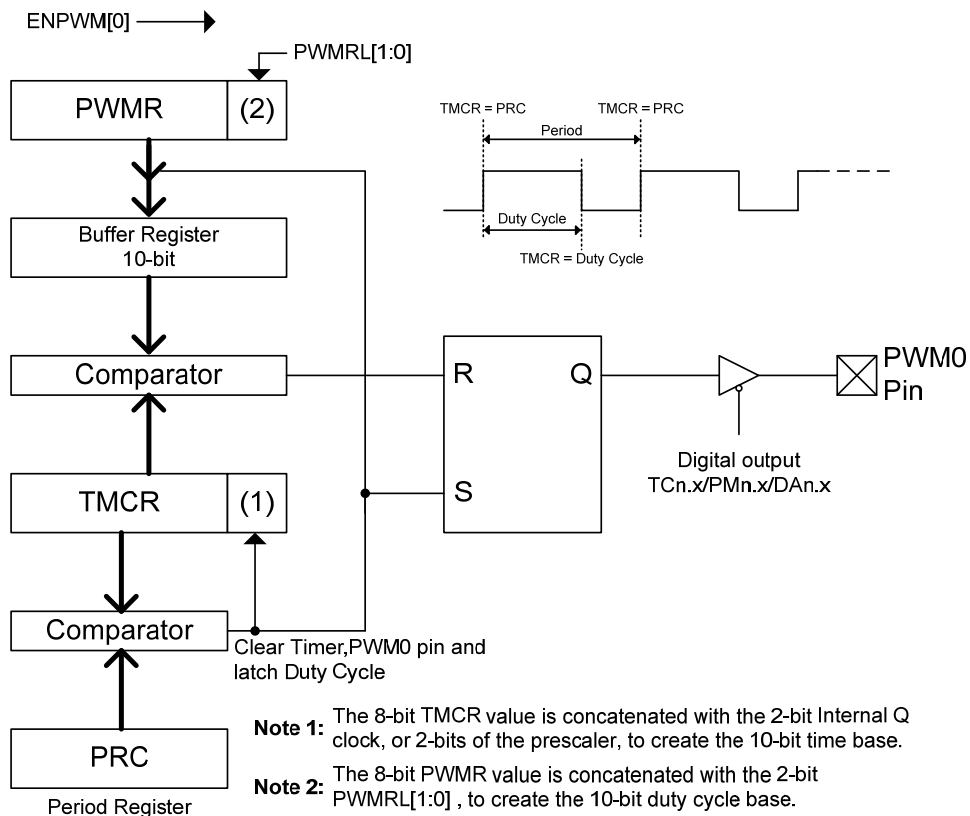


圖 14-2 PWM單輸出方塊圖

PWM單輸出脈衝寬度調變信號具有單一輸出PWM0 引腳²²，使用時必須先透過設置Timer-C以規劃PWM的頻率與占空比Duty Cycle。

²² PWM 模式使用時必需正確的設置 PORT 相關的設定，否則會造成信號無法輸出現象而導致執行不正常。詳細的暫存器說明請參見 **輸入/輸出埠, I/O** 章節

14.2.1.1 PWM單輸出初始化設置

14.2.1.1.1 頻率(週期,period)設置

頻率控制器PRC[7:0]²³具有 8-bit長度，改變其設置參數即可決定PWM的週期(頻率)。計算公式如 式 14-2：

式 14-2 (a)

$$\text{PWM Period} = \frac{\text{TMCS0} \times (\text{PRC} + 1)}{\text{TMC_CK}}$$

PWM週期計算公式

式 14-2(b)

$$\text{PWM Frequency} = \frac{1}{\text{PWM Period}}$$

PWM頻率計算公式

14.2.1.1.2 脈衝寬度(duty cycle)設置

脈衝寬度調變控制器PWMR[9:0]²⁴具有 10-bit長度，分別由PWMRH[7:0]與PWMRL[1:0]組成。改變其設置參數即可決定PWM的高電位脈衝寬度，如 式 14-3。

式 14-3

$$\text{PWM Duty Cycle} = \frac{\text{TMCS0} \times (\text{PWMR}[9:0] + 4)}{\text{TMC_CK} \times 4}$$

PWM占空比計算公式

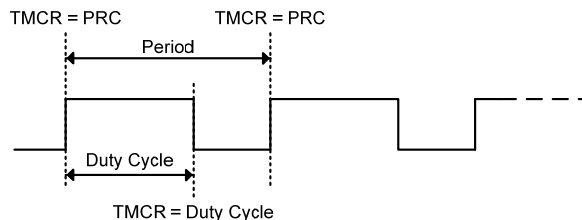


圖 14-3 PWM波形示意圖

²³ 當 TMCR[7:0]與 PRC[7:0]數值相等時，會發生：a. PWMx 輸出引腳將被設置為 1。(若 PWMR[9:0]=0，則 PWMx 輸出腳則不會被置 1)。
 b. TMCR 會被歸零。

²⁴ 當 PWM 處於操作狀態時，任何寫入 PWMR 的數值都會在一個週期結束之後才會被寫入，若 PWMR 數值大於 PRC 數值時，則 PWMx 輸出引腳將不會被設置為 0。

14.2.1.1.3 解析度(Resolution)設置

計算PWM最大解析度時必須考慮TMC工作頻率TMC_CK與PWM的輸出頻率，如式 14-4。

式 14-4

$$\text{PWM Resolution (max)} = \frac{\log\left(\frac{\text{TMC_CK} \times 4}{\text{TMCS0} \times \text{PWM Frequency}}\right)}{\log(2)}$$

PWM解析度計算公式

14.2.1.1.4 Timer-C設置

PWM必須使用Timer-C產生頻率與占空比，故當Timer-C支援PWM模式時其工作頻率選擇器TMCK[1:0]與預除頻器TMCS0[1:0]的設置上會有所限制。

- ◆ 若CPU工作頻率等於或高於 2MHz，則PWM的工作頻率選擇器TMCK[1:0]與預除頻器TMCS0[1:0]的設置為：
 - TMCK[1:0]只能設置<00>由INTR_CK或設置<01>由LS_CK，提供工作頻率予TMC以供PWM使用。
 - TMCS0[1:0]的四種設置除頻的參數皆可使用。
- ◆ 若CPU工作頻率等於或小於 28KHz，則PWM的工作頻率選擇器TMCK[1:0]與預除頻器TMCS0[1:0]的設置為：
 - TMCK[1:0]設置<00>由INTR_CK提供工作頻率予TMC，在此設定下TMCS0[1:0]的四種設置除頻的參數皆可使用。
 - TMCK[1:0]設置<01>由LS_CK提供工作頻率予TMC，在此設定下TMCS0[1:0]只有<11>可以使用。

詳細的說明請參見 **暫存器說明-TMC** 章節。

14.2.1.2 PWM單輸出啓用

啓用控制器ENPWM[0]設置<1>以啓用PWM模式。反之，當ENPWM[0]設置<0>會關閉PWM模式。

14.2.2 PWM雙輸出、四輸出使用方式

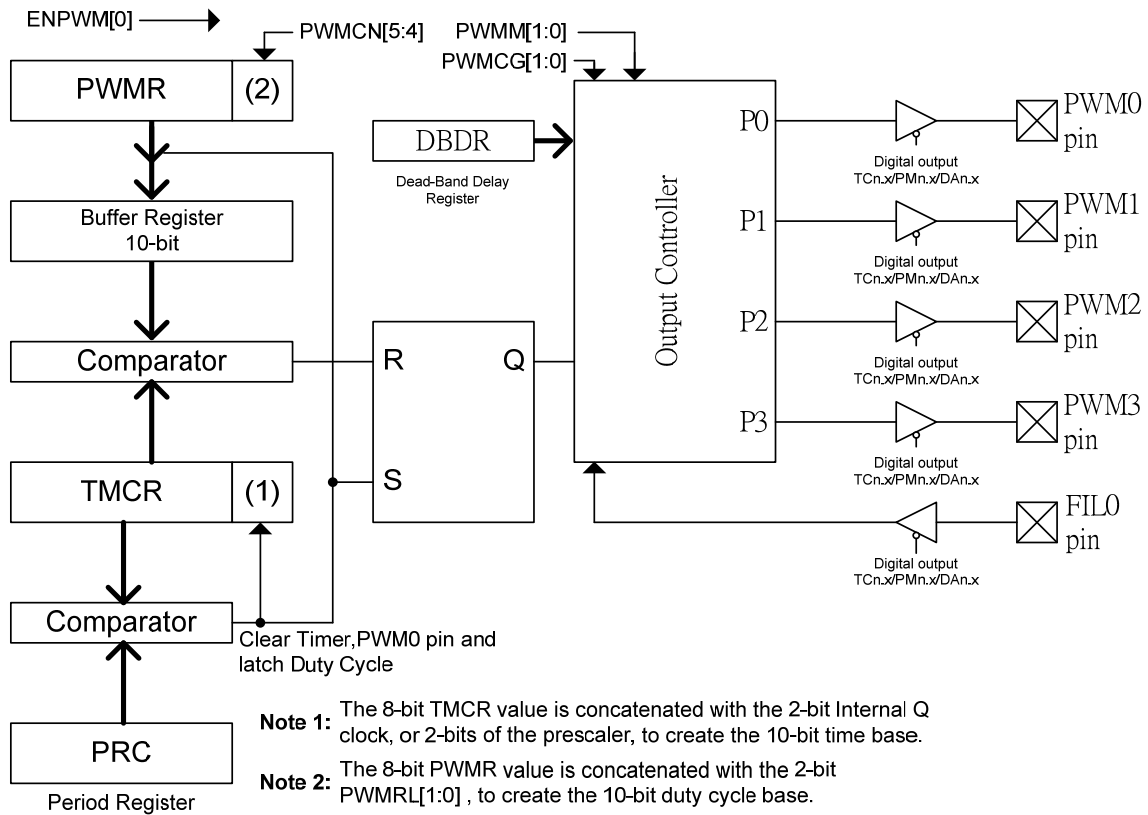


圖 14-4 PWM雙、四輸出方塊圖

雙輸出與四輸出脈衝寬度調變信號分別具有PWM0、PWM1 與PWM0、PWM1、PWM2、PWM3 引腳²²等組合。其與使用單輸出一樣，必須先透過設置Timer-C以規劃PWM的頻率與占空比Duty Cycle。

14.2.2.1 PWM雙、四輸出初始化設置

14.2.2.1.1 PWM雙、四輸出初始化設置

請參照 PWM單輸出初始化設置 的設置方式

14.2.2.1.2 PWM雙、四輸出自動關閉與開啓設置

雙輸出與四輸出PWM具有自動關閉與開啓功能，主要用於自動停止或啓用PWM。此功能可讓使用者定義自動關閉的觸發事件、引腳輸出狀態與自動關閉事件成立後的自動開啓條件。

當PWMx引腳處於自動關閉事件設置的狀態中若偵測到符合自動開啓的條件時，PWM將於下一個週期繼續輸出信號。詳細說明請參考 **自動關閉與開啓** 單元。

14.2.2.2 PWM雙、四輸出組態設置

PWM的輸出組態設置分為兩部分，描述如下：

- ◆ 一為PWM輸出控制器PWMCG[1:0]其可設置輸出信號為單輸出、雙輸出或四輸出，如圖 14-6
- ◆ 另一為輸出引腳有效準位選擇器PWMM[1:0]其可設置輸出信號的有效電位是高準位或是低準位，如圖 14-6。

14.2.2.3 死區延遲設定(Dead Band Delay time)

死區延遲主要在預防由MOS組成的電源開關處於一開與一關間，造成的瞬間電源短路引起大電流。延遲時間的決定可透過死區延遲控制器DBDC[6:0]進行設置。詳細說明請參考 **死區延遲說明** 單元。

14.2.2.4 PWM雙、四輸出啓用

啓用控制器ENPWM[0]設置<1>以啓用PWM模式。反之，當ENPWM[0]設置<0>會關閉PWM模式。

14.2.3 自動關閉與開啓

自動關閉觸發事件選擇器PASC[1:0]可設置自動關閉觸發源為CPAO、FIL0 或CPAO或FIL0，當PASC[1:0]設置<00>時會關閉自動關閉與開啓功能；設置不為 00 時自動關閉與開啓功能會啓用。

啓用後，一旦自動關閉觸發事件成立PWMx引腳會依引腳控制器PAS[0]的設置狀態，選擇處於PWM正常調變輸出或是自動關閉引腳輸出定義，如圖 14-5。

引腳輸出定義控制器PSSCN0[1:0]與PSSCN1[1:0]可設置PWMx引腳有六組不同的輸出變化，分別由高準位、低準位與三態組成，如圖 14-6

自動開啓條件設置器ENPRS[0]可設置當PWM自動關閉後的自動開啓的觸發條件為硬體自動或使用者設置。

- ENPRS[0]設置<1>，在當自動關閉觸發事件成立後硬體會將PAS[0]置<1>隨即又會將PAS[0]置<0>；ENPRS[0]設置<0>，在當自動關閉觸發事件成立後硬體會將PAS[0]置<1>後待使用者透過軟體將PAS[0]置<0>²⁵，如圖 14-5。
- 當PAS[0]置<1>時，PWMx引腳輸出變化由PWM正常調變輸出切換為自動關閉引腳輸出定義；當PAS[0]置<0>時，PWMx引腳輸出變化會再下一個週期由自動關閉引腳輸出定義切換為PWM正常調變輸出，如圖 14-5。

25 使用者必須注意，在自動關閉觸發事件一直呈現有效狀態時 PAS[0]是禁止寫入。

PWM AUTO-SHUTDOWN (ENPRS = 1,AUTO-RESTART ENABLED)

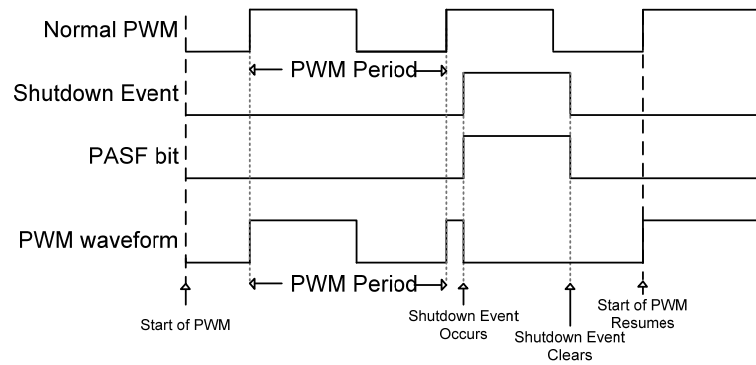


圖 14-5 (a)PWM自動關閉事件(ENPRS=1)

PWM AUTO-SHUTDOWN (ENPRS = 0,AUTO-RESTART DISABLED)

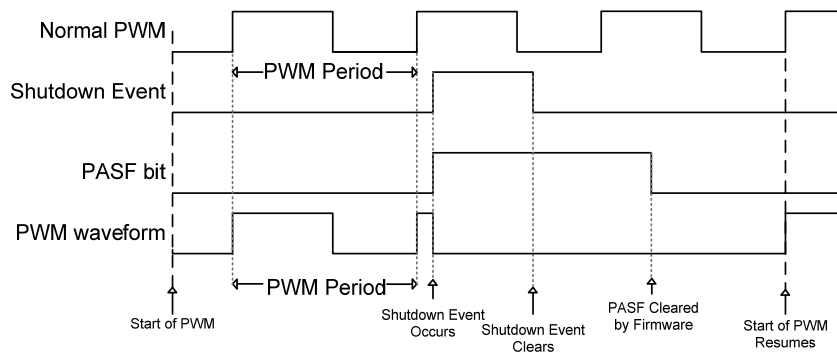


圖 14-5 (b)PWM自動關閉事件(ENPRS=0)

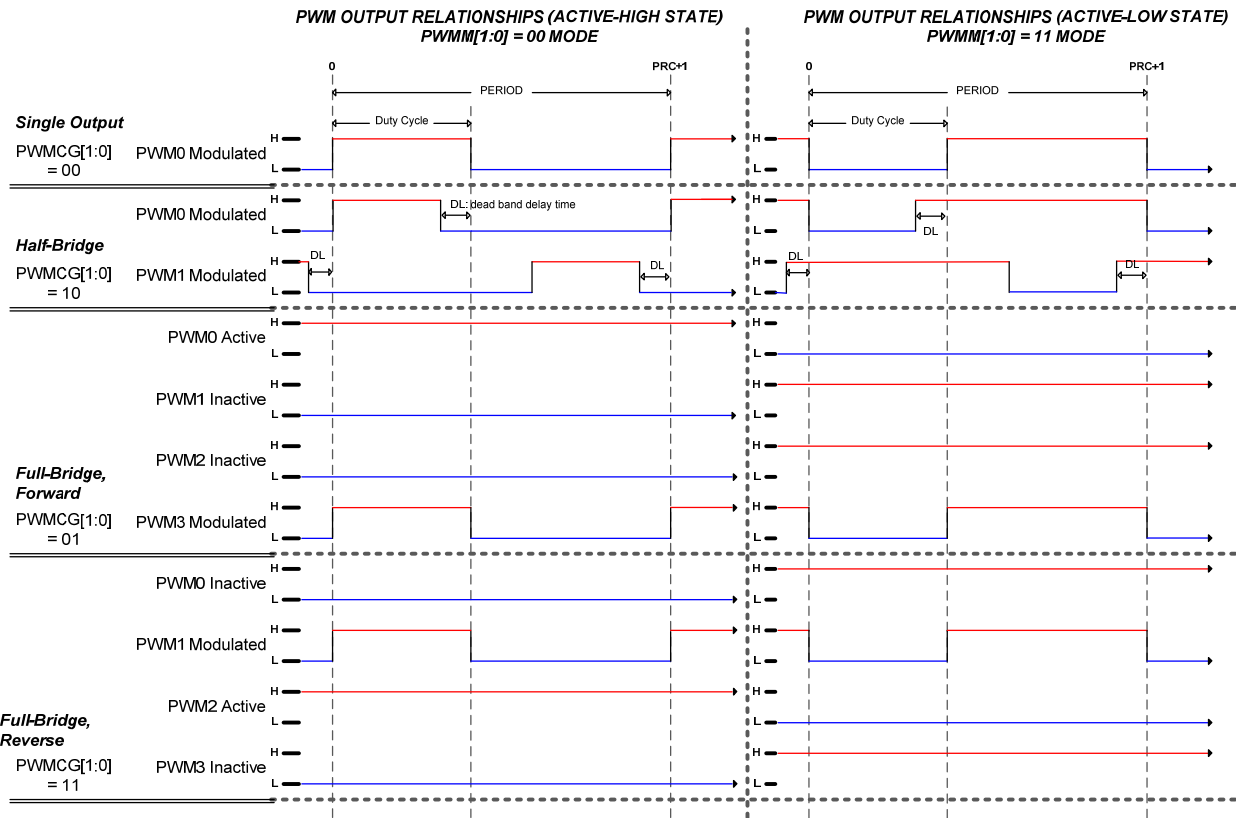


圖 14-6 PWM輸出組態高準位有效或低準位有效關係圖

14.2.4 死區延遲說明

雙輸出或四輸出應用中PWM常用來做為驅動MOS電源開關信號源使用，在驅動過程中MOS的打開與關閉之間會存在著時間差，而這時間差容易導致電路瞬間短路進而產生大電流進而損毀元件，故在雙、四輸出PWM模式裏增加了死區延遲設計以改善此問題。

死區延遲時間控制器DBDC[6:0]，用來避免 MOS 一開與一關間造成瞬間短路的現象。作法是延遲準備要打開的電源開關MOS_1 讓其先維持在關閉狀態，等到另一電源開關MOS_2 完全關閉之後，再將原本欲打開的電源開關MOS_1 打開。這樣即可避免MOS_1 與MOS_2 瞬間都處於打開狀態導致電源短路而造成短路電流。

死區延遲時間 (Dead Band Delay time)發生在非有效狀態到有效狀態轉換的時間延遲，延遲時間公式(Dead-band Delay time,DL)如式 14-5。

式 14-5

$$DL = \frac{DBDC[6:0]}{TMC_CK \times 4}$$

Dead-band Delay Time

延遲時間公式(Dead-band Delay time,DL)

PWM OUTPUT RELATIONSHIPS (ACTIVE-HIGH STATE)
PWMM[1:0] = 00 MODE

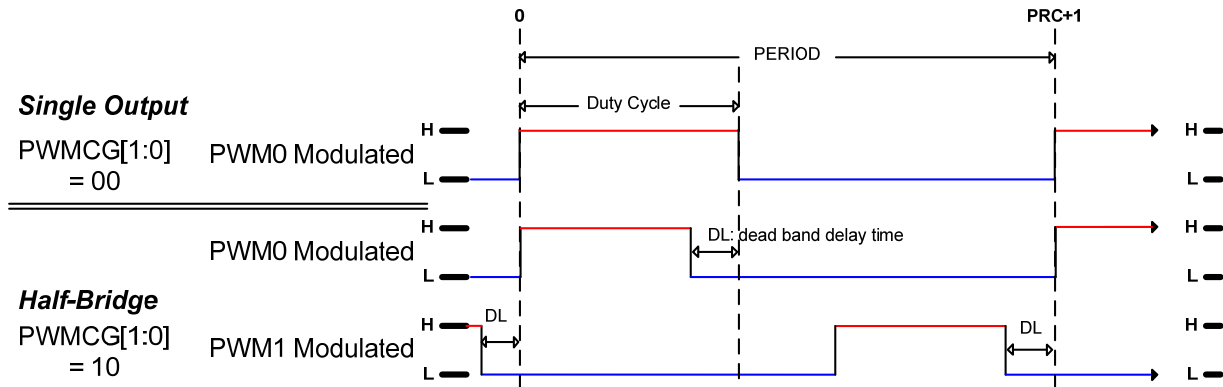


圖 14-7 PWM 死區延遲時序圖

....	:	
MVL	03CH	: 設定PTn.x為數位輸出接口且輸出PWMx信號PORT
MVF	TRISC2,1,0	: 相關設定DAn.x、TCn.x、PMn.x
MVL	0FFh	: 將 PRC 寫入 0FFh, 決定PWM Period
MVF	PRC,1,0	: PWM Period=1*(255)/500khz =512us
MVL	07FH	: PWM Duty cycle (07FH)
MVF	PWMR,1,0	: PWM duty cycle=1*127/2mhz =254us
BSF	PWMCN,5,0	: high duty percentage=49.61%
BSF	PWMCN,4,0	
MVL	011H	: 自動關閉事件源為FIO,自動關閉狀態PWM0,PWM2
MVF	PASC,1,0	: 驅動為0、PWM1,PWM3驅動為1
MVL	013H	: 致能重新啟動自動關閉狀態
MVF	PDBD,1,0	: Delay time= 3* (1/2mhz) =1.5us
MVL	084h	
MVF	TMCCN,1,0	: 啓用TMC計時/計數器,設置工作頻率為INTR_CK、不
....	:	: 預除頻,但後除頻設置 TMCS1[2:0] = 001b
MVL	0B0H	: 啓動PWM, PWW0致能輸出,PWM1~PWM3為I/O
MVF	PWMCN,1,0	: 配置PWM0~PWM3輸出有效狀態為high
....	:	

範例 14-2 PWM輸出範例程式

14.3 暫存器說明-PFD/PWM

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	
46H	TMCCN	ENTMC	TMCCK[1:0]		TMCS1[2:0]		TMCS0[1:0]			0000 0000	0000 0000	
47H	PRC	TimerC programmable register									1111 1111	1111 1111
48H	TMCR	TimerC register									0000 0000	0000 0000
4EH	PASC	PASF		PASCf[1:0]		PSSCN0[1:0]		PSSCN1[1:0]		0.00 0000	0.00 0000	
4FH	PWMCN	ENPWM	ENPFD	PWMRL[1:0]		PWMCG[1:0]		PWMM[1:0]		0000 0000	0000 0000	
50H	PDBD	ENPRS	DBDC[6:0]								0000 0000	0000 0000
51H	PWMR	PWM MSB Byte register									xxxx xxxx	uuuu uuuu
74H	PT2			PT2.5	PT2.4	PT2.3	PT2.2			xxxx xxxx	uuuu uuuu	
75H	TRISC2	TC2.7	TC2.6	TC2.5	TC2.4	TC2.3	TC2.2	TC2.1	TC2.0	0000 0000	0000 0000	
76H	PT2DA			DA2.5	DA2.4	DA2.3	DA2.2			0000 00..	0000 00..	
77H	PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2	PU2.1	PU2.0	0000 0000	0000 0000	
78H	PT2M1		PM2.3[0]	PM2.2[1]	PM2.2[0]					.000000	
79H	PT2M2	PWMTR[1]	PWMTR[0]		PM2.5[0]	PM2.5[1]	PM2.5[0]	PM2.4[1]	PM2.4[0]	00.0 0000	00.0 0000	

表 14-1 PFD/PWM 暫存器

TMCCN : 詳見 計數器C,Timer-C 章節

PT2/TRISC2/PT2DA/PT2PU : 詳見 輸入/輸出埠,I/O 章節

PRC : PWM週期控制器亦稱TMC頻率控制器

PWM相關計算公式 :

波形週期 PWM Period = (PRC+1) × (1/TMC_CK) × TMCS0

占空比 PWM Duty Cycle = TMCS0 x PWMR ÷ (TMC_CK x 4)

分辨率 PWM Resolution = log(TMC_CK / PWM Frequency) / log(2)

延遲時間 Dead-band Delay Time = DBDC / TMC_CK

PASC : PWM 自動關閉與開啓控制暫存器

PASF : PWM 自動關閉事件引腳控制器

1 : 自動關閉引腳輸出定義 ; PWMx 引腳輸出為自動關閉狀態

0 : PWM正常調變輸出

PASCf[1:0] : 自動關閉觸發事件選擇器

11 : CPAO (增強型比較器輸出 , EComparator)

10 : FIL0 or CPAO (增強型比較器輸出)

01 : FIL0

00 : 關閉自動關閉事件

PSSCN0[1:0] : PWM0 and PWM2 Pins 自動關閉引腳輸出定義控制器

1x : PWM0 and PWM2 在自動關閉時 , 引腳輸出為三態狀態

01 : PWM0 and PWM2 在自動關閉時 , 引腳輸出為高準位

00 : PWM0 and PWM2 在自動關閉時 , 引腳輸出為低準位

PSSCN1[1:0] : PWM1 and PWM3 Pins自動關閉引腳輸出定義控制器

1x : PWM1 and PWM3 在自動關閉時 , 引腳輸出為三態狀態

01 : PWM1 and PWM3 在自動關閉時 , 引腳輸出為高準位

00 : PWM1 and PWM3 在自動關閉時 , 引腳輸出為低準位

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1														
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition														
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W		
46H	TMCCN	ENTMC	TMCCCK[1:0]		TMCS1[2:0]			TMCS0[1:0]		0000 0000	0000 0000	*****		
47H	PRC	TimerC programmable register										1111 1111	1111 1111	*****
48H	TMCR	TimerC register										0000 0000	0000 0000	r,r,r,r,r,r,r,r
4EH	PASC	PASF	PASCFC[2:0]			PSSCN0[1:0]		PSSCN1[1:0]		0000 0000	0000 0000	*****		
4FH	PWMCN	ENPWM	ENPFD	PWMRL[1:0]		PWMCG[1:0]		PWMM[1:0]		0000 0000	0000 0000	*****		
50H	PDBD	ENPRS	DBDC[6:0]									0000 0000	0000 0000	*****
51H	PWMR	PWM MSB Byte register										xxxx xxxx	uuuu uuuu	*****
74H	PT2			PT2.5	PT2.4	PT2.3	PT2.2			xxxx xxxx	uuuu uuuu	*****		
75H	TRISC2	TC2.7	TC2.6	TC2.5	TC2.4	TC2.3	TC2.2	TC2.1	TC2.0	0000 0000	0000 0000	*****		
76H	PT2DA			DA2.5	DA2.4	DA2.3	DA2.2			0000 00..	0000 00..	*****		
77H	PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2	PU2.1	PU2.0	0000 0000	0000 0000	*****		
78H	PT2M1		PM2.3[0]	PM2.2[1]	PM2.2[0]					.000000	*****		
79H	PT2M2	PM2.7[1]	PM2.7[0]		PM2.6[0]	PM2.5[1]	PM2.5[0]	PM2.4[1]	PM2.4[0]	00.0 0000	00.0 0000	*****		

PWMCN : PWM 控制暫存器

ENPWM : PWM 啟用控制器

1 : 啟用

0 : 關閉

PWMRL[1:0]: PWMR[9:0]的低位元

$PWMR[9:0] = PWMRH[7:0] + PWMRL[1:0]$

PWMCG[1:0]: PWM輸出控制器

11 : 全橋反向輸出模式 ; PWM1 調變輸出, PWM2 有效準位輸出, PWM0 與PWM3 非有效準位輸出

10 : 半橋輸出模式 ; PWM0 與PWM1 死區延遲控制調變輸出, PWM2 與PWM3 設置為I/O引腳

01 : 全橋正向輸出模式 ; PWM3 調變輸出, PWM0 有效準位輸出, PWM1 與PWM2 非有效準位輸出

00 : 單輸出 ; PWM0 調變輸出(modulated)而PWM1、PWM2 與PWM3 設置為I/O引腳

PWMM[1:0]: PWM輸出引腳有效準位選擇器

11 : PWM0 與PWM2 有效準位為低準位, PWM1 與PWM3 有效準位為低準位

10 : PWM0 與PWM2 有效準位為低準位, PWM1 與 PWM3 有效準位為高準位

01 : PWM0 與PWM2 有效準位為高準位, PWM1 與 PWM3 有效準位為低準位

00 : PWM0 與PWM2 有效準位為高準位, PWM1 與 PWM3 有效準位為高準位

PDBD : PWM死區延遲(DEAD-BAND DELAY)控制器

ENPRS : 自動開啓條件控制器

1 : 硬體自動將 PASF 置 0 而 PWMx 調變輸出將於下個週期重新啓動

0 : 使用者由軟體將 PASF 置 0 而 PWMx 調變輸出將於下個週期重新啓動

DBDC[6:0] : PWM 死區延遲時間控制器

延遲時間定義為PWM信號從非有效準位轉換到有效準位的延遲。

PWMR : PWM 占空比高位元暫存器

PWM占空比高位元組 [9:2]

15 電源系統, Power System

電源系統PWR具備一個線性穩壓電源VDDA以及類比電路共地電源ACM，其提供晶片類比週邊電路使用並可適當的用來驅動外部電路。

- ◆ VDDA線性穩壓電源
 - 4 段電壓調整設計
 - 外部偏壓電壓設計
 - 低溫飄係數
- ◆ ACM內部類比電路共地電源
 - 輸出電壓 1.0V，1.2V
 - 低溫飄係數

PWR暫存器摘要：

PWRCN ENVDDA[0], VDDAX[1:0], ENACM[0]

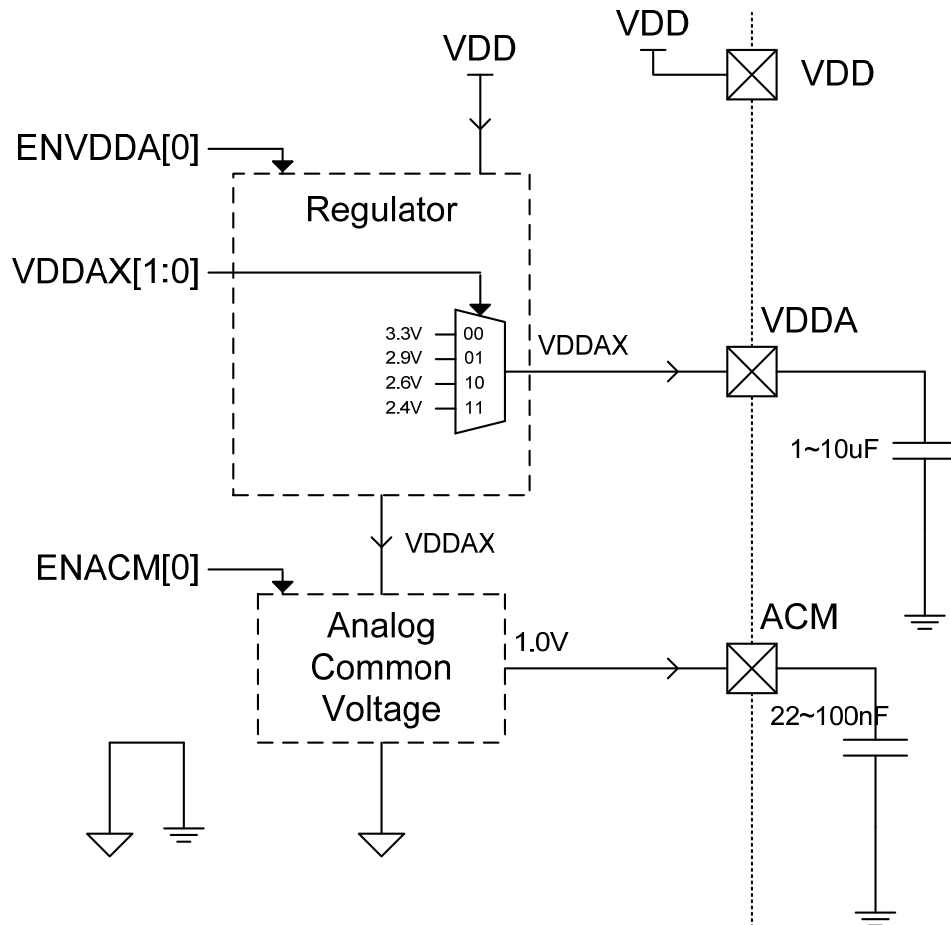


圖 15-1 Power System方塊圖

15.1 VDDA 使用說明

15.1.1 VDDA初始化設置：

穩壓選擇器VDDAX[1:0]可設置VDDA引腳輸出的電壓計有 3.3V、2.9V、2.6V與 2.4V。由於VDDA為一線性穩壓電源，使用時必須注意VDD工作電壓的電壓值是否低於 VDDA輸出電壓的設定值以免造成不可預期的電路誤動作。

15.1.2 VDDA使用外部偏壓：

VDDA可採用外部輸入電壓設計，當使用者欲自行提供電壓源則必須由VDDA引腳外灌電壓方式輸入。採用此方式時必須關閉VDDA，即ENVDDA[0]設置 0。必須注意，此使用方式可能會影響類比電路的效能故需謹慎。

15.1.3 VDDA啓用

ENVDDA[0]設置<1>以啓用VDDA穩壓器。反之，當ENVDDA[0]設置<0>會關閉VDDA。啓動VDDA穩壓器須避免LNOP及 SD18 處於啓用狀態，而且需要等到VDDA電壓穩定後才可以啓用LNOP及 SD18。當外接 1uF(10uF)穩壓電容時約需要 500uS(5mS)的穩定時間。

15.2 ACM 使用說明

15.2.1 ACM初始化設置：

使用內部類比電路共地電源ACM時，必須先啓用VDDA。ACM內部產生的輸出電壓固定為 1.0V。

15.2.2 ACM使用外部偏壓：

ACM可採用外部輸入電壓設計，當使用者欲自行提供參考電壓源則必須由ACM引腳外灌電壓方式輸入。採用此方式時必須關閉ACM，即ENACM[0]設置 0。必須注意，此使用方式可能會影響類比電路的效能故需謹慎。詳細說明請參考 *低雜訊PGA及輸入緩衝器配置方式*。

15.2.3 ACM啓用

ENACM[0]設置<1>以啓用ACM參考電壓源。反之，當ENACM[0]設置<0>會關閉ACM。

```
....  
MVL 0F0h           ; 啓用VDDA與ACM並將VDDA輸出電壓設置於 2.4V  
MVF PWRCN,1,0     ;  
....
```

範例 15-1 VDDA與ACM範例程式

15.3 暫存器說明-PWR

“-”no use, “r0”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1 “-”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
30H	PWRCN	ENVDDA	VDDAX[1:0]		ENACM					0000	0000	* * * * *

表 15-1 PWR暫存器

PWRCN : 電源系統控制暫存器

ENVDDA : 穩壓電源VDDA啓用控制器

1 : 啓用

0 : 關閉

VDDAX[1:0] : VDDA穩壓選擇器

11 : 2.4V

10 : 2.6V

01 : 2.9V

00 : 3.3V

ENACM : 參考電壓源ACM啓用控制器

1 : 啓用

0 : 關閉

16 增強型比較器, Enhance Comparator

增強型比較器ECPA由前端類比輸入網路、比較器CPA與電壓源產生器 I、II 組成，可應用於積分式類比→數位轉換器與輸入電壓比較器等。

- ◆ 類比輸入通道, CPAI0~7
 - 高輸入組抗、低輸入電流
 - 八通道輸入
 - 輸入通道短路
- ◆ 比較器, CPA
 - 反轉輸入、輸出信號
 - 具低通率波器
 - 可當Timer- C工作頻率
 - 產生中斷事件
- ◆ 電壓源產生器 I, Voltage Source I
 - 輸出電壓源具 0.25 倍或 0.5 倍的工作電壓產生器
 - 支援CPA輸出自動轉態改變輸出的電壓源倍率功能
 - 內置溫度感測電路
- ◆ 電壓源產生器 II, Voltage Source II
 - 15 段可調輸出
 - 最高輸出電壓 V_{CP}

ECPA暫存器摘要：

CPACN1	ENCPA[0], CPIST[0], CPIX[0], CPIH[1:0], CPIL[2:0]
CPACN2	CPOX[0], CPOFR[0], CS1[0], CPAT[0], CPVCS[1:0]
CPACN3	CS2[0], CPVRX[3:0]
INTE2	CPOIE[0]
INTF2	CPOIF[0]

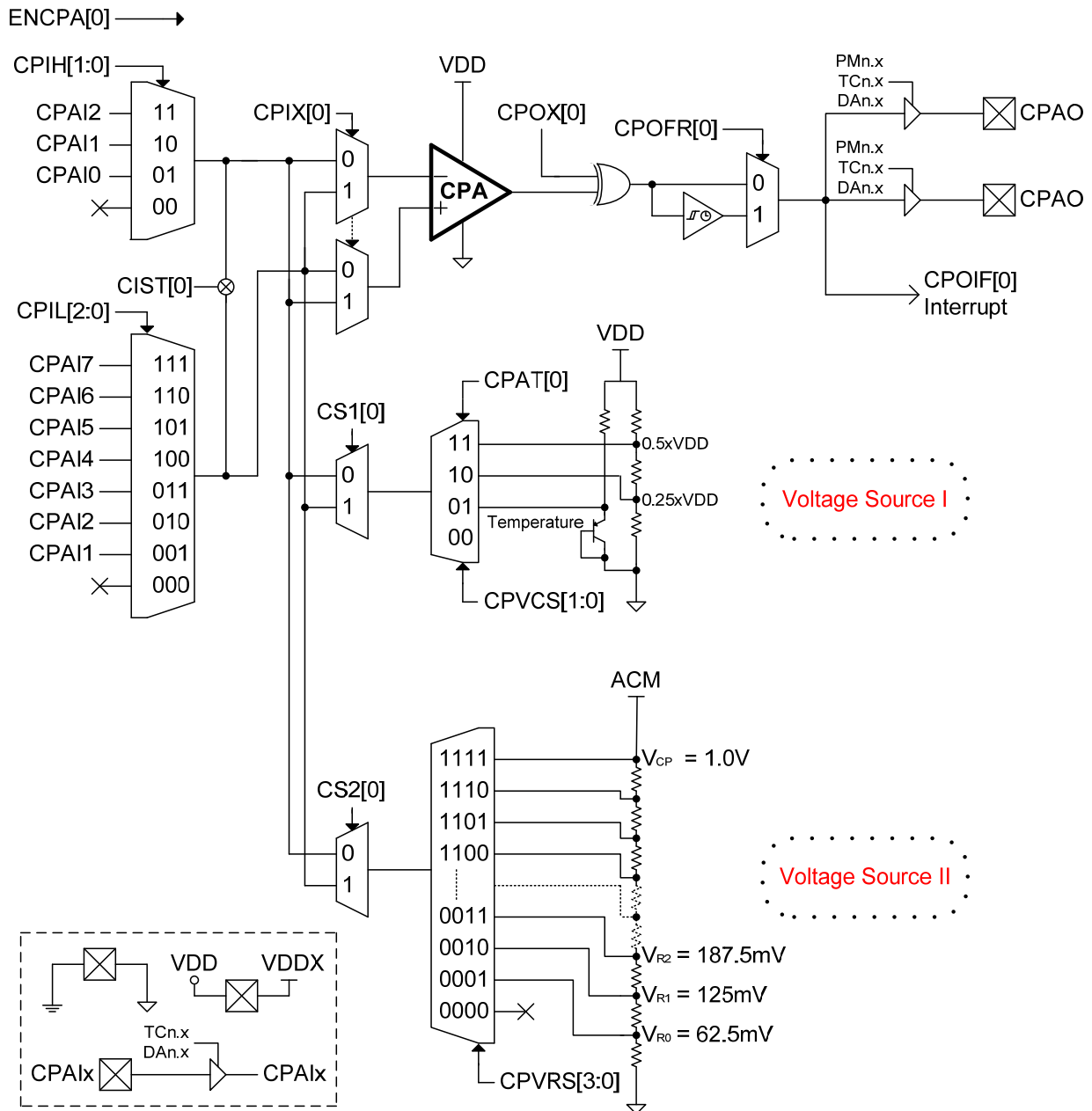


圖 16-1 ECPA方塊圖

16.1 ECPA 使用說明

16.1.1 ECPA初始化設置

ECPA輸入通道選擇器CPIH[1:0]與CPIL[2:0]²⁶可分別選擇CPA的“+”與“-”端是由哪一個外部引腳輸入，當分別設置<00>與<000>時則呈現高阻抗狀態；信號輸入後，可透過輸入信號轉置器CPIX[0]在晶片內部將信號輸入至CPA的“+”與“-”的狀態進行對調，或經由輸入通道短路器CPIST[0]可將選定的通道進行短路。

²⁶ CPAI 共有八個通道，ECPA 使用時必需正確的設置 I/O PORT 相關設定，否則會造成信號無法輸入現象而導致 ECPA 功能執行時功能不正常。詳細的暫存器說明請參見 **輸入/輸出埠, I/O** 章節

輸出信號反相器CPOX[0]可反相CPA輸出的狀態，當CPAO信號由 0 置 1 時會產生信號使CPOIF[0]置<1>；另外，透過輸出信號緩衝器CPOFR[0]設置<1>可使得CPA輸出信號先經由低通濾波器將小於 2 μ S的突波濾除後再由CPAO引腳輸出。反之，CPOFR[0]設置<0>則CPAO引腳會即時反應CPA的狀態。

內建兩組電壓源分別為VR I 與VR II，分別由輸出控制器CS1[0]、CS2[0]與輸出選擇器CPVCS[1:0]、CPVRX[3:0]，用以選擇輸出電壓至CPA正、負端及輸出的電位。需注意，當使用VR II 時必須先啓用參考電壓輸出ACM。

- 當CPVCS[1:0]與CPVRX[3:0]設置分別為<00>與<0000>時，則輸出呈現高阻抗狀態。
 - ◆ CPVCS[1:0]可設置輸出信號為 0.25 倍或 0.5 倍工作電壓、溫度感測器電壓。
 - ◆ CPVRX[3:0]可設置輸出信號由 62.5mV~1.0V的電壓源信號。
- 經由CS1[0]與CS2[0]的設置，電壓源信號可任意切換至CPA的“+”或“-”輸入端。

16.1.2 特殊自動切換功能

電壓源VR I 具有特殊的自動切換輸出功能，自動切換器CPAT[0]設置<1>且CPVCS[1:0]設置<1x>時，輸出 0.5 倍的的工作電壓信號會對應至CPAO輸出高準位，輸出 0.25 倍的的工作電壓信號會對應至CPAO輸出低準位狀態。

當CPAO上升至高準位狀態時，輸出參考電壓會自動切換至 0.25 倍工作電壓使CPA輸入信號電壓準位改變並使得CPAO往低準位 0.25 倍工作電壓下降。而當CPAO下降至低準位狀態時，輸出參考電壓會自動切換至 0.5 倍工作電壓使CPA輸入信號電壓準位改變並使得CPAO往高準位 0.5 倍工作電壓上升，如 圖 16-2。

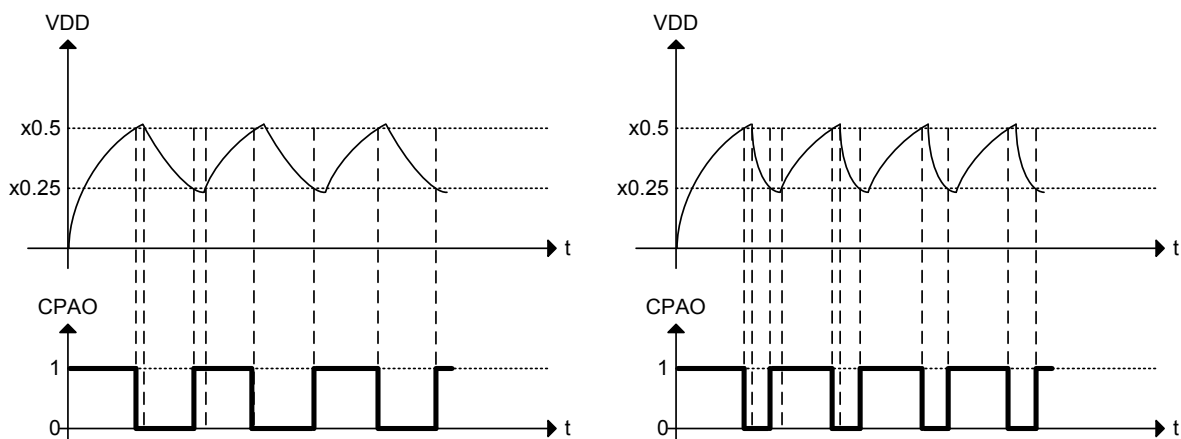


圖 16-2 ECPA自動切換波形

16.1.3 ECPA中斷事件服務

ECPA的CPA輸出信號CPAO由L→H時，會產生中斷事件信號CPOIF[0]置<1>，此時若需要中斷事件服務需將CPOIE[0]與GIE[0]設置<1>。

16.1.4 ECPA啓用

ENCPA[0]設置<1>以啓用ECPA模式。反之，當ENCPA[0]設置<0>會關閉ECPA模式。


```
ORG 04h          : 中斷服務
BTSZ INTE2,CPOIF
JMP CPO interrupt
....           : 監測工作電壓是否小於 3.0V 故接口不設置
MVL 0F0h        : 啓用 VDDA 與 ACM 並將 VDDA 輸出電壓設置於 2.4V
MVF PWRCN,1,0   :
MVL 0A4h        : 設置參考電壓產生器 I 輸出 x0.25 工作電壓至比較器 “+” 端，比較器輸出
MVF CPACN2,1,0  : 不反相但經濾波器，CAPO 由 L→H 產生中斷事件
MVL 01Bh        :
MVF CPACN3,1,0  : 設置參考電壓產生器 II 輸出 750mV 至比較器 “-” 端
MVL 080h        :
MVF CPACN1      : 啓用 ECAP
....
CPO Interrupt :   : ECAP 中斷事件服務程式
BCF INTF2, CPOIF,0 : 清除 CPO 中斷事件旗標
....
RETI           : 中斷服務返回
```

範例 16-1 ECPA範例程式

16.2 暫存器說明-ECPA

“.”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1 “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE	ADGIE	TMGIE	TMBIE	TMAIE	WDTE	ETIE	EDIE	0000 0000	0000 0000	***** r, r1, w, w1
24H	INTE2					CPOIE				00.. 0000	00.. 0000	*.*.*.*.* r, r1, w, w1
27H	INTF2	CPOIF	ROIF			CPOIF	SSPIF	COP1IF	COP0IF	00.. 0000	00.. 0000	*.*.*.*.* r, r1, w, w1
34H	CPACN1	ENCPA	CPIST	CPIX	CPIH[1:0]		CPIl[2:0]			0000 0000	0000 0000	***** r, r1, w, w1
35H	CPACN2		CPOX	CPOFR	CS1	CPAT	CPVCS[1:0]			.000 000.	.000 000.	*.*.*.*.* r, r1, w, w1
36H	CPACN3				CS2	CPVRX[3:0]				...0 0000	...0 0000	*.*.*.*.* r, r1, w, w1
6DH	PT1	PT1.7	PT1.6	PT1.5	PT1.4	PT1.3	PT1.2	PT1.1	PT1.0	xxxx xxxx	uuuu uuuu	*.*.*.*.* r, r1, f, f, w, w1
6EH	TRISC1									0000	0000	*.*.*.*.* r, r1, w, w1
6FH	PT1DA						DA1.2	DA1.1	DA1.0000000	*.*.*.*.* r, r1, w, w1
70H	PT1PU							PU1.1	PU1.0	0000 0000	0000 0000	***** r, r1, w, w1
74H	PT2	PT2.7	PT2.6	PT2.5	PT2.4	PT2.3	PT2.2	PT2.1	PT2.0	xxxx xxxx	uuuu uuuu	***** r, r1, f, f, w, w1
75H	TRISC2	TC2.7	TC2.6	TC2.5	TC2.4	TC2.3	TC2.2			0000 0000	0000 0000	***** r, r1, w, w1
76H	PT2DA	DA2.7	DA2.6	DA2.5	DA2.4	DA2.3	DA2.2			0000 00..	0000 00..	*.*.*.*.* r, r1, w, w1
77H	PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2			0000 0000	0000 0000	***** r, r1, w, w1

表 16-1 ECPA暫存器

INTE1/INTE2/INTF2 : 詳見

中斷, Interrupt 章節

PT1/PT1DA/PT1PU/ PT2/TRISC2/PT2DA/PT2PU : 詳見 **輸入/輸出埠, I/O** 章節

CPACN1 : ECPA控制暫存器 1

ENCPA : ECPA啓用控制器

1 : 啓用(啓用限制: ECPA由VDD供電動作, 但啓動ECPA時除enable ENCPA bit, 尚需下面任 1 bit置 1, 則ECPA才能正常啓用, 包含ENHAO or ENVDDA or ENACM。)

0 : 關閉

CPIST : 輸入通道短路器

1 : 短路

0 : 開路

CPIX : 輸入信號轉置器

1 : 交換。

0 : 不交換。

CPIH[1:0] : 比較器輸入通道選擇器

11 : CAPI2

10 : CAPI1

01 : CAPI0

00 : 高阻抗

CPII[2:0] : 比較器輸入通道選擇器

111 : CAPI7

110 : CAPI6

101 : CAPI5

100 : CAPI4

011 : CAPI3

010 : CAPI2

001 : CAPI1

000 : 高阻抗

“.”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1 “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE	ADOCIE	TMCIE	TMBIE	TMAIE	WDTIE	E1IE	E0IE	0000 0000	0000 0000	*****
24H	INTE2					CPOIE				00.. 0000	00.. 0000	*.*.*.*
27H	INTF2	TXIF	RCIF			CPOIF	SSPIF	CCP1IF	CCP0IF	00.. 0000	00.. 0000	*.*.*.*
34H	CPACN1	ENCPA	CPIST	CPIX	CPIH[1:0]			CPII[2:0]		0000 0000	0000 0000	*****
35H	CPACN2		CPOX	CPOFR	CS1	CPAT	CPVCS[1:0]			.000 000.	.000 000.	*.*.*.*
36H	CPACN3				CS2	CPVFX[3:0]			...0 0000	...0 0000	*.*.*.*	
6DH	PT1	PT1.7	PT1.6	PT1.5	PT1.4	PT1.3	PT1.2	PT1.1	PT1.0	xxxx xxxx	uuuu uuuu	*.*.*.*
6EH	TRISC1									0000	0000	*.*.*.*
6FH	PT1DA						DA1.2	DA1.1	DA1.0000000	*.*.*.*
70H	PT1PU							PU1.1	PU1.0	0000 0000	0000 0000	*****
74H	PT2	PT2.7	PT2.6	PT2.5	PT2.4	PT2.3	PT2.2	PT2.1	PT2.0	xxxx xxxx	uuuu uuuu	*.*.*.*
75H	TRISC2	TC2.7	TC2.6	TC2.5	TC2.4	TC2.3	TC2.2			0000 0000	0000 0000	*****
76H	PT2DA	DA2.7	DA2.6	DA2.5	DA2.4	DA2.3	DA2.2			0000 00..	0000 00..	*.*.*.*
77H	PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2			0000 0000	0000 0000	*****

CPACN2 : ECPA控制暫存器 2

CPOX : CPA輸出信號反相器

1 : 反相。

0 : 未反相。

CPOFR : CPA輸出信號處理器

1 : 經濾波器後輸出。

0 : 不經濾波器直接輸出。

CS1 : 參考電壓產生器 I 輸出信號至比較器輸入端 “+” 或 “-”

當CPIX設置 1 時

1 : 比較器 “+” 端

0 : 比較器 “-” 端

當CPIX 設置 0 時

1 : 比較器 “-” 端

0 : 比較器 “+” 端

CPAT : 使用參考電壓產生器 I ，比較器輸出準位自動轉態控制位元

1 : 自動轉態。

0 : 正常操作

CPVCS[1:0] : 參考電壓產生器 I 信號輸出選擇控制位元

11 : 0.5 倍工作電壓

10 : 0.25 倍工作電壓

01 : 參考溫度

00 : 高阻抗

“-”no use,“r”read/write,“w”write,“r1”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
 “. ”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W	
23H	INTE1	GIE	ADCFIE	TMCIE	TMBIE	TMAIE	WDTIE	E1IE	EOIE	0000 0000	0000 0000	*****	
24H	INTE2						CPOIE			00.. 0000	00.. 0000	*..*	
27H	INTF2	TXIF	RCIF				CPOIF	SSPIF	CCP1IF	CCP0IF	00.. 0000	00.. 0000	*..*
34H	CPACN1	ENCPA	CPIST		CPIX[1:0]		CPIL[2:0]			0000 0000	0000 0000	*****	
35H	CPACN2		CPOX	CPOFR	CS1	CPAT	CPVCS[1:0]			.000 000.	.000 000.	..***	
36H	CPACN3				CS2	CPVRX[3:0]			...0 0000	...0 0000	..***		
6DH	PT1	PT1.7	PT1.6	PT1.5	PT1.4	PT1.3	PT1.2	PT1.1	PT1.0	xxxx xxxx	uuuu uuuu	**** r,r,f,f	
6EH	TRISC1									0000	0000	****	
6FH	PT1DA						DA1.2	DA1.1	DA1.0000000	..***	
70H	PT1PU							PU1.1	PU1.0	0000 0000	0000 0000	*****	
74H	PT2	PT2.7	PT2.6	PT2.5	PT2.4	PT2.3	PT2.2	PT2.1	PT2.0	xxxx xxxx	uuuu uuuu	*****	
75H	TRISC2	TC2.7	TC2.6	TC2.5	TC2.4	TC2.3	TC2.2			0000 0000	0000 0000	*****	
76H	PT2DA	DA2.7	DA2.6	DA2.5	DA2.4	DA2.3	DA2.2			0000 00..	0000 00..	****	
77H	PT2PU	PU2.7	PU2.6	PU2.5	PU2.4	PU2.3	PU2.2			0000 0000	0000 0000	*****	

CPACN3 : 增強型比較器控制暫存器 3

CS2 : 參考電壓產生器 II 輸出信號至比較器輸入端 “+” 或 “-” 控制位元

CPIX 設置 1 時

1 : 比較器 “+” 端

0 : 比較器 “-” 端

CPIX 設置 0 時

1 : 比較器 “-” 端

0 : 比較器 “+” 端

CPVRX[3:0] : 參考電壓產生器 II 輸出電壓控制位元(ACM=1V設定)

CPVRX[3:0]	VR(mV)	CPVRX[3:0]	VR(mV)	CPVRX[3:0]	VR(mV)	CPVRX[3:0]	VR(mV)
1111	1000	1011	750	0111	437.5	0011	187.5
1110	937.5	1010	687.5	0110	375	0010	125
1101	875	1001	625	0101	312.5	0001	62.5
1100	812.5	1000	562.5	0100	250	0000	高阻抗

表 16-2 VR II 輸出電壓表

17 低雜訊放大器, Low Noise OPAMP1

低雜訊放大器LNOP1 可單獨使用或搭配 $\Sigma\Delta$ ADC，其適用於小電流或高輸出阻抗信號源的量測應用。

- ◆ 高輸出阻抗或低輸出電流的量測應用
- ◆ 多通道信號輸入與輸入短路設計
- ◆ 可測量引腳漏電流
- ◆ 輸入信號正相、反相偏移量或Chopper
- ◆ Push/Pull驅動能力

LNOP1 暫存器摘要：

OPCN1 ENOP[0], OPM[1:0], OPP[1:0], OPN[2:0]

AINET1 OPIS[0]

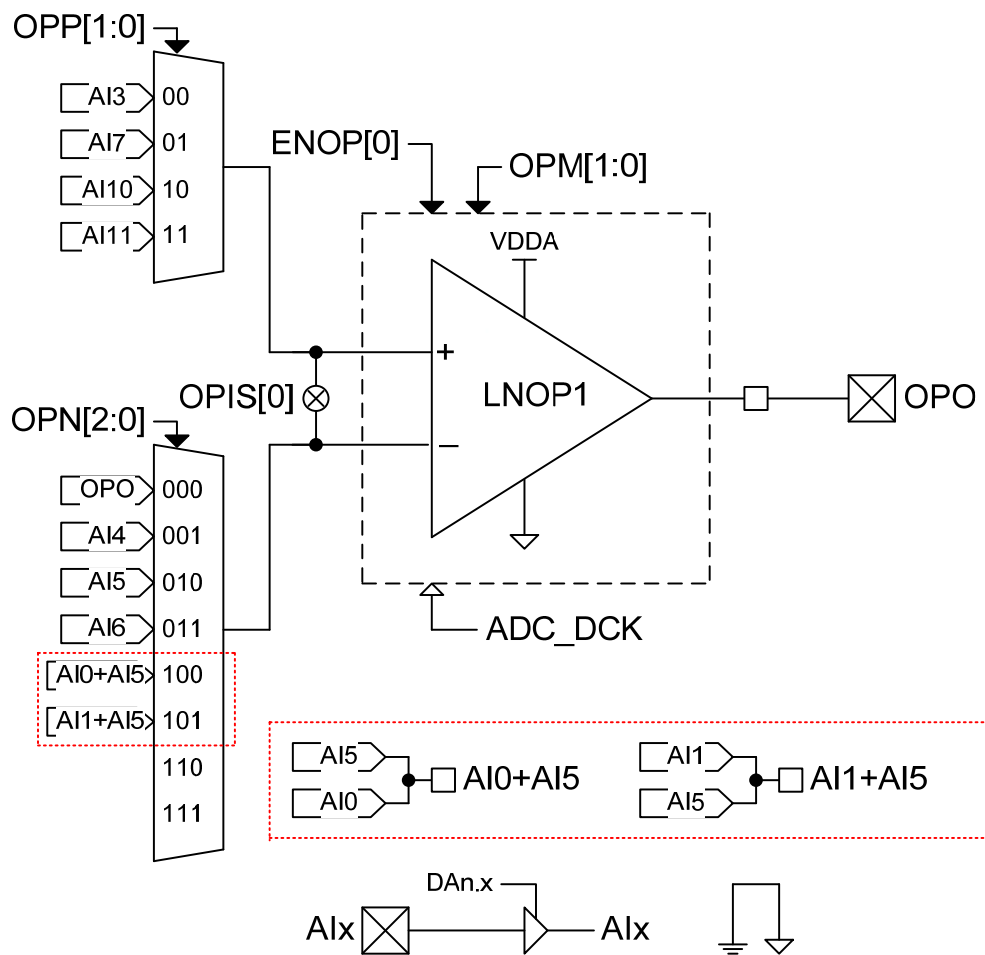


圖 17-1 LNOP方塊圖

17.1 LNOP1 使用說明

17.1.1 LNOP1 初始化設置：

輸入通道選擇器OPP[1:0]與OPN[2:0]²⁷可分別選擇LNOP的“+”與“-”端是由哪一個外部引腳輸入，當OPN設置<11x>時則呈現高阻抗狀態；信號輸入後，可經由輸入通道短路器OPIS[0]將選定的通道進行短路。

輸入處理器OPM[1:0]可設置對LNOP輸入信號做正向偏移量、反相偏移量或Chopper處理。

LNOP1 輸入通道具有 10GΩ的輸入阻抗及共模模式下 90pF輸入電容設計，使用上較為特殊的地方是OPN[2:0]可讓輸入引腳AI0-AI5 或AI1-AI5 組態化，以實現對類比通道的引腳進行超低的漏電流量測，如圖 17-1。

17.1.2 LNOP1 啓用

ENOP[0]設置<1>以啓用LNOP1 模式。反之，當ENOP[0]設置<0>會關閉LNOP1。LNOP1 的電源是使用VDDA，並使用ACM為其內部共模電壓參考點，故在啓動LNOP1 前必須先啓用VDDA及ACM。

17.2 暫存器說明-LNOP1

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
30H	PWRCN	ENVDDA	VDDAX[1:0]		ENACM					0000	0000	*.*.*.* -.-.-.-
37H	OPCN1	ENOP	OPM[1:0]		OPP[1:0]		OPN[2:0]			0000 0000	0000 0000	*.*.*.*.*.*.*
3FH	AINET1		INP[2:0]		INL[2:0]		INIS	OPIS		0000 0000	0000 0000	*.*.*.*.*.*.*

表 17-1 LNOP相關暫存器

PWRCN：詳見 **電源系統,Power System** 章節

OPCN1：Low Noise OPAMP控制暫存器 1

ENOP：LNOP啓用控制器

1：啓用

0：關閉

OPM[1:0]：LNOP輸入處理器

11：輸入的反相偏移量

10：輸入的正向偏移量

01：Chopper, Frequency as ADC_CK/128

00：Chopper, Frequency as ADC_CK/64

OPP[1:0]：LNOP“+”端輸入通道選擇器

11：AI11

10：AI10

²⁷ LNOP1 使用時必需正確的設置 I/O PORT 相關設定，否則會造成信號無法輸入現象而導致 LNOP1 功能執行時功能不正常。詳細的暫存器說明請參見 **輸入輸出埠,I/O** 章節

01 : AI7

00 : AI3

OPN[2:0] : LNOP“-”端輸入通道選擇器

11x : 未使用

101 : AI1-AI5 ; AI1 與AI5 短路但不與AI0 短路

100 : AI0-AI5 ; AI0 與AI5 短路但不與AI1 短路

011 : AI6

010 : AI5

001 : AI4

000 : OPO

AINET1 : AI Network控制暫存器 1

OPIS : LNOP輸入通道短路器

1 : 短路

0 : 未短路

18 低雜訊放大器, Low Noise OPAMP2

低雜訊放大器LNOP2 可單獨使用或搭配 $\Sigma\Delta$ ADC，其適用於小電流或高輸出阻抗信號源的量測應用。

- ◆ 高輸出阻抗或低輸出電流的量測應用
- ◆ 多通道信號輸入與輸入短路設計
- ◆ 可測量引腳漏電流
- ◆ 輸入信號正相、反相偏移量或Chopper
- ◆ Push/Pull驅動能力
- ◆ 體脂秤專用測試網路

LNOP2 暫存器摘要：

OPCN1 ENOP2[0], OPM2[1:0], OPIS2[0], OPP2[1:0], OPN2[1:0]

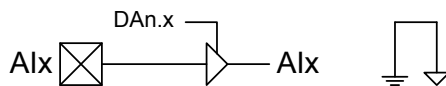
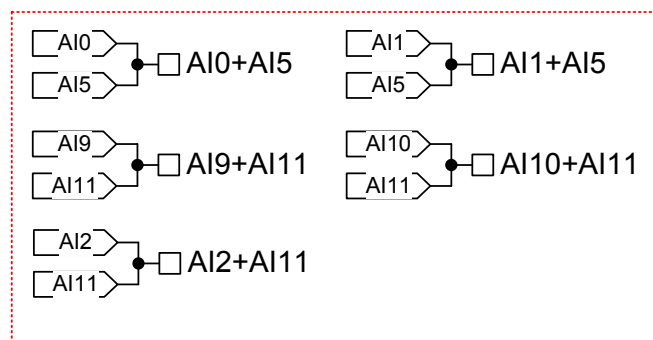
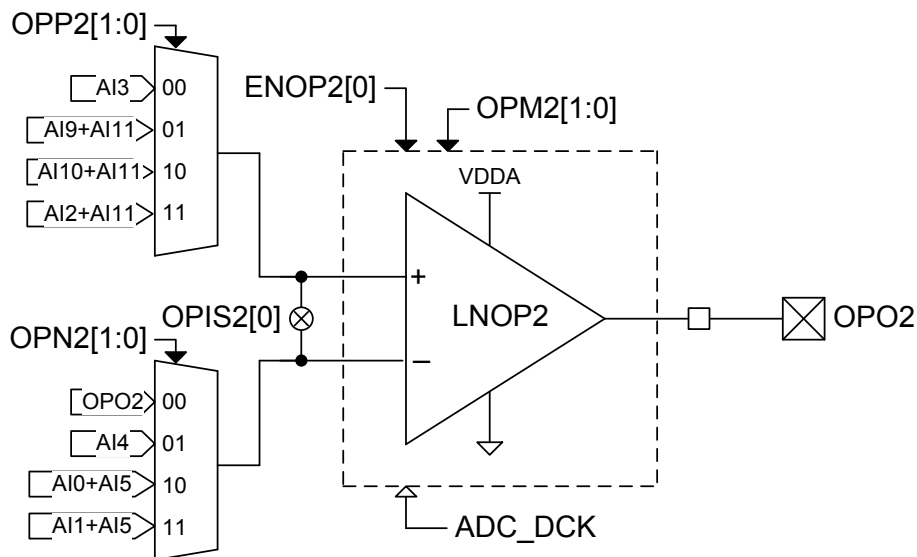


圖 18-1 LNOP2 方塊圖

18.1 LNOP2 使用說明

18.1.1 LNOP2 初始化設置：

輸入通道選擇器OPP2[1:0]與OPN2[1:0]²⁸可分別選擇LNOP的“+”與“-”端是由哪一個外部引腳輸入；信號輸入後，可經由輸入通道短路器OPIS2[0]將選定的通道進行短路。

輸入處理器OPM2[1:0]可設置對LNOP2 輸入信號做正向偏移量、反相偏移量或Chopper處理。

LNOP2 輸入通道具有 10G Ω 的輸入阻抗及共模模式下 90pF輸入電容設計，使用上較為特殊的地方是OPN2[1:0]可讓輸入引腳AI9-AI1, AI10-AI1, AI2-AI11, AI0-AI5, AI1-AI5 組態化，以實現對類比通道的引腳進行體脂秤應用量測，如圖 17-1。

18.1.2 LNOP2 啓用

ENOP2[0]設置<1>以啓用LNOP2 模式。反之，當ENOP2[0]設置<0>會關閉LNOP2。LNOP2 的電源是使用VDDA，並使用ACM為其內部共模電壓參考點，故在啓動LNOP2 前必須先啓用VDDA及ACM。

²⁸ LNOP2 使用時必需正確的設置 I/O PORT 相關設定，否則會造成信號無法輸入現象而導致 LNOP2 功能執行時功能不正常。詳細的暫存器說明請參見 **輸入/輸出埠, I/O** 章節

18.2 暫存器說明-LNOP2

"0"no use,"*"read/write,"w"write,"r"read,"r0"only read 0,"r1"only read 1,"w0"only write 0,"w1"only write 1												
"u"unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
30H	PWRCN	ENVDDA	VDDAX[1:0]=11		ENACM			ENLEDP		0xx0 .0	0xx0 .0	*...*
19AH	OPCN2	ENOP2	OPM2[1:0]		OPIS2[0]	OPP2[1:0]		OPN2[1:0]		0000 0000	0000 0000	*...*

表 18-1 LNOP2 相關暫存器

PWRCN : 詳見 **電源系統, Power System** 章節

OPCN2 : Low Noise OPAMP控制暫存器 2

ENOP2 : LNOP2 啟用控制器

1 : 啟用

0 : 關閉

OPM2[1:0] : LNOP2 輸入處理器

11 : 輸入的反相偏移量

10 : 輸入的正向偏移量

01 : Chopper, Frequency as ADC_CK/128

00 : Chopper, Frequency as ADC_CK/64

OPIS2 : LNOP2 輸入通道短路器

1 : 短路

0 : 未短路

OPP2[1:0] : LNOP2 "+"端輸入通道選擇器

11 : AI2+AI11 ; AI2 與AI11 短路

10 : AI10+AI11 ; AI10 與AI11 短路

01 : AI9+AI11 ; AI9 與AI11 短路

00 : AI3

OPN2[1:0] : LNOP2 "-"端輸入通道選擇器

11 : AI1-AI5 ; AI1 與AI5 短路但不與AI0 短路

10 : AI0-AI5 ; AI0 與AI5 短路但不與AI1 短路

01 : AI4

00 : OPO2

19 類比數位轉換器SD18, $\Sigma\Delta$ ADC

SD18 為高解析度超取樣和差型類比數位轉換器(Over Sampling Sigma Delta Analog-to-Digital Converter)，具有 24 位元的輸出。其包含多功能的輸入多工器、輸入緩衝器(Input Buffer)與前置低雜訊放大器(PGA, Programmable Gain Amplifier)、 $\Sigma\Delta$ 調變器 ($\Sigma\Delta$ AD, Sigma Delta Modulator)、梳狀濾波器(Comb Filter)等 4 部分。

- ◆ 多功能的輸入多工器
 - 可切換選擇多組不同的輸入通道,單一晶片可做多種量測
 - 輸入通道可做反轉及短路, 消除ADC的零點偏移
 - 內置溫度感測電路輸出電壓
- ◆ 前置低雜訊放大器及輸入緩衝器
 - 前置低雜訊PGA倍率有 2、4、8 倍,且輸入雜訊可達到 0.1uV(RMS Noise @ OSR=32768)
 - 不使用低雜訊PGA, 可使用輸入緩衝器以達到高阻抗輸入
 - 不使用輸入緩衝器, 輸入訊號之共模電壓範圍(CMR, Common Range)可達-0.2V~VDDA
- ◆ $\Sigma\Delta$ 調變器
 - 可調整輸入電壓放大倍率, 可選擇倍率為 1/4、1/2、1、2、4、8、16 倍
 - 可選擇參考電壓的倍率為 1 或 1/2
 - 3 位元的直流輸入偏壓設定
 - 可調整調變器的取樣頻率 31.5kHz~250kHz
- ◆ 梳狀濾波器
 - 可調整OSR(Over Sampling Ratio)= 256~32768, ADC輸出速率約為 1kHz~8Hz(取樣頻率=250kHz)
 - 產生中斷事件

SD18 暫存器摘要：

ADCR[23:0]	ADCRH[7:0], ADCRM[7:0], ADCRL[7:0],
ADCCN1	ENADC[0], ENHIGN[0], ENCHP[0], PGAGN[1:0], ADGN[2:0]
ADCCN2	INBUF[0], VRBUF[0], VREGN[0], DCSET[2:0]
ADCCN3	OSR[2:0], CPIST[0], CPIX[0], CPIH[1:0], CPIL[2:0]
AINET1	INH[2:0], INL[2:0], INIS[0], OPIS[0]
AINET2	VRH[1:0], INX[1:0], VRL[1:0]

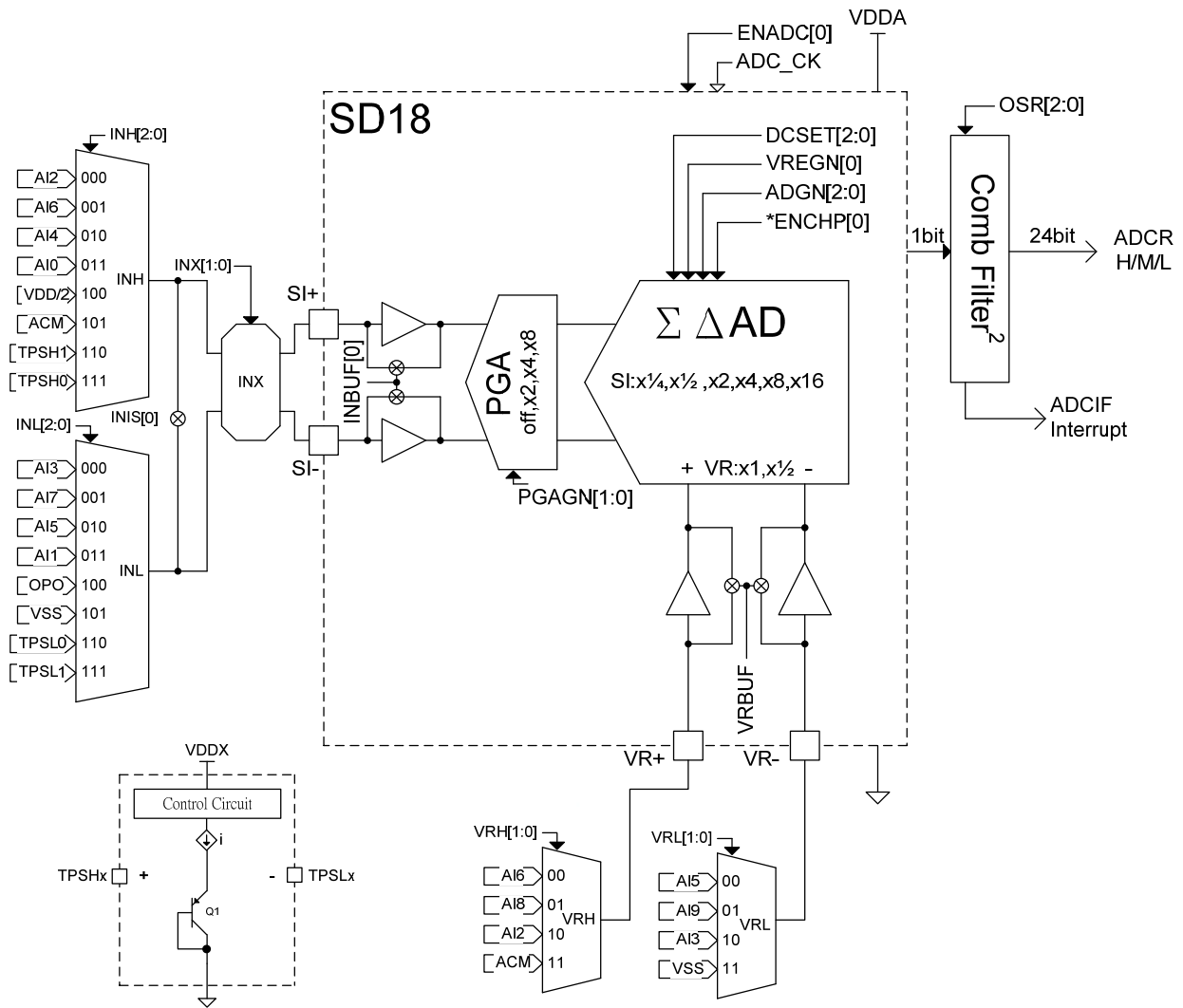


圖 19-1 SD18 方塊圖

19.1 SD18 使用說明

19.1.1 SD18 初始化設置

19.1.1.1 工作頻率配置方式

SD18 的取樣頻率可經由取樣頻率選擇器ADCCK[0]設置SD18 的工作頻率由 HS_DCK或是LS_CK提供，其最高取樣頻率不可大於 300KHz而最低取樣頻率不可小於為 25KHz。較快的取樣頻率可在相同的輸出速度下得到較好的解析度，但其輸入阻抗也會降低(參考:19.2 類比通道輸入特性)。當HS_DCK頻率超過最大允許值時則必須透過取樣頻率預除頻器ADCS[2:0]進行頻率調整，如 表 19-1。

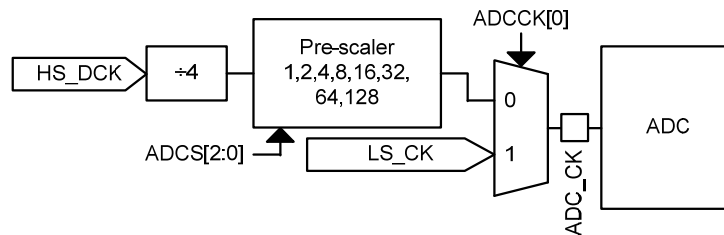


圖 19-2 SD18 工作頻率方塊圖

“-”：SD18 無法操作的工作頻率(單位：KHz)

設置 HS_DCK	ADCS[2:0]							
	000	001	010	011	100	101	110	111
4000	-	-	250	125	62.5	31.2	-	-
2000	-	250	125	62.5	31.2	-	-	-
1000	250	125	62.5	31.2	-	-	-	-
500	125	62.5	31.2	-	-	-	-	-

表 19-1 SD18 工作頻率設置表

19.1.1.2 多功能的輸入多工器配置方式

多工能的輸入多工器會產生兩組差動輸出訊號，分別為待測信號**SI+**、**SI-**與參考電壓**VR+**、**VR-**兩組。

- ◆ **SI±**輸入信號選擇器INH[2:0]、INL[2:0]與**SI±**輸入信號轉置器INX[1:0]，可將外部輸入信號透過以下路徑分別傳送至**SI+**或者**SI-**端，如圖 19-3 及表 19-2(a)：
 - AI0~AI7 引腳經INH與INL通道
 - LNOP的輸出信號OPO
 - 參考電壓源ACM
 - 內部溫度傳感器信號TPS
- ◆ **VR±**電壓信號選擇器VRH[1:0]、VRL[1:0]則可決定SD18 的參考電壓由以下路徑分別傳送至**VR+**或者**VR-**端，如表 19-2(b)。
 - AI2~AI3、AI6~AI5、AI8~AI9 引腳經VRH與VRL通道
 - 參考電壓源ACM
 - 工作電壓源VSS
- ◆ **SI±**輸入信號短路器INIS[0]設置<1>，可將INH與INL通道短路。反之，設置<0>則INH與INL通道不短路。

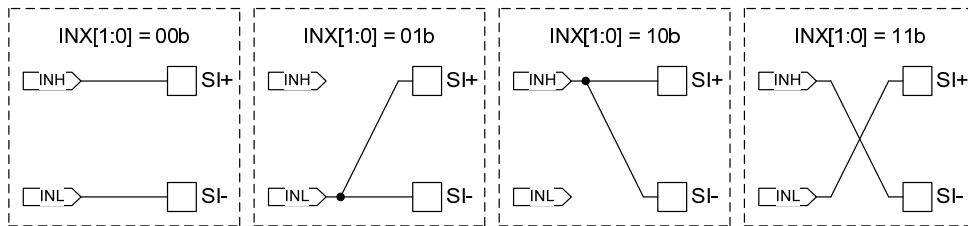


圖 19-3 INX輸入信號轉置器四種組合方式

待測信號 \ 設置	INH[2:0],INL[2:0]							
	000	001	010	011	100	101	110	111
SI+	AI2	AI6	AI4	AI0	VDD/2	ACM	TPSH1	TPSH0
SI-	AI3	AI7	AI5	AI1	OPO	VSS	TPSL0	TPSL1

表 19-2 (a)SI±輸入選擇器

輸入 \ 設置	VRH[1:0],VRL[1:0]			
	00	01	10	11
VR+	AI6	AI8	AI2	ACM
VR-	AI5	AI9	AI3	VSS

表 19-2 (b) VR±輸入選擇器

19.1.1.3 低雜訊PGA及輸入緩衝器配置方式

低雜訊PGA是使用切換式電容的放大方式，對於需要分辨出小於 1uV的待測訊號可啟動低雜訊PGA來將訊號放大。

PGA放大倍率可經由倍率調整器PGAGN[1:0]設置，如表 19-3。

輸入 \ 設置	PGAGN[1:0]			
	00	01	10	11
PGA Gain	off	x2	x4	x8

表 19-3 PGA設置表

輸入緩衝器包含待測訊號緩衝器及參考電壓緩衝器，分別透過INBUF[0]及VRBUF[0]的設置來啟動其功能。當啓用低雜訊PGA時，則待測訊號緩衝器的設置將無效即內部硬體線路會自動關閉待測訊號緩衝器。且使用待測訊號緩衝器時， $\Sigma\Delta$ 調變器的放大倍率必須小於或等於4倍，當信號放大倍率高於4倍時會有量測上的誤差。

使用輸入緩衝器可使得SD18 具有高輸入阻抗，在對於大輸出阻抗訊號的量測可以避免因阻抗匹配問題造成測量上的誤差。但緩衝器本身存在零點偏差及限制輸入訊號之共模電壓範圍，關於輸入共模電壓範圍與緩衝器的關係，如表 19-4。

設置 \ 輸入	使用緩衝器	未使用緩衝器
VR+	VDDA-0.2~VSS+1	VDDA~VSS
VR-, SI+, SI-	VDDA-1~VSS+0.2	VDDA~VSS-0.2

表 19-4 輸入信號共模電壓範圍表

19.1.1.4 $\Sigma\Delta$ 調變器配置方式

SD18 採用二階的 $\Sigma\Delta$ 調變器，其待測訊號及參考電壓都可經由已下設置進行倍率及偏壓調整。

- ◆ ΔVR_{\pm} 倍率調整器VREGN[0]設置<1>時，會將參考電壓的信號進行 1/2 倍率的調整也因會改變輸入信號的 $\Delta SI_{\pm} = (SI_{+} - SI_{-})$ 與 $\Delta VR_{\pm} = (VR_{+} - VR_{-})$ 的比值；設置<0>則進行 1 倍調整。
- ◆ 輸入信號經倍率調整器ADGN[2:0]的設置，最大可達 16 倍的信號放大倍率，如表 19-5(a)。
- ◆ ENCHP[0]設置<0>可讓輸入信號經過截波器chopper以降低頻率造成的雜訊frequency noise，反之ENCHP[0]設置<1>則輸入信號會繞過chopper。
- ◆ 輸入信號 SI_{\pm} 透過直流輸入偏壓調整器DCSET[2:0]，可調整輸入信號零點位置以增加量測範圍。偏壓方式採加權參考信號 VR_{\pm} 的倍率值，如表 19-5(b)。
- ◆ 信號測量時，需注意外部輸入信號阻抗與ADC匹配問題。詳細說明請參見 19.2 類比通道輸入特性。

設置 輸入	ADGN[2:0]							
	000	001	010	011	100	101	110	111
AD Gain	x1/4	x1/2	x1	x2	x4	x8	x16	-

表 19-5 (a)ADGN[2:0]放大倍率配置表

設置 輸入	DCSET[2:0]							
	000	001	010	011	100	101	110	111
SI_{\pm}	+0	+1/4	+1/2	+3/4	+0	-1/4	-1/2	-3/4

單位： VR_{\pm}

表 19-5 (b) SI_{\pm} 輸入信號加權參考電壓倍率一覽表

$\Sigma\Delta$ 調變器經前置PGA及調變器本身的倍率偏壓調整後，其等效的待測訊號 ΔSI_{-I} 與等效的參考電壓 ΔVR_{-I} 的計算公式分別如下：

式 19-1

$$\Delta SI_{-I} = PGAGN \times ADGN \times \Delta SI_{\pm} + (DCSET \times \Delta VR_{\pm})$$

式 19-2

$$\Delta VR_{-I} = VRGN \times \Delta VR_{\pm}$$

必須注意，為了使 $\Sigma\Delta$ 調變器輸出得到較高的解析度及線性度，故等效的參考電壓 ΔVR_{-I} 建議落在 $\Delta VR_{-I}=0.8V\sim 1.2V$ ，而等效的待測訊號 ΔSI_{-I} 則操作在 $\Delta SI_{-I}=\pm 0.9 \times \Delta VR_{-I}$ 之間。

19.1.1.5 梳狀濾波器Comb Filter設置方式

$\Sigma\Delta$ 調變器輸出 1-bit資料至二階梳狀濾波器Comb Filter，再由Comb Filter轉成 24-bit的數值存放於ADCR[23:0]暫存器。ADCR[23:0]資料的更新速率即為SD18 的輸出速率，計算方式為SD18 取樣頻率與SD18 輸出速率頻率比值，SD18 輸出速率頻率又稱為OSR (Over Sampling Ratio)。

所以SD18 輸出速率為ADC_CK÷OSR，而OSR數值可透過OSR[2:0]設置以產生不同的SD18 輸出轉換頻率，如表 19-5(c)。

設置 ADC_CK	OSR[2:0]							
	000	001	010	011	100	101	110	111
250K	976	488	244	122	61	30	15	7
125K	488	244	122	61	30	15	7	3

表 19-5 (c) SD18 超取樣頻率配置簡表

ADCR[23:0]分別由ADCRH[7:0]、ADCRM[7:0]及ADCRL[7:0]組成，其用於存放 Comb Filter輸出的 24-bit資料。Comb Filter的數據格式組成分如圖 18-4 所示。

+FSR/-FSR：正相與負相最大量測範圍

	等效待測訊號	ADCR[23:0]	
		十六進制	二進制
兩極性輸出 二補數格式	ΔVR_I	400000	0100-0000 0000-0000 0000-0000
	$\Delta VR_I \times \frac{1}{2^{22}}$	000001	0000-0000-0000-0000-0000-0001
	0	000000	0000-0000 0000-0000 0000-0000
	$-\Delta VR_I \times \frac{1}{2^{22}}$	FFFFFF	1111-1111-1111-1111-1111-1111
	$-\Delta VR_I$	C00000	1100-0000 0000-0000 0000-0000

表 19-6 ADCR[23:0]與輸入信號關係表

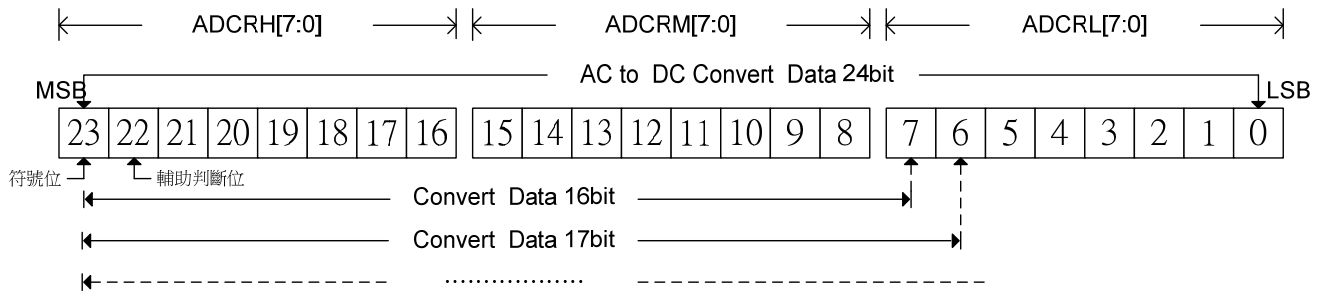


圖 19-4 ADCR[23:0]解析度示意圖

19.1.2 中斷服務設置

每當comb filter數值轉換完畢存入ADCxR[23:0]暫存器後，會產生中斷事件信號 ADCIF[0]置<1>，此時若需要中斷事件服務需將ADCIE[0]與GIE[0]設置<1>。

19.1.3 SD18 的啓用

ENADC[0]設置<1>即可啓用SD18 進行類比數位轉換。反之當ENADC[0]設置<0>時SD18 會關閉。SD18 的電源是使用VDDA，並使用ACM為其內部共模電壓參考點，故在啓動SD18 前必須先啓用VDDA及ACM。

SD18 的工作電壓源來自於VDDA所提供，而Aix輸入引腳電壓則不能超過VDDA電壓(可參考表 19-4 輸入信號共模電壓範圍表)。當VDDA電源關閉時(未由內部啓動或外部輸入)，若SD18 的輸入信號網路 SI_{\pm} 、參考電壓網路 VR_{\pm} 存在電壓，則會造成該網路漏電，間接造成晶片損耗及消耗電流偏大。因此當VDDA電源關閉前，SD18 輸入信號網路或參考電壓網路須適當選擇，將其網路開關調整至內部ACM或VSS，即可避免外部電壓造成網路漏電。

19.2 類比通道輸入特性

SD18 是使用切換式電容線路來進行類比訊號處理，當輸入緩衝器不使用時為了保證取樣電容的電壓可以得到正確的值，輸入信號的最大輸出阻抗必須受到限制，而且會與SD18 的取樣頻率及信號倍率選擇有相互牽制的關係。

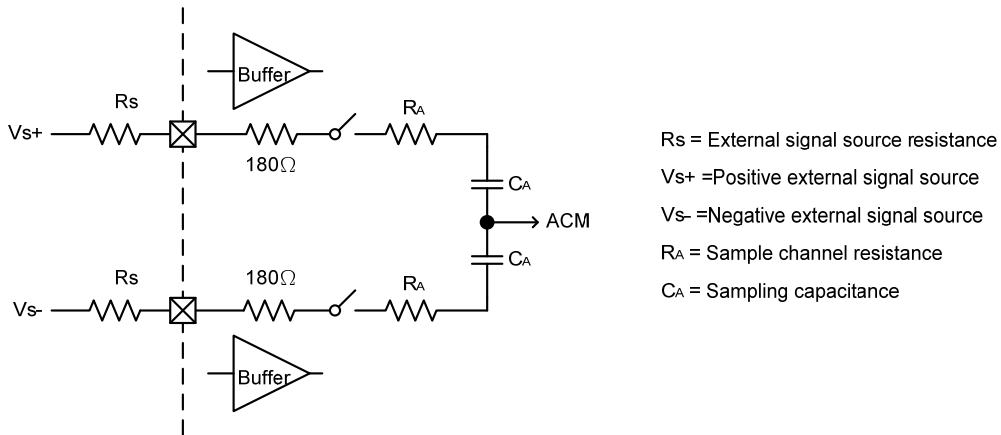


圖 19-5 Alx輸入電容與阻抗模組

由圖 19-5 可知，當輸入信號不經緩衝器直接輸入時必須進一步考慮輸入信號內阻Rs與SD18 的取樣頻率ADC_CK及寄生電阻RA、電容CA的效應。相關的計算公式如下：

式 19-3

$$t_s > (R_s + R_A + 180\Omega) \times C_A \times [\ln(2^{ENOB} \times \text{Gain}) + 2]$$

t_s : SD18 最短取樣時間

ENOB : 期望得到SD18 的有效位數

Gain : (PGA Gain) \times ($\Sigma\Delta$ AD Gain)

式 19-4

$$F_s = \frac{1}{2 \times t_s}$$

F_s : SD18 最短取樣頻率

由於SD18 組成包含PGA與 $\Sigma\Delta$ AD，此兩部分在設計上存在各自的RA與CA值，而最短取樣時間ts的計算是依直接與輸入信號匹配的部分來考量。

- ◆ 不使用PGA直接由 $\Sigma\Delta$ AD設置放大倍率為 4，則ts在計算時，其RA=10K Ω 與CA=2pF
- ◆ 若使用PGA做前置放大且放大倍率為 2 而 $\Sigma\Delta$ AD設置放大倍率仍為 4，使整體的放大倍率達到 8 倍，但其ts在計算時只視輸入信號與直接匹配的放大器，故其RA=1.25K Ω 與CA=16pF公式中RA與CA對應至SD18 各部分Gain關係，如表 19-7(a)/(b)/(c) 所示。

$\Sigma \Delta$ AD Gain	C_A	R_A
x1/4	0.125pF	10K Ω
x1/2	0.25pF	10K Ω
x1	0.5pF	10K Ω
x2	1pF	10K Ω
x4	2pF	10K Ω
x8	4pF	5K Ω
x16	8pF	2.5K Ω

表 19-7(a) SD18 Gain與 R_A 及 C_A 關係表

PGA Gain	C_A	R_A
x2	16pF	1.25K Ω
x4	32pF	0.625K Ω
x8	64pF	0.3K Ω

表 19-7(b) PGA Gain與 R_A 及 C_A 關係表

VR Gain	C_A	R_A
x1/2	0.25pF	10K Ω
x1	0.5pF	10K Ω

表 19-7(C) VR Gain與 R_A 及 C_A 關係表

SD18 主要應用是要量測低頻的訊號，但在真實世界裡待測訊號會含有許多高頻的雜訊，根據訊號取樣原理超過取樣頻率的高頻雜訊經過取樣後會產生零點飄移及低頻雜訊，進而造成量測的誤差。因此我們建議在晶片差動待測訊號及參考電壓端加上 10nF~100nF 的濾波電容以加強量測的準確性。

19.3 絕對溫度感測器, TPS

絕對溫度感測器由二極體(BJT)組成，其電壓信號對溫度的變化為一通過 0°K 曲線，其具以下特色

- ◆ 溫度傳感器在環境溫度為 0°K 時其輸出的電壓值 $V_{TPS@0^{\circ}K} = 0V$
- ◆ 透過測量方式可使得類比數位轉換器ADC的偏移電壓 ($V_{ADC-OFFSET}$) 與BJT之不對稱性 ($I_{S1} \neq I_{S2}$) 自動抵銷。
- ◆ 校正溫度僅需單點校正。

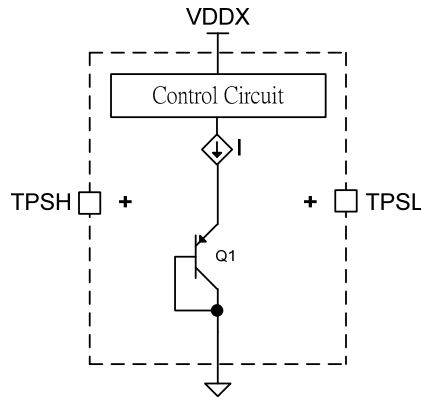


圖 19-6 絕對溫度感測器應用方塊圖

19.3.1 TPS初始化設置與計算方式

SD18 啓用時，TPS的功能隨即被自動啓用。

輸入信號選擇器INH[2:0]與INL[2:0]，設置INH=[111]、INL=[110]測量電壓信號VTPS0，而設置INH=[110]、INL=[111]測量電壓信號VTPS1。

在同一溫度TA(°C)下，SD18 測量得到VTPS0 與VTPS1 的數值後，將兩數相加並取平均值即可求得在溫度TA下測得TPS相對應的電壓值VTPS@TA。

TPS的輸出電壓VTPS對溫度變化為一線性曲線，故可推導得出其增益值GTPS(或稱斜率)。

$$G_{TPS} = \frac{V_{TPS@T_A} - V_{TPS@0^{\circ}K}}{(273.15 + T_{offset} + T_A) - (0)}$$

$$= \frac{V_{TPS@T_A}}{289 + T_A}$$

式 19-5 TPS增益公式

19.3.2 TPS範例說明

假設校正溫度點為 $T_A = 25^\circ\text{C} = 298.15^\circ\text{K}$

設置一：測得 $V_{\text{TPS0}@25^\circ\text{C}} = 52.515\text{mV}\dots\dots(1)$

設置二：得測 $V_{\text{TPS1}@25^\circ\text{C}} = -53.626\text{mV}\dots\dots(2)$

$((1) - (2)) \div 2$ 得 $\Delta V_{\text{TPS}@25^\circ\text{C}} = 53.0705\text{mV}$

$\therefore V_{\text{TPS}@0^\circ\text{K}} = 0.0\text{mV}$

\therefore 曲線斜率 $G_{\text{TPS}} = (V_{\text{TPS}@298.15^\circ\text{K}} - V_{\text{TPS}@0^\circ\text{K}}) \div (298.15 - (0)) = 178\mu\text{V}/^\circ\text{K}$

曲線任一點的溫度值 $T_A = V_{\text{TPS}@T_A} \div G_{\text{TPS}}$

19.4 暫存器說明-SD18

“.”no use,“”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET
23H	INTE1	GIE	ADCIE	TMCIE	TMBIE	TMAIE	VWOTE	E1IE	E0IE	0000 0000	0000 0000
26H	INTF1		ADCIF							.000 0000	.000 0000
30H	PWRCN	ENVDDA	VDDAX[1:0]		ENACM					0000	0000
31H	MCKCN1	ADCS[2:0]		ADCCK	XTHSP	XTSP	ENXT	ENHA0		0000 0001	0000 0001
32H	MCKCN2		LSCK	HSCK	HSS[1:0]		CPUCK[1:0]			.00 0000	.00 0000
33H	MCKCN3	LCDS[2:0]			PERCK	BZS[2:0]				000. 0000	000. 0000
39H	ADCRH	ADC conversion memory HighByte								xxxx xxxx	uuuu uuuu
3AH	ADCRM	ADC conversion memory Middle Byte								xxxx xxxx	uuuu uuuu
3BH	ADCRL	ADC conversion memory Low Byte								xxxx xxxx	uuuu uuuu
3CH	ADCCN1	ENADC	ENHIGN	ENCHP	PGAGN[1:0]		ADGN[2:0]			0000 0000	0000 0000
3DH	ADCCN2		INBUF	VRBUF	VREGN		DCSET[2:0]			.00 0000	.00 0000
3EH	ADCCN3	OSR[2:0]								000.	000.
3FH	AINET1	INH[2:0]		INL[2:0]		INIS		OPIS		0000 0000	0000 0000
40H	AINET2		VRH[1:0]		INX[1:0]		VRL[1:0]			.000 000.	.000 000.
6AH	PT4	PT4.7	PT4.6	PT4.5	PT4.4	PT4.3	PT4.2	PT4.1	PT4.0	xxxx xxxx	uuuu uuuu
6BH	PT4DA	DA4.7	DA4.6	DA4.5	DA4.4	DA4.3	DA4.2	DA4.1	DA4.0	1111 1111	1111 1111
6CH	PT4PU	PU4.7	PU4.6	PU4.5	PU4.4	PU4.3	PU4.2	PU4.1	PU4.0	0000 0000	0000 0000
192H	PT5	PT5.7	PT5.6	PT5.5	PT5.4	PT5.3	PT5.2	PT5.1	PT5.0	xxxx xxxx	uuuu uuuu
193H	PT5DA	DA5.7	DA5.6	DA5.5	DA5.4	DA5.3	DA5.2	DA5.1	DA5.0	1111 1111	1111 1111
194H	PT5PU	PU5.7	PU5.6	PU5.5	PU5.4	PU5.3	PU5.2	PU5.1	PU5.0	0000 0000	0000 0000

表 19-8 SD18 暫存器

INTE1/INTF2 : 詳見

中斷, Interrupt 章節

PWRCN : 詳見 **電源系統, Power System** 章節

MCKCN1 : 詳見 **震盪器、時脈源與功耗管理** 章節

ADC0RH/M/L : SD18 的輸出暫存器

ADCCN1 : SD18 控制暫存器 1

ENADC : SD18 啓用控制器

1 : 啓用

0 : 關閉

ENHIGN : 保留原廠測試使用。

1 : 禁止設置。設置為 1 時，會造成SD18 分辨率降低。

0 : 定義設置。

ENCHP : SD18 內部chopper

1 : 禁止設置。設置為 1 時，會造成SD18 分辨率降低。

0 : 定義設置

PGAGN[1:0] : PGA倍率調整器

11 : x8 ; 跳過前端輸入緩衝器 (by pass input buffer)

10 : x4 ; 跳過前端輸入緩衝器 (by pass input buffer)

01 : x2 ; 跳過前端輸入緩衝器 (by pass input buffer)

00 : off ; 跳過PGA放大器 (by pass PGA) , 使用前端輸入緩衝器時必須選擇此項。

HY11S14 Emulate Chip

Embedded 18-Bit Σ ADC

8-Bit RISC-like Mixed Signal Microcontroller

“.”no use,“r”read/write,“w”write,“r1”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
 “.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	
23H	INTE1	GIE	ADCIE	TMCIE	TMBIE	TMAIE	WDTIE	E1IE	E0IE	0000 0000	0000 0000	
26H	INTF1		ADCIF							.000 0000	.000 0000	
30H	PWRCN	ENVDDA	VDDAX[1:0]		ENACM					0000	0000	
31H	MCKCN1	ADCS[2:0]		ADCCK	XTHSP	XTSP	ENXT	ENHAO		0000 0001	0000 0001	
32H	MCKCN2		LSCK	HSCK	HSS[1:0]		CPUCK[1:0]			.00 0000	.00 0000	
33H	MCKCN3	LCDS[2:0]			PERCK	BZS[2:0]				000. 0000	000. 0000	
39H	ADCRH	ADC conversion memory HighByte									xxxx xxxx	uuuu uuuu
3AH	ADCRM	ADC conversion memory Middle Byte									xxxx xxxx	uuuu uuuu
3BH	ADCRL	ADC conversion memory Low Byte									xxxx xxxx	uuuu uuuu
3CH	ADCCN1	ENADC	ENHIGN	ENCHP	PGAGN[1:0]		ADGN[2:0]			0000 0000	0000 0000	
3DH	ADCCN2		INBUF	VRBUF	VREGN	DCSET[2:0]				.00 0000	.00 0000	
3EH	ADCCN3	OSR[2:0]									000.	000.
3FH	AINET1	INH[2:0]		INL[2:0]		INIS	OPIS			0000 0000	0000 0000	
40H	AINET2	VRH[1:0]		INX[1:0]		VRL[1:0]				.000 000.	.000 000.	
6AH	PT4	PT4.7	PT4.6	PT4.5	PT4.4	PT4.3	PT4.2	PT4.1	PT4.0	xxxx xxxx	uuuu uuuu	
6BH	PT4DA	DA4.7	DA4.6	DA4.5	DA4.4	DA4.3	DA4.2	DA4.1	DA4.0	1111 1111	1111 1111	
6CH	PT4PU	PU4.7	PU4.6	PU4.5	PU4.4	PU4.3	PU4.2	PU4.1	PU4.0	0000 0000	0000 0000	
192H	PT5	PT5.7	PT5.6	PT5.5	PT5.4	PT5.3	PT5.2	PT5.1	PT5.0	xxxx xxxx	uuuu uuuu	
193H	PT5DA	DA5.7	DA5.6	DA5.5	DA5.4	DA5.3	DA5.2	DA5.1	DA5.0	1111 1111	1111 1111	
194H	PT5PU	PU5.7	PU5.6	PU5.5	PU5.4	PU5.3	PU5.2	PU5.1	PU5.0	0000 0000	0000 0000	

ADGN[2:0] : AD倍率調整器

- 111 : 未使用
- 110 : x16
- 101 : x8
- 100 : x4
- 011 : x2
- 010 : x1
- 001 : x1/2
- 000 : x1/4

ADCCN2 : SD18 控制暫存器 2

INBUF : SI \pm 輸入緩衝器

- 1 : 啓用
- 0 : 關閉

VRBUF : VR \pm 輸入緩衝器

- 1 : 致能
- 0 : 未致能

VREGN : VR \pm 倍率調整器

- 1 : x1/2
- 0 : x1

“-”no use,“r”read/write,“w”write,“r1”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
 “. ”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	
23H	INTE1	GIE	ADCIE	TMCIE	TMBIE	TMAIE	WDTIE	ETIE	EOIE	0000 0000	0000 0000	
26H	INTF1		ADCIF							.000 0000	.000 0000	
30H	PWRCN	ENVDDA	VDDAX[1:0]		ENACM					0000	0000	
31H	MCKCN1		ADCS[2:0]		ADCCK	XTHSP	XTSP	ENXT	ENHAO	0000 0001	0000 0001	
32H	MCKCN2			LSCK	HCK	HSS[1:0]		CPUCK[1:0]		.00 0000	.00 0000	
33H	MCKCN3		LCDS[2:0]			PERCK	BZS[2:0]			000. 0000	000. 0000	
39H	ADCRM	ADC conversion memory HighByte									xxxx xxxx	uuuu uuuu
3AH	ADCRM	ADC conversion memory Middle Byte									xxxx xxxx	uuuu uuuu
3BH	ADCRM	ADC conversion memory Low Byte									xxxx xxxx	uuuu uuuu
3CH	ADCCN1	ENADC	ENHIGN	ENCHP	PGAGN[1:0]		ADGN[2:0]			0000 0000	0000 0000	
3DH	ADCCN2			INBUF	VRBUF	VREGN	DCSET[2:0]			.00 0000	.00 0000	
3EH	ADCCN3	OSR[2:0]									000.	000.
3FH	AINET1	INH[2:0]			INL[2:0]			INIS	OPIS	0000 0000	0000 0000	
40H	AINET2		VRH[1:0]		INX[1:0]		VRL[1:0]			.000 000.	.000 000.	
6AH	PT4	PT4.7	PT4.6	PT4.5	PT4.4	PT4.3	PT4.2	PT4.1	PT4.0	xxxx xxxx	uuuu uuuu	
6BH	PT4DA	DA4.7	DA4.6	DA4.5	DA4.4	DA4.3	DA4.2	DA4.1	DA4.0	1111 1111	1111 1111	
6CH	PT4PU	PU4.7	PU4.6	PU4.5	PU4.4	PU4.3	PU4.2	PU4.1	PU4.0	0000 0000	0000 0000	
192H	PT5	PT5.7	PT5.6	PT5.5	PT5.4	PT5.3	PT5.2	PT5.1	PT5.0	xxxx xxxx	uuuu uuuu	
193H	PT5DA	DA5.7	DA5.6	DA5.5	DA5.4	DA5.3	DA5.2	DA5.1	DA5.0	1111 1111	1111 1111	
194H	PT5PU	PU5.7	PU5.6	PU5.5	PU5.4	PU5.3	PU5.2	PU5.1	PU5.0	0000 0000	0000 0000	

DCSET[2:0] : **SI**±偏壓調整器

111 : -3/4 **VR**±

110 : -1/2 **VR**±

101 : -1/4 **VR**±

100 : 不偏壓

011 : +3/4 **VR**±

010 : +1/2 **VR**±

001 : +1/4 **VR**±

000 : 不偏壓

ADCCN3 : **SD18** 控制暫存器 3

OSR[2:0] : **SD18** 超取樣率除頻器

111 : 32768

110 : 16384

101 : 8192

100 : 4096

011 : 2048

010 : 1024

001 : 512

000 : 256

"no use,""read/write,""w"write,""r"read,""r0"only read 0,""r1"only read 1,""w0"only write 0,""w1"only write 1												
"."unimplemented bit,""x"unknown,""u"unchanged,""d"depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	
23H	INTE1	GIE	ADCIE	TMCIE	TMBIE	TMAIE	WDTIE	ETIE	EOIE	0000 0000	0000 0000	
26H	INTF1		ADCIF							.000 0000	.000 0000	
30H	PWRCN	ENVDDA	VDDAX[1:0]		ENACM					0000	0000	
31H	MCKCN1	ADCS[2:0]		ADCCK	XTHSP	XTSP	ENXT	ENHAO		0000 0001	0000 0001	
32H	MCKCN2		LSCCK	HSCCK	HSS[1:0]		CPUCK[1:0]			.00 0000	.00 0000	
33H	MCKCN3	LCDS[2:0]			PERCK	BZS[2:0]				000. 0000	000. 0000	
39H	ADCRH	ADC conversion memory HighByte									xxxx xxxx	uuuu uuuu
3AH	ADCRM	ADC conversion memory Middle Byte									xxxx xxxx	uuuu uuuu
3BH	ADCRL	ADC conversion memory Low Byte									xxxx xxxx	uuuu uuuu
3CH	ADCCN1	ENADC	ENHIGN	ENCHP	PGAGN[1:0]		ADGN[2:0]			0000 0000	0000 0000	
3DH	ADCCN2		INBUF	VRBUF	VRGN	DCSET[2:0]				.00 0000	.00 0000	
3EH	ADCCN3	OSR[2:0]								000.	000.	
3FH	AINET1	INH[2:0]		INL[2:0]		INIS	OPIS			0000 0000	0000 0000	
40H	AINET2	VRH[1:0]		INX[1:0]		VRL[1:0]				.000 000.	.000 000.	
6AH	PT4	PT4.7	PT4.6	PT4.5	PT4.4	PT4.3	PT4.2	PT4.1	PT4.0	xxxx xxxx	uuuu uuuu	
6BH	PT4DA	DA4.7	DA4.6	DA4.5	DA4.4	DA4.3	DA4.2	DA4.1	DA4.0	1111 1111	1111 1111	
6CH	PT4PU	PU4.7	PU4.6	PU4.5	PU4.4	PU4.3	PU4.2	PU4.1	PU4.0	0000 0000	0000 0000	
192H	PT5	PT5.7	PT5.6	PT5.5	PT5.4	PT5.3	PT5.2	PT5.1	PT5.0	xxxx xxxx	uuuu uuuu	
193H	PT5DA	DA5.7	DA5.6	DA5.5	DA5.4	DA5.3	DA5.2	DA5.1	DA5.0	1111 1111	1111 1111	
194H	PT5PU	PU5.7	PU5.6	PU5.5	PU5.4	PU5.3	PU5.2	PU5.1	PU5.0	0000 0000	0000 0000	

AINET1 : AI Network控制暫存器 1

INH[2:0] : **SI±“+”**輸入信號選擇器

- 111 : TPSH0
- 110 : TPSH1
- 101 : ACM
- 100 : VDD/2
- 011 : AI0
- 010 : AI4
- 001 : AI6
- 000 : AI2

INL[2:0] : **SI±“-”**輸入信號選擇器

- 111 : TPSL1
- 110 : TPSL0
- 101 : VSS
- 100 : OPO
- 011 : AI1
- 010 : AI5
- 001 : AI7
- 000 : AI3

INIS : **SI±**輸入信號短路控制器

- 1 : 短路
- 0 : 未短路

OPIS : LNOP正、負端輸入信號短路控制位元

- 1 : 短路
- 0 : 未短路

“.”no use,“r”read/write,“w”write,“r1”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
 “.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	
23H	INTE1	GIE	ADCIE	TMCIE	TMBIE	TMAIE	WDTIE	ETIE	EOIE	0000 0000	0000 0000	
26H	INTF1		ADCIF							.000 0000	.000 0000	
30H	PWRCN	ENVDDA	VDDAX[1:0]		ENACM					0000	0000	
31H	MCKCN1		ADCS[2:0]		ADCCK	XTHSP	XTSP	ENXT	ENHAO	0000 0001	0000 0001	
32H	MCKCN2			LSCK	HCK	HSS[1:0]		CPUCK[1:0]		.00 0000	.00 0000	
33H	MCKCN3		LCDS[2:0]			PERCK	BZS[2:0]			000. 0000	000. 0000	
39H	ADCRH	ADC conversion memory HighByte									xxxx xxxx	uuuu uuuu
3AH	ADCRM	ADC conversion memory Middle Byte									xxxx xxxx	uuuu uuuu
3BH	ADCRL	ADC conversion memory Low Byte									xxxx xxxx	uuuu uuuu
3CH	ADCCN1	ENADC	ENHIGN	ENCHP	PGAGN[1:0]		ADGN[2:0]			0000 0000	0000 0000	
3DH	ADCCN2			INBUF	VRBUF	VREGN		DCSET[2:0]		.00 0000	.00 0000	
3EH	ADCCN3	OSR[2:0]								000.	000.	
3FH	AINET1	INH[2:0]			INL[2:0]			INIS	OPIS	0000 0000	0000 0000	
40H	AINET2		VRH[1:0]		INX[1:0]		VRL[1:0]			.000 000.	.000 000.	
6AH	PT4	PT4.7	PT4.6	PT4.5	PT4.4	PT4.3	PT4.2	PT4.1	PT4.0	xxxx xxxx	uuuu uuuu	
6BH	PT4DA	DA4.7	DA4.6	DA4.5	DA4.4	DA4.3	DA4.2	DA4.1	DA4.0	1111 1111	1111 1111	
6CH	PT4PU	PU4.7	PU4.6	PU4.5	PU4.4	PU4.3	PU4.2	PU4.1	PU4.0	0000 0000	0000 0000	
192H	PT5	PT5.7	PT5.6	PT5.5	PT5.4	PT5.3	PT5.2	PT5.1	PT5.0	xxxx xxxx	uuuu uuuu	
193H	PT5DA	DA5.7	DA5.6	DA5.5	DA5.4	DA5.3	DA5.2	DA5.1	DA5.0	1111 1111	1111 1111	
194H	PT5PU	PU5.7	PU5.6	PU5.5	PU5.4	PU5.3	PU5.2	PU5.1	PU5.0	0000 0000	0000 0000	

AINET2 : AI Network控制暫存器 2

VRH[1:0] : VR±“+”電壓信號選擇器

- 11 : ACM
- 10 : AI2
- 01 : AI8
- 00 : AI6

INX[1:0] : SI±輸入信號轉置器

- 11 : INH→ADL,INL→ADH
- 10 : INH浮接,INH→ADH & ADH
- 01 : INL→ADH & ADL,INH浮接
- 00 : INH→ADH,INL→ADL

VRL[1:0] : VR±“-”電壓信號選擇器

- 11 : VSS
- 10 : AI3
- 01 : AI9
- 00 : AI5

20 液晶驅動器,LCD

液晶驅動電路適用於TN-LCD與STN-LCD等製程的液晶顯示器，其具有以下特點：

- ◆ 內置倍壓電路(Regulated charge pump)
- ◆ 四段可調式驅動電壓準位
- ◆ 支援四種LCD波形的操作方式
 - 靜態操作 (static)
 - 2 共線，1/3 偏壓。(2-mux, 1/3 bias)
 - 3 共線，1/3 偏壓。(3-mux, 1/3 bias)
 - 4 共線，1/3 偏壓。(4-mux, 1/3 bias)
- ◆ 可選擇輸入時脈源與可規劃輸出頻率
- ◆ 具閃爍控制功能(Blinking capability)

LCD暫存器摘要：

LCDCN1	ENLCD[0],LCDPR[0],VLCDX[1:0],LCDBF[0],LCDBI[1:0]
LCDCN2	LCDBL[0],LCDMX[1:0]
LCD[159:0]	LCD0[7:0]~LCD19[7:0]

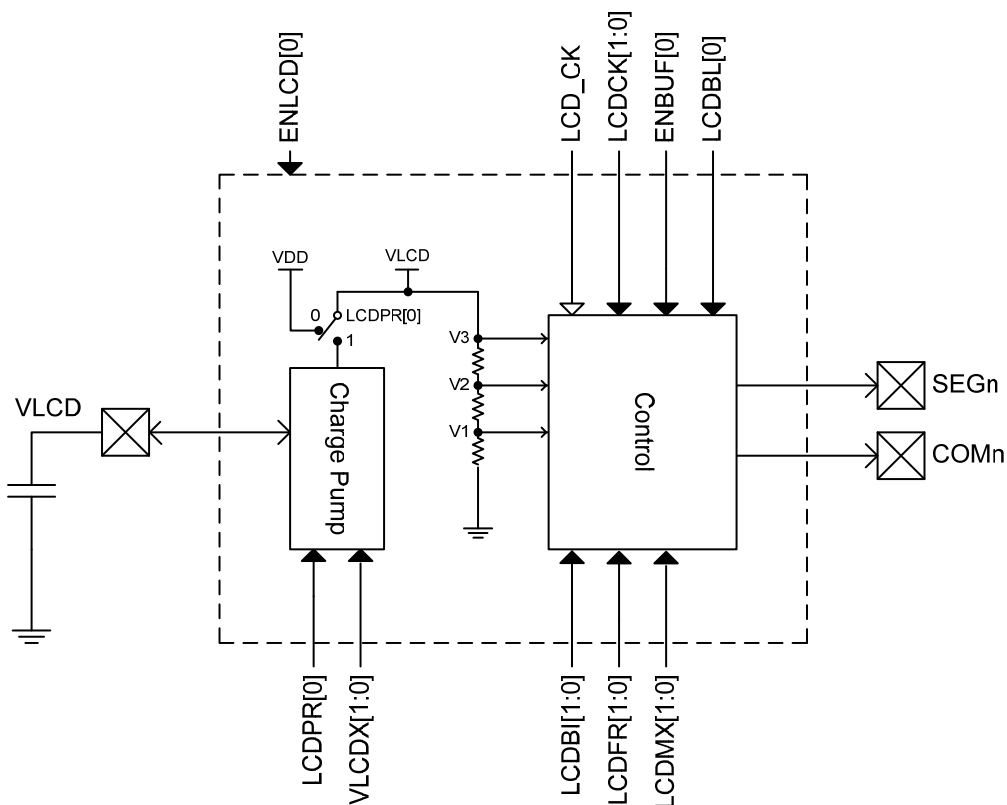


圖 20-1 LCD方塊圖

LCD在設計上，在 2 共線或 3 共線時COM0 與COM1 可分別復用SEG0 和SEG1，而其SEG0/1 所使用的暫存器與SEG2/3 共用。如 表 20-1 所示。

“-”：未使用

字節暫存器									
名稱	字節引腳	名稱	字節引腳	名稱	字節引腳	名稱	字節引腳	名稱	字節引腳
LCD0	²⁹	SEG0	LCD6	3:0	SEG14	LCD14	3:0	SEG30	
	²⁹	SEG1		7:4	SEG15		7:4	SEG31	
	3:0	SEG2	LCD7	3:0	SEG16	LCD15	3:0	SEG32	
	7:4	SEG3		7:4	SEG17		7:4	SEG33	
LCD1	-	-	LCD8	3:0	SEG18	LCD16	3:0	SEG34	
	²⁹	SEG1		7:4	SEG19		7:4	SEG35	
	3:0	SEG4	LCD9	3:0	SEG20	LCD17	3:0	SEG36	
	7:4	SEG5		7:4	SEG21		7:4	SEG37	
LCD2	3:0	SEG6	LCD10	3:0	SEG22	LCD18	3:0	SEG38	
	7:4	SEG7		7:4	SEG23		7:4	SEG39	
LCD3	3:0	SEG8	LCD11	3:0	SEG24	LCD19	3:0	SEG40	
	7:4	SEG9		7:4	SEG25		7:4	SEG41	
LCD4	3:0	SEG10	LCD12	3:0	SEG26				
	7:4	SEG11		7:4	SEG27				
LCD5	3:0	SEG12	LCD13	3:0	SEG28				
	7:4	SEG13		7:4	SEG29				

表 20-1 (a) LCDn 字節暫存器與字節引腳對照表

“-”：未使用

暫存器	波形	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
LCD0	4-MUX	SEG3.3	SEG3.2	SEG3.1	SEG3.0	SEG2.3	SEG2.2	SEG2.1	SEG2.0
	3-MUX	SEG1.1	SEG3.2	SEG3.1	SEG3.0	SEG1.0	SEG2.2	SEG2.1	SEG2.0
	2MUX	SEG1.1	SEG0.1	SEG3.1	SEG3.0	SEG1.0	SEG0.0	SEG2.1	SEG2.0
LCD1	4-MUX	SEG5.3	SEG5.2	SEG5.1	SEG5.0	SEG4.3	SEG4.2	SEG4.1	SEG4.0
	3-MUX	-	SEG5.2	SEG5.1	SEG5.0	SEG1.2	SEG4.2	SEG4.1	SEG4.0
	2MUX	-	-	SEG5.1	SEG5.0	-	-	SEG4.1	SEG4.0

表 20-1 (b) LCD0 與LCD1 暫存器復用字節引腳對照表

²⁹ 復用暫存器：當 LCD 的操作波形設定為 2-MUX 或 3-MUX 時，字節控制位元變化如 表 20-1(b)。

20.1 LCD使用說明

20.1.1 LCD初始化設置

工作頻率與輸出幀幅頻率設置

工作頻率由PERA_CK提供，經工作頻率預除頻器LCDS[2:0]除頻後提供適當的工作頻率予LCD輸出幀幅頻率。輸出波形控制器LCDMX[1:0]可設置LCD的操作波形，幀頻率與操作波形必須依外接LCD顯示器的規格做正確的設置，否則LCD顯示器會出現鬼影或字節顯示異常等現象。LCD工作頻率與幀頻率如表 20-2。

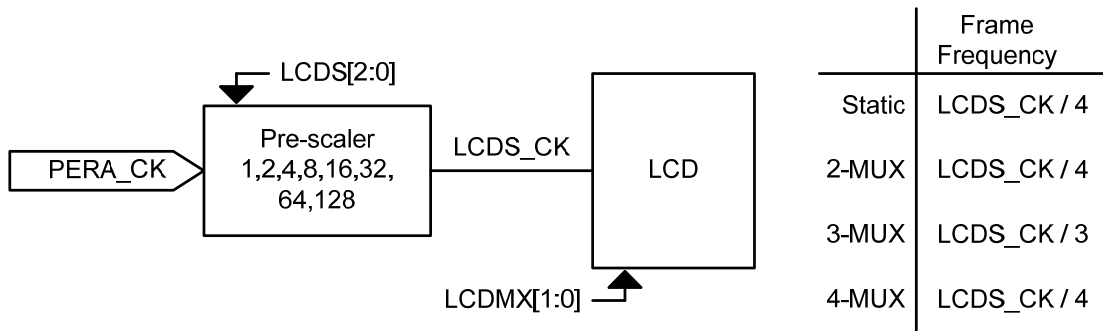


圖 20-2 LCD工作頻率與幀頻率

PERA_CK=976Hz		LCDS[2:0]							
		0	1	10	11	100	101	110	111
LCDS_CK		976	488	244	122	61	31	15	8
Frame Frequency	Static, LCDMX[1:0]=00	244	122	61	31	15	8	4	2
	2-MUX, LCDMX[1:0]=01	244	122	61	31	15	8	4	2
	3-MUX, LCDMX[1:0]=10	325	163	81	41	20	10	5	3
	4-MUX, LCDMX[1:0]=11	244	122	61	31	15	8	4	2

單位：Hz

表 20-2 LCD工作頻率與輸出幀頻率配置簡表

倍壓電路與LCD工作電壓設置

LCD工作電壓源為VLCD，其產生有兩種方式：

- 由外部輸入VLCD電壓源，必須將LCDPR[0]設置<0> 關閉倍壓電路，然後由外部VLCD引腳灌入電壓以決定 LCD工作電壓。使用外部輸入時，VLCDX[1:0]的設置對LCD工作電壓不會產生任何影響。
 - ◆ 當推動尺寸或負載較大的LCD顯示器時，可將LCD輸出緩衝器LCDBF[0]設置<1>，啓用緩衝器以增加LCD的驅動能力。反之，LCDBF[0]設置<0>則關閉緩衝器亦減少LCD的消耗電流。
- 由內部倍壓電路產生，將倍壓電路控制器LCDPR[0]設置<1>，並配置倍壓電壓準位控制器VLCDX[1:0]即可產生VLCD電壓源供給LCD，使其不隨晶片工作電壓的變化而影響顯示。
 - ◆ VLCDX[1:0]可設置四種不同的功作電壓且必須在倍壓電路啓用時才有效，而倍壓電路可能會影響類比數位轉換器SD18 在高解析度轉換的效能。
 - ◆ 使用內部倍壓電路產生VLCD電壓源時，LCD緩衝器會由內部硬體線路自動啓用。

偏壓與閃爍設置

波形偏壓控制器LCDBI[1:0]可設置LCD每個輸幀幅由幾段偏壓組成，其共有二種選擇。設置<00>LCD波形操作在靜態、設置<10>LCD波形操作在 1/3 偏壓。

閃爍效果是讓LCD顯示由顯示狀態快速轉為全滅或再轉為顯示，此等循環過程只需透過字節閃爍控制器LCDBL[0]設置<1>全滅或設置<0>顯示，即可達到快速顯示或全滅的狀態。故LCDBL[0]設置<1>時，LCD顯示器不會點亮任何字節。反之，LCDBL[0]設置<0>時，LCD顯示器會依字節暫存器LCD1[7:0]~ LCD19[7:0]的設置來點亮。

LCD字節暫存器

每一個字節暫存器LCDn[7:0]控制兩個字節引腳SEGN，而每個字節引腳具有4-bit控制位元SEGN[3:0]。控制位元的有效或無效視波形輸出控制器LCDMX[1:0]設置而決定。例如，當輸出波行為 4 共線時SEGN[3:0] 的 4-bit全有效，而輸出波形 2 共線時只有SEGN[3:0] 的最低 2-bit為有效，如 表 20-1。也因為有上述有效或無效特性，使得LCD0 與LCD1 字節暫存器存在著SEG0[3:0]與SEG1[3:0]的復用設計。

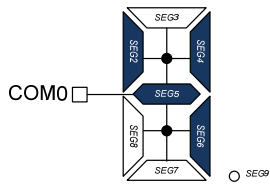
20.1.2 LCD啓用設置

ENLCD[0]設置<1>即可啓用LCD驅動器。反之，當ENLCD[0]設置<0>時LCD驅動器會關閉。

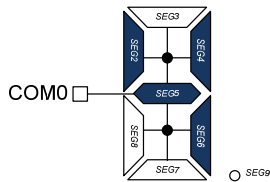
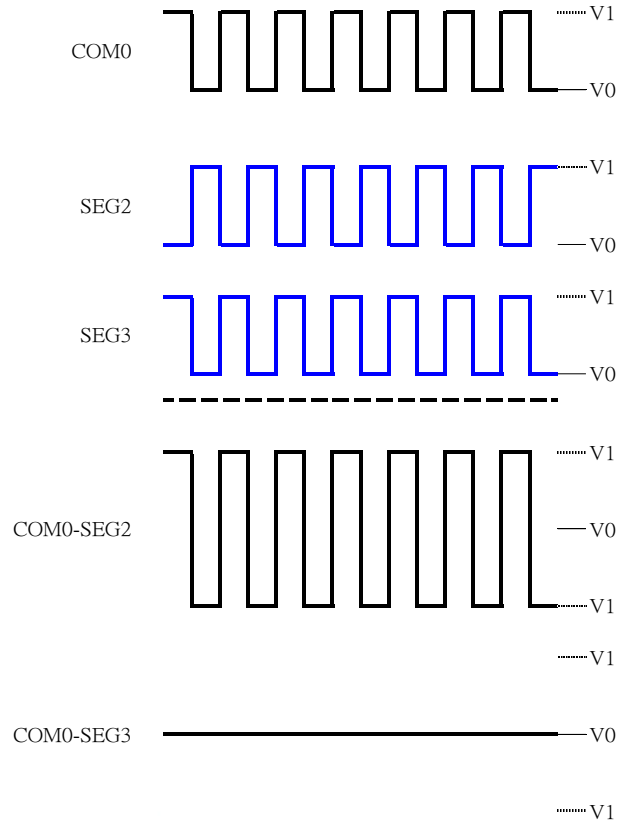
MVL	01100000B	
MVF	LCDCN2,1,0	;1/4 duty, LCD 字節顯示
MVL	11011100B	
MVF	LCDCN1,1,0	;1/3 bias, LCD 啟用, 啟動 LCD 倍壓電源 VLCD=3V
CALL	DELAY	;LCD 倍壓電源穩定時間 (at VLCD CAP=4.7uF)
		;VDD=2.2V, VLCD=3V, Stable time ~ 85msec
		;VDD=3.6V, VLCD=3V, Stable time ~ 15msec

範例 20-1 LCD範例程式

20.2 LCD輸出波形



狀態描述(Model)
 偏壓(Bias): Static
 共線(Duty): 1/1



狀態描述(Model)
 偏壓(Bias): Static
 共線(Duty): 1/2

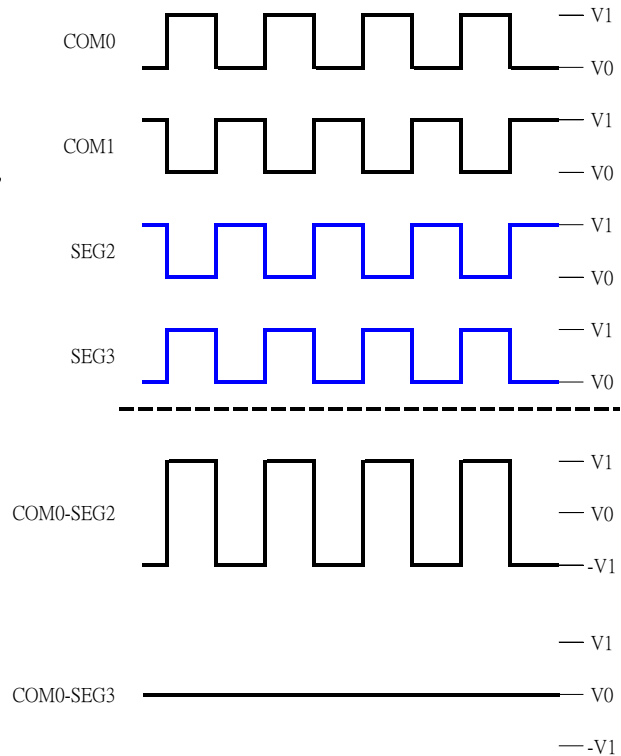
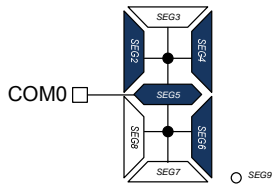


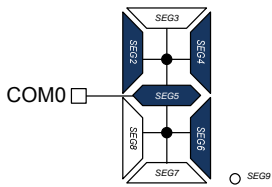
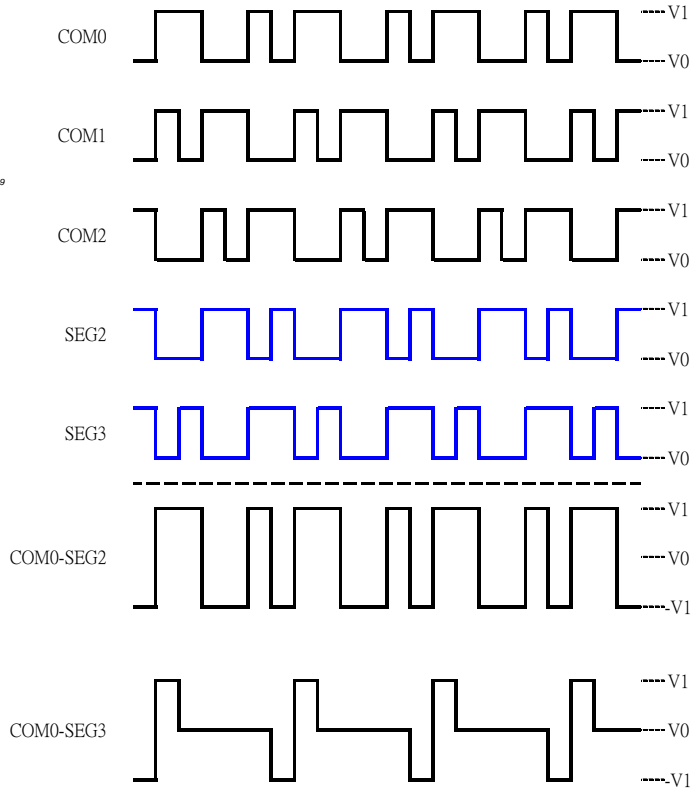
圖 20-3(a) 輸出波形-靜態操作(Static)



狀態描述(Model)

偏壓 (Bias): Static

共線 (Duty): 1/3



狀態描述(Model)

偏壓 (Bias): Static

共線 (Duty): 1/4

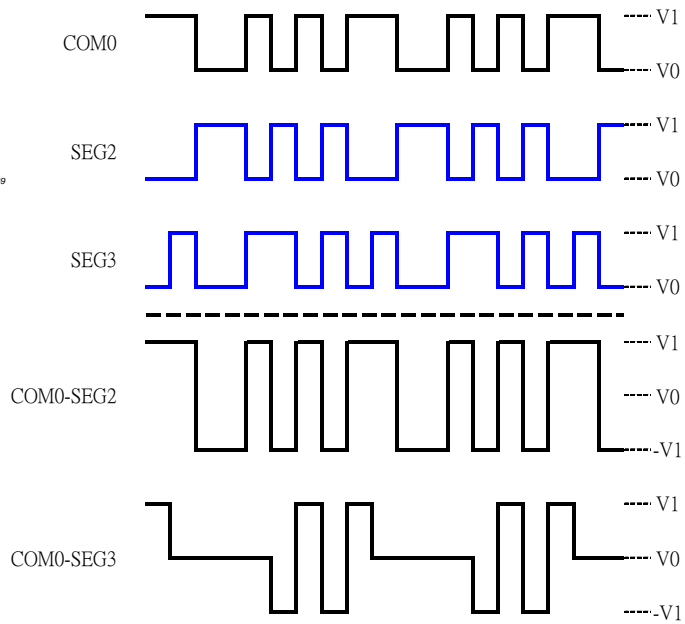
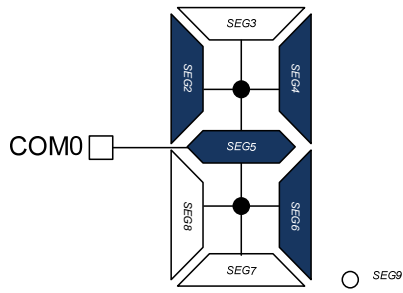


圖 20-3(b) 輸出波形-靜態操作(續)(Static)



狀態描述(Model)

偏壓 (Bias): 1/3

共線 (Duty): 1/2

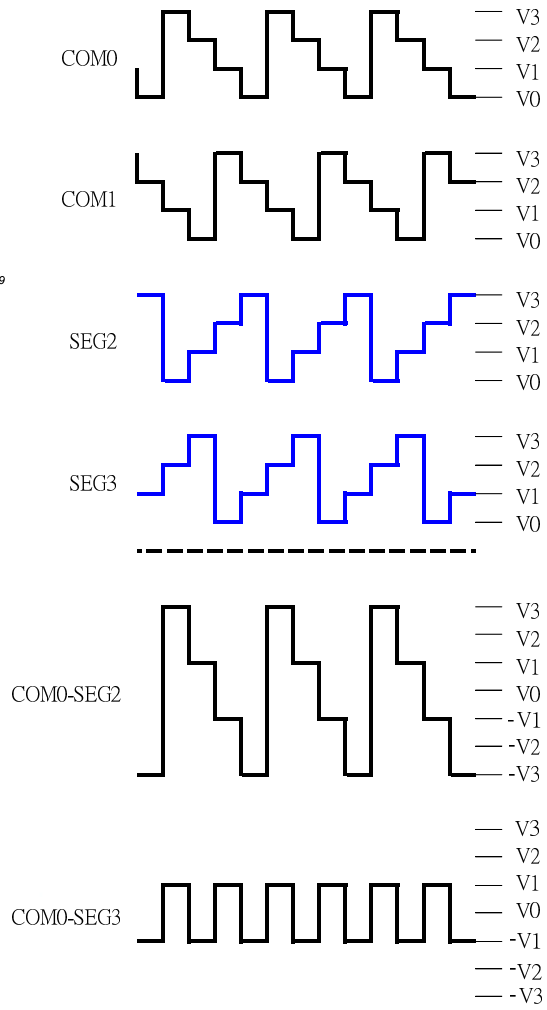
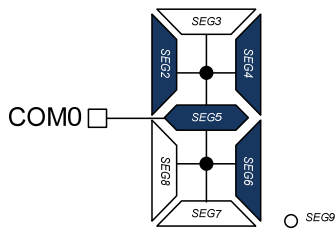


圖 20-4 輸出波形-2 共線



狀態描述(Model)

偏壓 (Bias): 1/3

共線 (Duty): 1/3

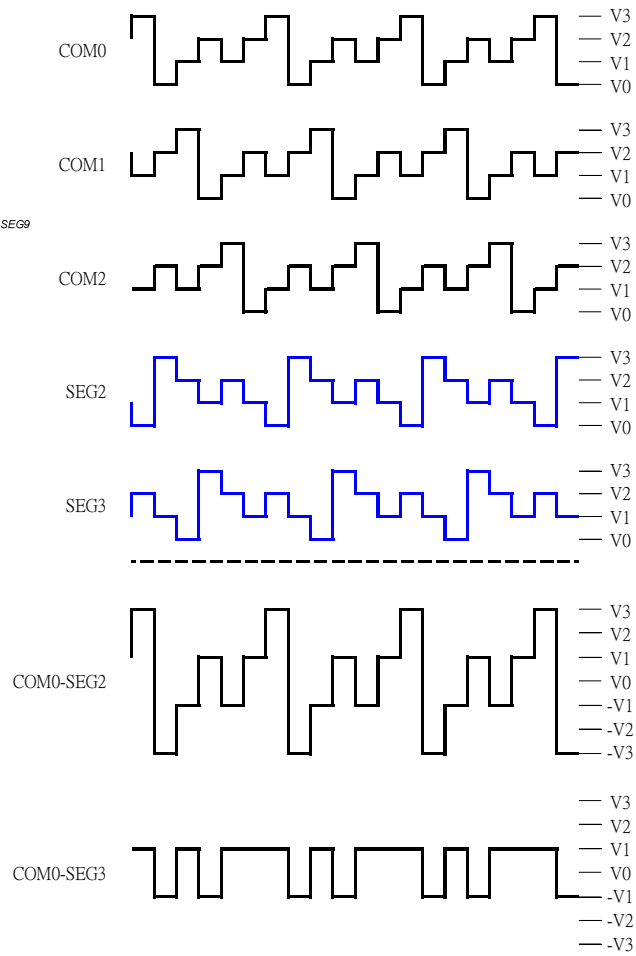
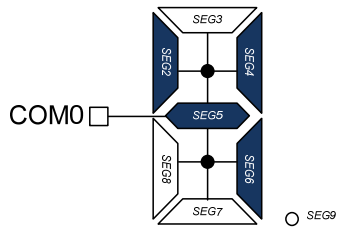


圖 20-5 輸出波形-3 共線



狀態描述(Model)

偏壓 (Bias): 1/3

共線 (Duty): 1/4

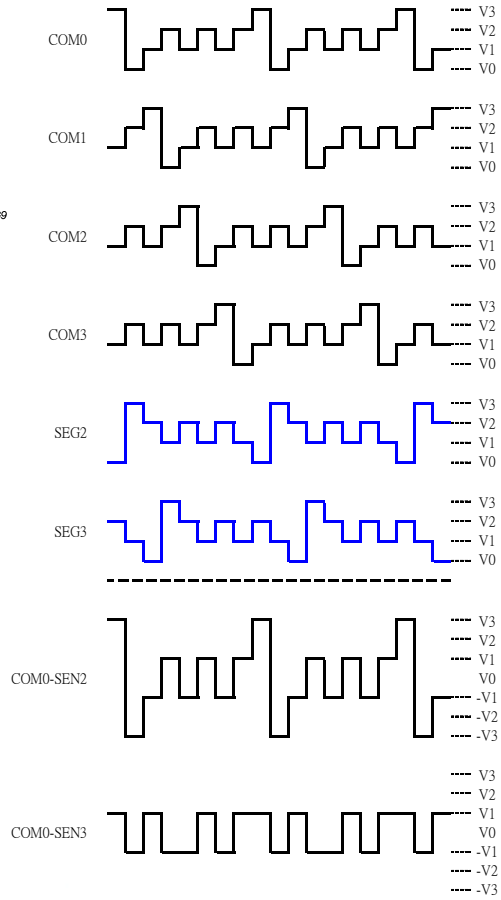


圖 20-6 輸出波形-4 共線

20.3 暫存器說明-LCD

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1 “-”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
33H	MCKCN3	LCDS[2:0]								000. 0000	000. 0000	***_*** 1 1 1 1 1 1
52H	LCDCN1	ENLCD	LC DPR	VLCDX[1:0]		LCDBF	LCDBI[1:0]			0000 000.	0000 000.	***** 1 1 1 1 1 1
53H	LCDCN2	LCDBL	LC DMX[1:0]							000.	000.	***_*** 1 1 1 1 1 1
54H	LCD0	Segment SEG2@[3:0] and SEG3@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
55H	LCD1	Segment SEG4@[3:0] and SEG5@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
56H	LCD2	Segment SEG6@[3:0] and SEG7@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
57H	LCD3	Segment SEG8@[3:0] and SEG9@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
58H	LCD4	Segment SEG10@[3:0] and SEG11@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
59H	LCD5	Segment SEG12@[3:0] and SEG13@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
5AH	LCD6	Segment SEG14@[3:0] and SEG15@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
5BH	LCD7	Segment SEG16@[3:0] and SEG17@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
5CH	LCD8	Segment SEG18@[3:0] and SEG19@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
5DH	LCD9	Segment SEG20@[3:0] and SEG21@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
180H	LCD10	Segment SEG22@[3:0] and SEG23@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
181H	LCD11	Segment SEG24@[3:0] and SEG25@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
182H	LCD12	Segment SEG26@[3:0] and SEG27@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
183H	LCD13	Segment SEG28@[3:0] and SEG29@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
184H	LCD14	Segment SEG30@[3:0] and SEG31@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
185H	LCD15	Segment SEG32@[3:0] and SEG33@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
186H	LCD16	Segment SEG34@[3:0] and SEG35@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
187H	LCD17	Segment SEG36@[3:0] and SEG37@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
188H	LCD18	Segment SEG38@[3:0] and SEG39@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1
189H	LCD19	Segment SEG40@[3:0] and SEG41@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	***** 1 1 1 1 1 1

表 20-3 LCD暫存器

MCKCN3 : 詳見 震盪器、時脈源與功耗管理 章節

LCDCN1 : LCD控制暫存器 1

ENLCD : LCD啟用控制器

- 1 : 啟用。
- 0 : 關閉。

LC DPR : LCD倍壓電路控制器

- 1 : 啟用 ; VLCD電壓源由晶片內部產生。
- 0 : 關閉 ; VLCD電壓源由外部引腳灌入。

VLCDX[1:0] : 倍壓電壓準位選擇控制器

- 11 : VLCD = 2.55V。
- 10 : VLCD = 2.8V。
- 01 : VLCD = 3.05V。
- 00 : VLCD = 3.3V。

LCDBF : LCD輸出緩衝器

- 1 : 啟用。
- 0 : 關閉。

LCDBI[1:0] : LCD波形偏壓控制器

- 11 : 未使用
- 10 : 1/3 偏壓。
- 01 : 保留
- 00 : 靜態操作 (static)

“-”no use,“r”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
 “.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
33H	MCKCN3	LCDS[2:0]								000. 0000	000. 0000	***.***
52H	LCDCN1	ENLCD	LCDFPR	VLCDX[1:0]		LCDBF	LCDBI[1:0]			0000 000.	0000 000.	*****
53H	LCDCN2	LCDBL	LCDMX[1:0]							000.	000.	***.***
54H	LCD0	Segment SEG2@[3:0] and SEG3@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
55H	LCD1	Segment SEG4@[3:0] and SEG5@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
56H	LCD2	Segment SEG6@[3:0] and SEG7@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
57H	LCD3	Segment SEG8@[3:0] and SEG9@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
58H	LCD4	Segment SEG10@[3:0] and SEG11@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
59H	LCD5	Segment SEG12@[3:0] and SEG13@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
5AH	LCD6	Segment SEG14@[3:0] and SEG15@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
5BH	LCD7	Segment SEG16@[3:0] and SEG17@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
5CH	LCD8	Segment SEG18@[3:0] and SEG19@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
5DH	LCD9	Segment SEG20@[3:0] and SEG21@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
180H	LCD10	Segment SEG22@[3:0] and SEG23@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
181H	LCD11	Segment SEG24@[3:0] and SEG25@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
182H	LCD12	Segment SEG26@[3:0] and SEG27@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
183H	LCD13	Segment SEG28@[3:0] and SEG29@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
184H	LCD14	Segment SEG30@[3:0] and SEG31@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
185H	LCD15	Segment SEG32@[3:0] and SEG33@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
186H	LCD16	Segment SEG34@[3:0] and SEG35@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
187H	LCD17	Segment SEG36@[3:0] and SEG37@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
188H	LCD18	Segment SEG38@[3:0] and SEG39@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****
189H	LCD19	Segment SEG40@[3:0] and SEG41@[7:4] data register of LCD								xxxx xxxx	uuuu uuuu	*****

LCDCN2 : LCD控制暫存器 2, LCD Control Register

LCDBL : LCD字節閃爍控制器。

- 1 : LCD字節全滅。
- 0 : LCD字節顯示。

LCDMX[1:0] : LCD波形輸出控制器

- 00 : 固定狀態 (COM0)。
- 01 : 1/2 duty (COM0,COM1) ; 此時COM3=SEG1、COM2=SEG0。
- 10 : 1/3 duty (COM0,COM1,COM2) ; 此時COM3=SEG1。
- 11 : 1/4 duty (COM0,COM1,COM2,COM3)

LCD0~LCD19 : LCD 字節資料暫存器

21 串列通訊, Serial Peripheral Interface

串列通訊介面Serial Peripheral Interface, SPI週邊，SPI具有以下功能：

- ◆ SPI模組允許同步發送和接收 8 位元資料。
- ◆ 可用於其他裝置進行通信的串列接口，裝置多為EEPROM、移位暫存器等。
- ◆ 供主控模式及被動模式使用。
- ◆ 主動模式的引腳配置如下，使用時須設定為相對應引腳輸入輸出。
 - 串列資料輸出SDO(PT1.5)
 - 串列資料輸入SDI(PT1.2)
 - 串列時鐘源SCK(PT1.6)
- ◆ 被動模式下可以多使用 1 隻引腳控制，被動同步選擇引腳SCE(PT1.1).

SPI 暫存器摘要：

SSPCON1 SSPEN[0],CKP[0],CKE[0],SMP[0],SSPM[1:0]
SSPSTA SSPBUY[0],SSPOV[0],BF[0]
SSPBUF SSPBUF[7:0]

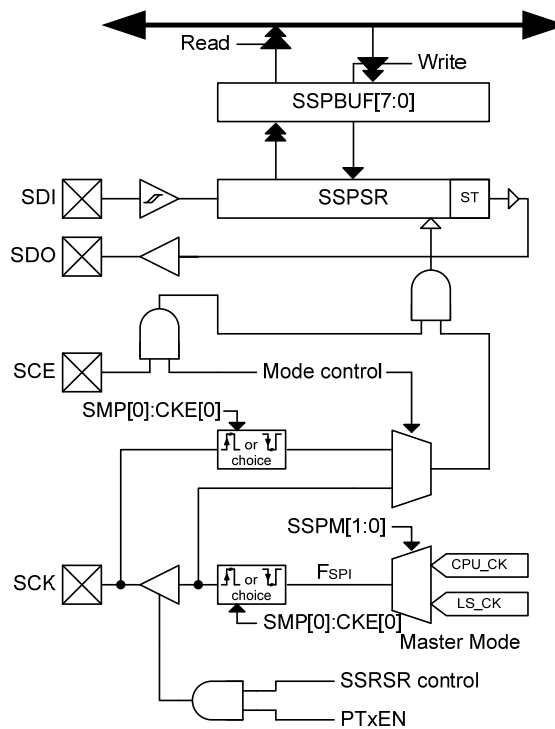


圖 21-1 SPI方塊圖

21.1 SPI使用說明

使用時除了相對應引腳須設定為輸入輸出腳位之外，也因主動被動選擇，使用腳位不同。

- ◆ 主動模式：使用引腳為SCK(時鐘輸出), SDI(資料輸入), SDO(資料輸出)
- ◆ 被動模式：使用引腳為SCK(時鐘輸入), SDI(資料輸入), SDO(資料輸出), SCE(同步資料接收致能)

透過配置SSPCON1 暫存器可設定SPI等控制位元：

- ◆ 設置SSPEN位元可用於啓動SPI通訊模組。
- ◆ 設置CKP位元，決定傳輸完成後SCK所處電平狀態。
- ◆ 設置CKE位元，決定傳輸資料於SCK上升或下降緣。
- ◆ 設置SMP位元，決定輸入數據採樣時間點。(時脈中間或末尾取樣)。
- ◆ 設置SSPM[1:0]位元組，決定主動模式SCK頻率源或被動模式SCE引腳是否啓用。

透過配置SSPBUF暫存器決定傳輸資料或接受資料，SSPSTA暫存器則反映傳送及接收狀態：

- ◆ SPI傳送及接收暫存器由SSPBUF及 SSPSR暫存器所組成。
- ◆ SSPBUF會保持上次寫入SSPSR的數據，直到下一次接收到的數據準備好為止。當 8 位元資料接收完成後，該資料就會被移入SSPBUF暫存器中，而SSPSTA暫存器中BF位元及INTF2 暫存器中SSPIF位元將會被設置為 1。
- ◆ 雙重暫存器將可以允許在讀取該筆接收資料(Read SSPBUF)的同時，接收下一筆資料在SSPSR暫存器中。當資料接收時，應先判斷SSPSTA暫存器BF位元是否被設置為 1，若為 1 則表示SSPBUF中有接收完成的資料但卻未被使用者讀取，使用者應先讀取SSPBUF資料，讀取後BF位元將被硬體自動清除為 0。若使用者在BF被設置為 1 的情形下，卻未讀取SSPBUF的資料，當再次接收到資料時，SSPSTA暫存器SSPOV位元將會被設置為 1，而該筆資料將會遺失不會被寫入到SSPBUF暫存器中。
- ◆ 當資料在傳送時SSPSTA暫存器SSPBUI位元將被設置為 1，任何寫入SSPBUF暫存器的動作都會被忽略。傳送資料完成後，SSPBUI位元將自動被清為 0。
- ◆ 當SPI為主動模式時，則可以不理會SSPBUF暫存器所接收的數值，只須寫入欲傳送資料即可。

21.2 SPI主動模式

SPI設定為主動模式時，可以隨時啓動資料傳輸動作，只要在資料被寫入SSPBUF暫存器時，資料就會透過SDO引腳搭配SCK時脈源輸出。

此時若接收資料模組同為SPI模組時，可以將SPI被動模組SDO引腳配置為輸入腳位，則不會傳回失效資料給主動模組。若接收模組須同步傳回資料給主動模組，則可將被動模組SDO引腳配置為輸出腳位，則主動模組SDI引腳則會連續接收到移入資料，等接收完成後，會將資料寫入SSPBUF暫存器中，並且相對應的SSPSTA暫存器BF位元及INTF2 暫存器中SSPIF位元將會被設置為 1。

同時可以透過SSPCON1 暫存器SSPM[1:0]位元組來設定主動模組頻率源，並透過CKE, CKP位元設定值來決定時脈源的極性。

主動模式配置說明：

- ◆ 驅動引腳設定：使用引腳為SCK(時鐘輸出), SDI(資料輸入), SDO(資料輸出)
 - 須先正確設定I/O引腳輸出入功能，及SCK，SDO輸出模組功能。
- ◆ 配置SSPCON1 暫存器達SPI功能控制位元
 - 設置CKP位元，決定傳輸完成後SCK所處電平狀態。
 - 設置CKE位元，決定傳輸資料於SCK上升或下降緣。
 - 設置SMP位元，決定輸入數據採樣時間點。(時脈中間或末尾取樣)。
 - 設置SSPM[1:0]位元組，決定主動模式SCK頻率源。
 - 設置SSPEN位元可用於啟動SPI通訊模組。
- ◆ 配置SSPBUF暫存器決定傳輸資料，SSPSTA暫存器則反映傳送狀態
 - SPI傳送暫存器由SSPBUF及 SSPSR暫存器所組成。
 - 當資料寫入SSPBUF後，硬體動作會將SSPBUF資料搬移到SSPSR暫存器中，並將SSPSR資料隨SCK時脈源送出。
 - 當資料傳送出去之後，SSPSR會同步接收到SDI引腳上的資料輸入，並在接收完成後，硬體動作會將SSPSR內的資料搬移到SSPBUF中。可透過BF旗標判斷是否接收完成。
 - SSPBUF會保持上次從SSPSR所接收到的數據，直到下一次接收到的數據準備好為止。
 - 當 8 位元資料接收完成後，該資料就會被移入SSPBUF暫存器中，而INTF2 暫存器中SSPIF位元將在SCK傳送完成 8 個位元資料後，會被設置為 1。而SSPSTA暫存器中BF位元將在資料接收完成並由硬體搬移到SSPBUF後被設置為 1。
 - 當資料在傳送時SSPSTA暫存器SSPBUY位元將被設置為 1, 任何寫入SSPBUF暫存器的動作都會被忽略。傳送資料完成後，SSPBUY位元將自動被清為 0。
 - 當SPI為主動模式時，則可以不理會SSPBUF暫存器所接收的數值，只須寫入欲傳送資料即可。若SSPBUF所接收的數值可使用時，使用者應自行將資料搬移後，再寫入欲送的資料。

相關配置可見下圖說明：

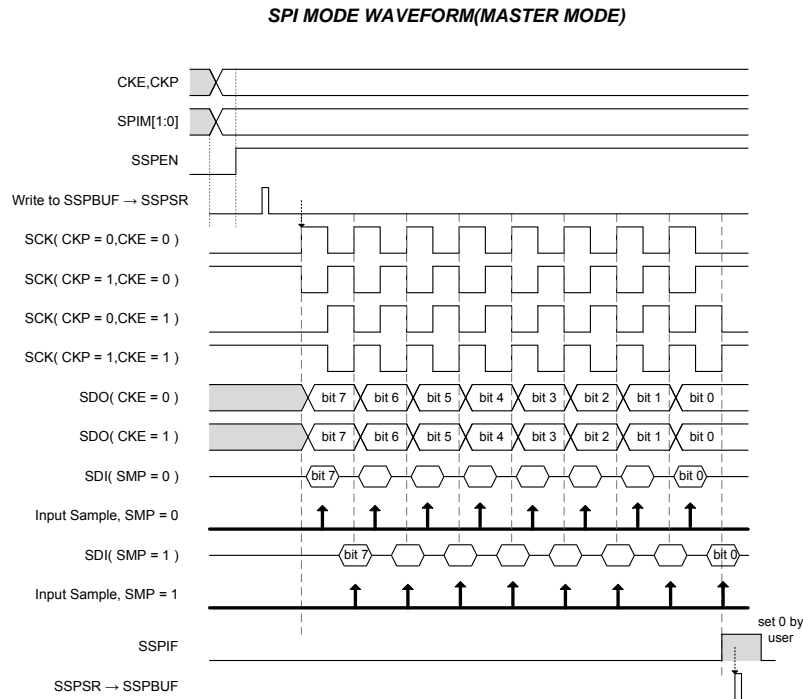


圖 21-2 SPI 主動模組時序波形

21.3 SPI被動模式

被動模組下，SCK時脈源由外部所提供，且SCK引腳必須處於空閑狀態，並須將SCK引腳配置為輸入腳位。在搭配主動模組時脈源極性設定時，可以透過CKE, CKP位元設定值來決定被動模組時脈源的極性。

被動模式配置說明：

- ◆ 驅動引腳設定：使用引腳為SCK(時鐘輸入), SDI(資料輸入), SDO(資料輸出), SCE(同步資料接收致能)
 - 須先正確設定I/O引腳輸出入功能，及SDO輸出模組功能。
- ◆ 配置SSPCON1 暫存器達SPI功能控制位元
 - 設置CKP位元，決定傳輸完成後SCK所處電平狀態。
 - 設置CKE位元，決定傳輸資料於SCK上升或下降緣。
 - 設置SMP位元，決定輸入數據採樣時間點。(時脈中間或末尾取樣)
 - 設置SSPM[1:0]位元組，決定被動模式SCE引腳是否啟用。
 - 設置SSPEN位元可用於啟動SPI通訊模組。
- ◆ 透過配置SSPBUF暫存器決定接受與同步發送資料，SSPSTA暫存器則反映接收狀態
 - SPI接收暫存器由SSPBUF及 SSPSR暫存器所組成。
 - 接收資料前，應先將要同步發送的資料寫入SSPBUF中，等待主控端時脈源到達。
 - 即使不要同步發送資料，仍須完成寫入SSPBUF的動作，並建議寫入0FFh的資料。

- 寫入同步發送資料之後到主控端時脈源到達之前的時間需要延遲 5 個指令週期的時間，以利硬體將SSPBUF資料正確搬移到SSPSR暫存器中。
- 當主控端SCK時脈源輸入時，被動模組除擷取SDI輸入引腳資料外，仍會同步將SSPSR的資料由SDO引腳輸出給主控端。
- SSPBUF會保持上次接收到的SSPSR的數據，直到下一次接收到的數據準備好為止。
- 當 8 位元資料接收完成後，該資料就會被移入SSPBUF暫存器中，而INTF2 暫存器中SSPIF位元將在主控SCK傳送完成 8 個位元資料後，會被設置為 1。而SSPSTA暫存器中BF位元將在資料接收完成並由硬體搬移到SSPBUF後被設置為 1。
- 雙重暫存器將可以允許在讀取該筆接收資料(Read SSPBUF)的同時，接收下一筆資料在SSPSR暫存器中。當資料接收時，應先判斷SSPSTA暫存器BF位元是否被設置為 1，若為 1 則表示SSPBUF中有接收完成的資料但卻未被使用者讀取，使用者應先讀取SSPBUF資料，讀取後BF位元將被硬體自動清除為 0。若使用者在BF被設置為 1 的情形下，卻未讀取SSPBUF的資料，當再次接收到資料時，SSPSTA暫存器SSPOV位元將會被設置為 1，而該筆資料將會遺失不會被寫入到SSPBUF暫存器中。

相關配置可見下圖說明：

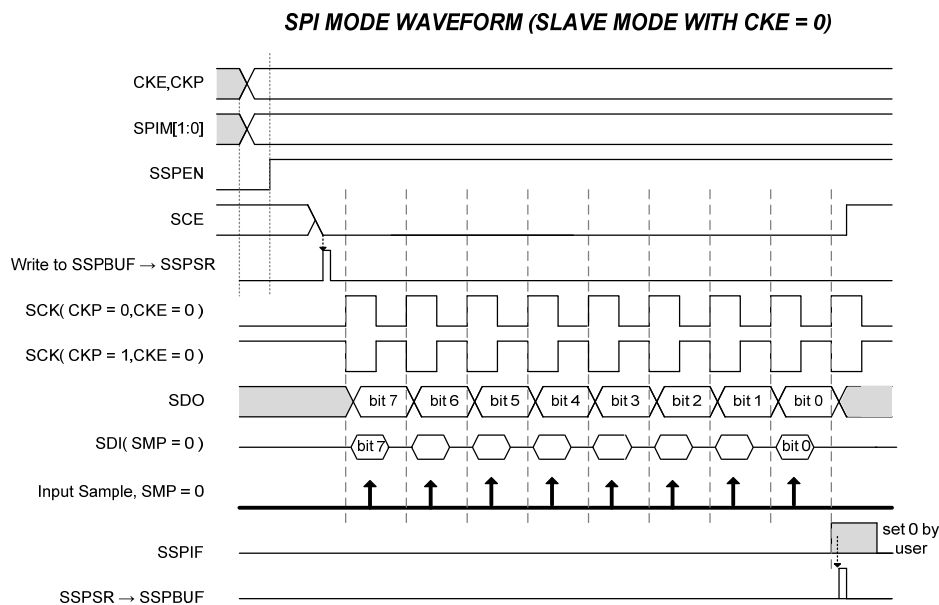


圖 21-3 SPI 被動模組時序波形(CKE=0)

SPI MODE WAVEFORM (SLAVE MODE WITH CKE = 1)

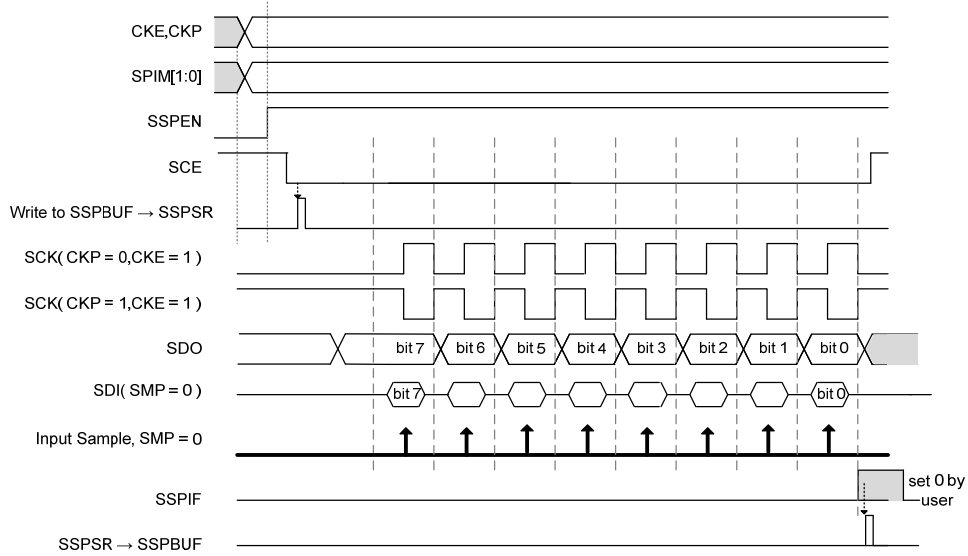


圖 21-4 SPI被動模組時序波形(CKE=1)

SPI MODE SLAVE SYNCHRONIZATION WAVEFORM

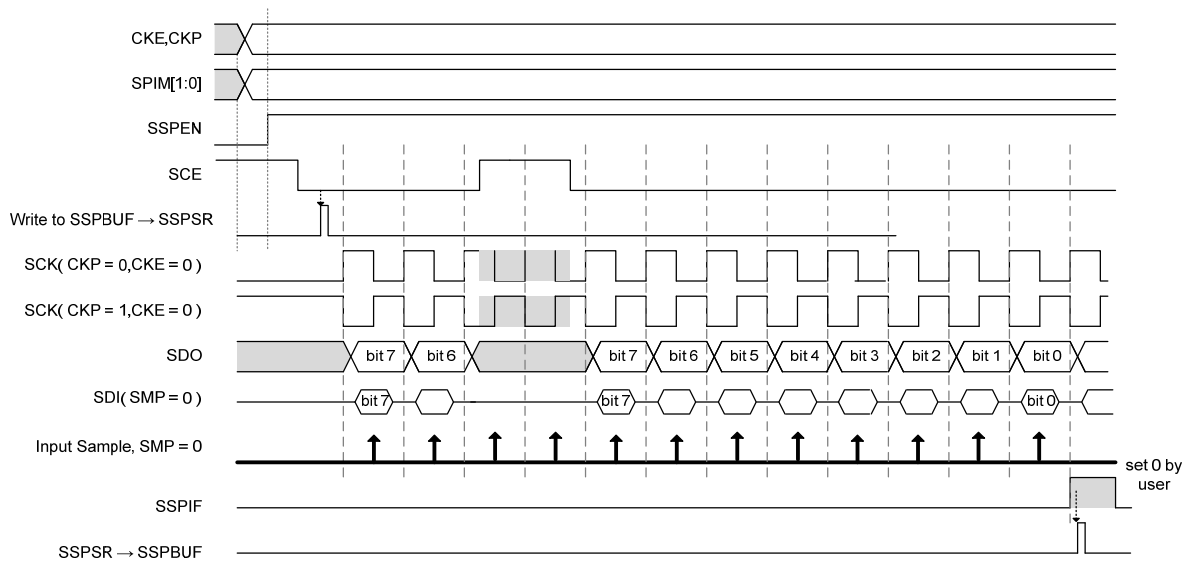


圖 21-5 SPI同步被動模組時序波形

在睡眠模式下(SLP MODE)，若已經啟動INTE2 暫存器SSPIE位元中斷致能，則在接收到一筆完整 8 位元資料後晶片將被喚醒。

被動模組中可以有控制另一隻引腳SCE，SCE引腳的配置允許達到被動同步模式，可以透過SSPCON1 暫存器SSPM[1:0]位元組達到該引腳設定。

當SCE引腳處於低電平時，資料可以作正常傳送及接收動作，同時SDO引腳可以正常驅動。在SCE處於高電平時，SDO輸出引腳將被懸空不被驅動。

21.4 SPI主動被動模組傳輸方式

下圖為兩組紘康處理器中SPI模組主動被動連接方式:

- ◆ 主動模組會將SSPBUF暫存器資料透過SSPSR移位暫存器做資料傳送，並透過SDO資料傳輸引腳輸出。傳送資料時，同步可以接收被動模組所傳回資料於SSPSR移位暫存器中，當接收完成後會將資料寫入SSPBUF暫存器中。
- ◆ 被動模組會將接收到的資料暫存於SSPSR移位暫存器中，待接收完成後才會將資料寫入SSPBUF暫存器中。

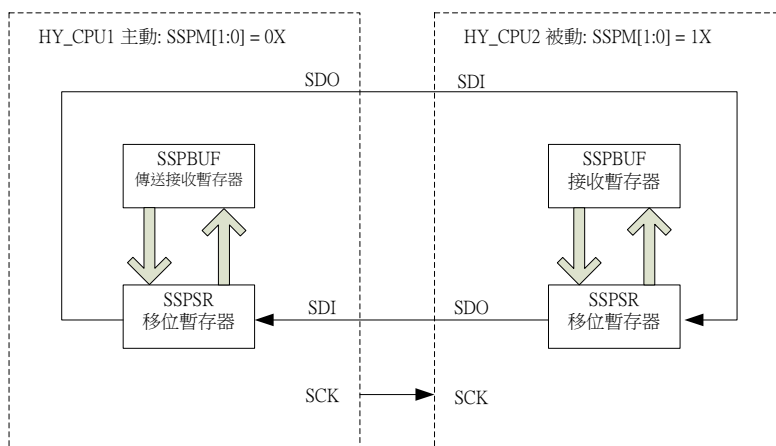


圖 21-6 兩組處理器SPI主動被動連接方式

CLRF	PT1DA,0	: 設定 PT16(SCK), PT15(SDO)為數位輸出腳位 : 設定 PT12(SDI)為數位輸入腳位
CLRF	PT1PU,0	
MVL	060H	
MVF	TRISC1,1,0	
MVL	00010100b	
MVF	PT1M2,1,0	: 設定 SCK, SDO 功能
BSF	INTE2,2,0	: 設置 SSPIE 中斷服務
MVL	080H	: 啓動 SPI 功能，設定頻率源為 CPU_CK
MVF	SSPCON1,1,0	: 設定為主動模組，配置 CKP, CKE 設定頻率源波形
MVL	055H	: 寫入主動模組欲傳送的資料
MVF	SSPBUF,1,0	
....		
SPI Interrupt :		: SPI 中斷事件服務程式
BCF	INTF2,SSPIF,0	: 清除 SPI 中斷事件旗標
BTSS	SSPSTA,BF,0	
RJ	SPI Interrupt	: 判斷同步接收被控模組所傳送資料是否已接收完成
MVFF	SSPBUF,BUF0	: 將從被動模組接收到資料搬移到 BUF0 暫存器
...		
RETI		: 中斷服務返回

範例 21-1 SPI主動模式範例程式


```

CLRF    PT1DA,0      : 設定 PT15(SDO)為數位輸出腳位
          : 設定 PT16(SCK), PT12(SDI)為數位輸入腳位

CLRF    PT1PU,0
MVL     020H         : PT1.5 ( SDO),PT.6(SCK),PT1.2(SDI),PT1.1(SCE)
MVF     TRISC1,1,0
MVL     00000100b    : 設定 SDO 功能
MVF     PT1M2,1,0
BSF     INTE2,SSPIE,0 : 使能 SPI 中斷
MVL     11000011b    : 啓動 SPI,下降緣數據發送
MVF     SSPCON1,1,0  : 設為被動模式並啓動 SCE 引腳控制功能
MVF     SSPBUF,0,0   : 讀出 SPI 緩衝區的值
CLRF    SSPSTA,0
MVL     05Ah         : 往 SSPBUF 寫入資料準備同步發送數據
MVF     SSPBUF,1,0
NOP
.....

SPI_interrupt:
BCF     INTF2,SSPIF,0
BTSS    SSPSTA,BF,0
RJ      SPI_Interrupt : 判斷資料是否已接收完成
MVFF    SSPBUF,BUF0   : 存取主機端發過來的數據
BTSZ    SSPSTA, BF,0
RJ      SPI_InterruptA : 判斷接收同時，是否有另一筆資料又再輸入
BTSZ    SSPSTA, SSPOV,0
RJ      SPI_InterruptB : 判斷資料是否溢出
BCF     SSPSTA, SSPOV,0      : 若有衝突須清除
MVL     069h               : 往 SSPBUF 寫入一個數據，
          : 準備接收主機發過來的下筆資料時，同步發送出去
          : 若不需同步發送，請填 0FFh 資料
MVF     SSPBUF,1,0         : SSPBUF 這個寫入的數值為同步發送出去的數值

SPI_InterruptA:
...

SPI_InterruptB:
...

RETI

```

範例 21-2 SPI被動模式範例程式

21.5 暫存器說明-SPI

“-”no use, “r”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1												
“.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W
23H	INTE1	GIE	ADGIE	TMGIE	TMGIE	TMGIE	WDTIE	ETIE	ETIE	0000 0000	0000 0000	*****
24H	INTE2						SSPIE			00.. 0000	00.. 0000	*..*
27H	INTF2	DMF	ROIF			SR0IF	SSPIF	CR0IF	CR0IF	00.. 0000	00.. 0000	*****
5EH	SSPCON1	SSPEN	CKP	CKE	SMP			SSPM<1:0>		0000 ..00	uuuu ..uu	*****
60H	SSPSTA	SSPBUY	SSPOV					BF		00.. ...0	00.. ...0	r,r,-,-,-,-,f
61H	SSPBUF	SSP Receive Buffer/Transmit Register								xxxx xxxx	uuuu uuuu	*****

表 21-1 SPI Register

SSPCON1: SPI 控制暫存器

SSPEN : SPI 串行端口功能致能位元

- 1 : 啟動SPI 串行端口，並將SCK, SDO, SDI SCE 引腳組態為串行端口使用
 - 0 : 關閉SPI 串行端口，並將SCK, SDO, SDI SCE 引腳組態為I/O 使用
- 註：當啟動SPI 串行端口之後，須適當配置輸入或輸出腳位使用。

CKP : SPI 時脈源極性選擇位元

- 1 : 時脈源高電平為空閒狀態
- 0 : 時脈源低電平為空閒狀態

CKE : SPI 時脈源選擇位元

- 1 : 當時脈從有效狀態變成空閒狀態時發送
 - 0 : 當時脈從空閒狀態變成有效狀態時發送
- 註：時脈源極性由CKP bit (SSPCON1<6>) 決定

SMP : SPI 採樣位元

SPI 主動模式:

- 1 : 在資料輸出時間的末端採樣輸入資料
- 0 : 在資料輸出時間的中間採樣輸入資料

SPI 被動模式:

被動模式下，使用者須將SMP BIT 清為 0

SSPM[1:0] : SPI 模式選擇位元組

- 00 : SPI 主動模式，時脈源 = LS_CK
- 01 : SPI 主動模式，時脈源 = CPU_CK
- 10 : SPI 被動模式，時脈源 = SCK 引腳，SCE 引腳控制功能關閉，SCE 引腳組態為I/O 使用
- 11 : SPI 被動模式，時脈源 = SCK 引腳，SCE 引腳控制功能啟動

“-” no use, “*” read/write, “w” write, “r” read, “r0” only read 0, “r1” only read 1, “w0” only write 0, “w1” only write 1													
“.” unimplemented bit, “x” unknown, “u” unchanged, “d” depends on condition													
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	i-RESET	R/W	
23H	INTE1	GIE	ADCIE	TMCIE	TMBIE	TMAIE	WDTIE	E1IE	E0IE	0000 0000	0000 0000	*****	
24H	INTE2						SSPIE			00.. 0000	00.. 0000	*,*,*,*,*,*	
27H	INTF2	TXIF	RCIF			CPOIF	SSPIF	CCP1IF	CCP0IF	00.. 0000	00.. 0000	*,*,*,*,*,*	
5EH	SSPCON1	SSPEN	CKP	CKE	SMP			SSPM<1:0>		0000 ..00	uuuu ..uu	*,*,*,*,*,*	
60H	SSPSTA	SSPBUY	SSPOV						BF	00.. ...0	00... ..0	r,r,r,r,r,r,r	
61H	SSPBUF	SSP Receive Buffer/Transmit Register									xxxx xxxx	uuuu uuuu	*,*,*,*,*,*

SSPSTA : SPI 狀態暫存器

SSPBUY : SPI寫入衝突位元檢測(僅供傳送資料使用)

- 1 : 當資料仍然在傳送狀態
- 0 : 未發生衝突

SSPOV : SPI接收溢出旗標位元

SPI 被動模式:

- 1 : SSPBUF已經保持著上一筆資料，而繼續接收到一筆新資料，一旦SSPSR溢出，其SSPSR暫存器中的資料將會遺失。SSPOV只發生在被動模式下，即使只是發送資料，使用者也必須讀取SSPBUF暫存器，以避免SSPOV被設置為 1。(須用指令清除)
- 0 : 未發生溢位狀態

註: 在主動模式下，SSPOV位元將不會被設置為 1，因每次傳送(接收)資料都需要寫入SSPBUF暫存器。

BF : 緩衝器滿狀態位元 (僅供接收資料使用)

- 1 : 接收完成，SSPBUF已滿
- 0 : 接收未完成，SSPBUF為空

SSPBUF : SPI 接收緩衝暫存器或是傳送暫存器

22 非同步串列通訊介面,Enhanced Universal Asynchronous Receiver Transmitter

增強型非同步收發器Enhanced Universal Asynchronous Receiver Transmitter,EUART週邊通常也稱為串列通信介面或SCI，EUART可以被配置為能與CRT終端和個人電腦等外設通信的全雙工非同步系統；也可以被配置成能夠與A/D或D/A積體電路、串列EEPROM等外設通信的半雙工同步系統。

增強型EUART是在標準型UART的基礎上增加了幀(Frame)錯誤檢測和自動位址識別兩種功能，幀錯誤檢測通過檢測一幀資訊的停止位元來判斷該幀是否有效。自動位址識別功能自動將收到的位址幀內容與單片機的位址進行比較，只有匹配時才產生串列中斷。此版的這兩個功能前者由內置硬體電路完成後者由使用者軟體達成。

EUART可以配置為以下幾種工作及偵錯模式：

- ◆ 帶有以下功能的全雙工非同步模式：
 - 傳輸速率發生器
- ◆ 偵錯模式
 - 幀(Frame)錯誤檢測³⁰
 - 溢出(Overrun) 錯誤檢測³¹
 - 硬體同位元檢查碼
- ◆ 資料傳輸與接收
 - 非同步發送(8 位或 9 位)
 - 非同步接收(8 位或 9 位)
- ◆ 字元接收自動喚醒功能

EUART暫存器計有：

URCON	ENSP[0],ENTX[0],TX9[0],TX9D[0],PARITY[1:0]
URSTA	RC9D [0],PERR[0],FERR[0],OERR[0],RCIDL[0],TRMT[0],ABDOVF[0]
BAUDCON	ENCR[0],RC9[0],ENADD[0],ENABD[0]
BRGR[15:0]	BRGRH[7:0], BRGRL[7:0]
TXREG	TXREG[7:0]
RCREG	RCREG[7:0]

³⁰ 幀錯誤檢測(FERR)：UART 沒有收到起始位元，亦即收到不知從何時開始到何時結束的訊號時稱之：這通常由訊號線上的雜訊引起，會使 UART 無法在移位暫存器上得到正確資料。

³¹ 溢出錯誤檢測(OERR)：最近的一筆資料已覆蓋先前未取走的資料。

22.1 EUART使用說明

22.1.1 非同步資料發送設置步驟

- 配置TRISC1 暫存器，設定TX為輸出引腳；配置PT1M2 暫存器，設定為TX引腳輸出模式。
- 配置INTE2 暫存器TXIE位元及INTE1 暫存器GIE位元決定是否允許傳送中斷致能。(INTF2 暫存器TXIF位元預設為High，相關中斷致能須確定後再設定)。
- 配置BRGRH, BRGRL暫存器，決定合適的鮑率值。
- 配置URCON暫存器ENSP位元啟動EUART串列I/O模組。
- 配置URCON暫存器TX9 位元決定是否啟動第 9 位資料發送功能。(若啟動第 9 位資料發送功能，則須將該資料填入TX9D位元中。第 9 位位元可以是位址或是資料)。
- 配置URCON暫存器ENTX位元啟動資料傳送功能。
- 寫入TXREG暫存器，決定傳送資料。(寫入後啟動發送)

22.1.2 非同步資料接收設置步驟

- 配置TRISC1 暫存器，設定RC為輸入引腳。
- 配置INTE2,暫存器RCIE位元及INTE1 暫存器GIE位元決定是否允許接收中斷致能。
- 配置BRGRH, BRGRL暫存器，決定合適的鮑率值。
- 配置URCON暫存器ENSP位元啟動EUART串列I/O模組。
- 配置BAUDCON暫存器RC9 位元決定是否啟動第 9 位資料接收功能。
- 配置BAUDCON暫存器ENCR位元啟動資料接收功能。
- 讀取URSTA暫存器RC9D位元用以擷取接收資料第 9 位數據(RC9 設置情形下)，並判斷接收過程是否發生錯誤。
- 讀取RCREG暫存器用以擷取接收資料共 8 位數據。
- 讀取URSTA暫存器FERR位元是否被設置，確定讀取資料是否錯誤，可透過清除ENCR位解除FERR位元。

22.1.3 非同步資料接收(9 位元, RS-485 模式) 設置步驟

- 配置TRISC1 暫存器，設定RC為輸入引腳。
- 配置BRGRH, BRGRL暫存器，決定合適的鮑率值。
- 配置URCON暫存器ENSP位元啟動EUART串列I/O模組。
- 配置BAUDCON暫存器RC9 位元否啟動第 9 位資料接收功能。
- 配置BAUDCON暫存器ENADD位元致能位址檢測功能。
- 配置BAUDCON暫存器ENCR位元啟動資料接收功能。
- 配置INTE2,暫存器RCIE位元及INTE1 暫存器GIE位元決定是否允許接收中斷致能。當資料接收完成時RCIF位元將被設置。
- 讀取URSTA暫存器RC9D位元用以擷取接收資料第 9 位數據(RC9 設置情形下)，並判斷接收過程是否發生錯誤。
- 讀取RCREG暫存器用以擷取接收資料共 8 位數據。
- 讀取URSTA暫存器FERR位元是否被設置，確定讀取資料是否錯誤，可透過清除ENCR位解除FERR位元。
- 配置BAUDCON暫存器ENADD位元用以關閉位址檢測，使得下一筆資料接收。

22.2 串列傳輸鮑率發生器 (BRG)

BRG 是一個專用的 13 位元發生器，支援 EUART的非同步模式。BRGR[15:0] 暫存器是一個獨立運行計時器的週期控制器。表 22-1 為串列傳輸鮑率計算公式，但僅適用於主控模式。

在給定目標串列傳輸鮑率且工作時脈為OSC_HAO的情況下，可以使用 表 22-1 中的公式計算BRGR[15:0]暫存器中的近似整數值，從而確定串列傳輸鮑率誤差。範例 21-1 描述出串列傳輸鮑率與誤差率的計算方式。

BRG/EUART MODE	串列傳輸鮑率計算公式
13 位元/非同步	$OSC_HAO \div [4(n + 1)]$
OSC_HAO=工作頻率； n = BRGRH:BRGRL 暫存器對的值	

表 22-1 串列傳輸鮑率公式

工作在非同步模式下，其工作頻率為 OSC_HAO(2MHz)，而目標串列傳輸速率為 9600bps。求解 BRGR[15:0]=< ? >即 BRGRH[7:0]:BRGRL[7:0]=< ? >

已知公式：目標串列傳輸速率 = OSC_HAO ÷ (4 (<BRGR[15:0]>+1))：

故 BRGR[15:0]=((OSC_HAO ÷ 目標串列傳輸速率) ÷ 4)-1

$$= ((2000000 \div 9600) \div 4) - 1$$
$$= 51.08$$

≈ 51 即 BRGRH[7:0]=<00>，BRGRL[7:0]=<33>；註 33 為 16 進制

而實際上 BRG 計算結果為：實際串列傳輸速率 = 2000000 ÷ 4(51+1)) = 9615.38

所以存在一定誤差，其計算方式為：

誤差率 = (實際串列傳輸速率 - 目標串列傳輸速率) / 目標串列傳輸速率

$$= (9615 - 9600) / 9600$$
$$= 0.16\%$$

範例 22-1 計算串列傳輸速率誤差

22.2.1 功耗管理模式下的操作

晶片時脈用於產生所需的串列傳輸速率。當進入一種功耗管理模式時，新時脈源可能會工作在一個不同的頻率下。這可能需要調整 BRGR[15:0] 暫存器中的值。

22.2.2 RC取樣方式

取樣電路會在傳輸速率週期的中心點進行取樣，以判定 RC 引腳上出現的是高電位還是低電位。

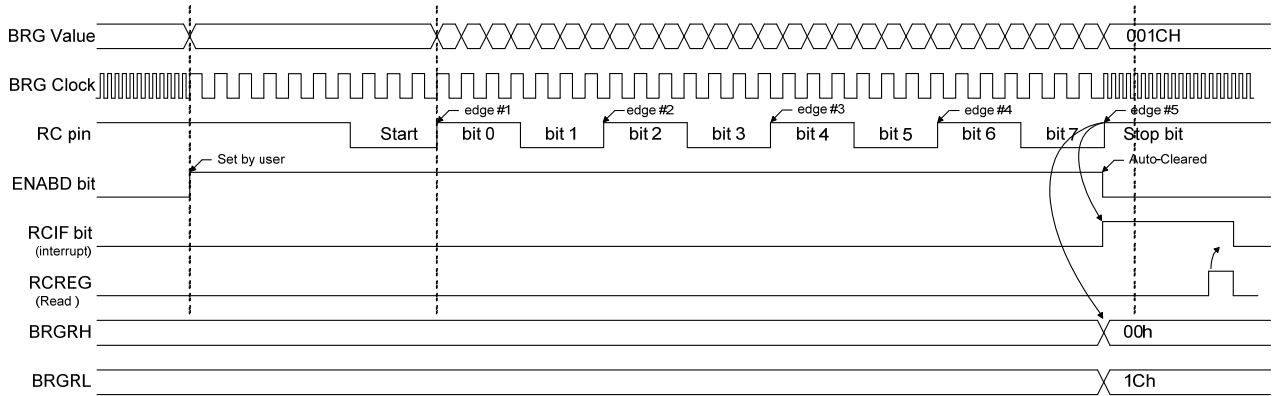
22.2.3 自動速率

EUART 模組支援自動檢測和校準功能，亦可稱之為自動速率。自動速率必須在喚醒啟用控制器 WUE[0] 設置 0 時才有效，並將自動速率啟用控制器 ENABD[0] 設置 1 即可啟用。

在接收到開始狀態後，即開始進行自動波特率檢測功能(接收值必須為 055H)。在自動檢測和校準完成後會將計算出了結果寫入 BRGRH[7:0] 與 BRGRL[7:0]，相關時序如圖 22-1。

當 BRGR[15:0] 計算滿出時即其內容由 01FFFH 到 00000H 產生溢位，則自動包率溢位旗標 ABDOVF[0] 會被置 1，使用者可以利用指令將 ABDOVF[0] 設置 0 或透過 ENABD[0] 設置 0 以讓 ABDOVF[0] 置 0。在 ABDOVF[0] 置 1 後，ENABD[0] 的狀態仍會保持在 1，相關時序如圖 22-2。

Automatic BAUD rate calculation



Note : The ABD sequence requires the EUART module to be configured in WUE = 0

圖 22-1 自動鮑率計算波形

BRG Overflow Sequence

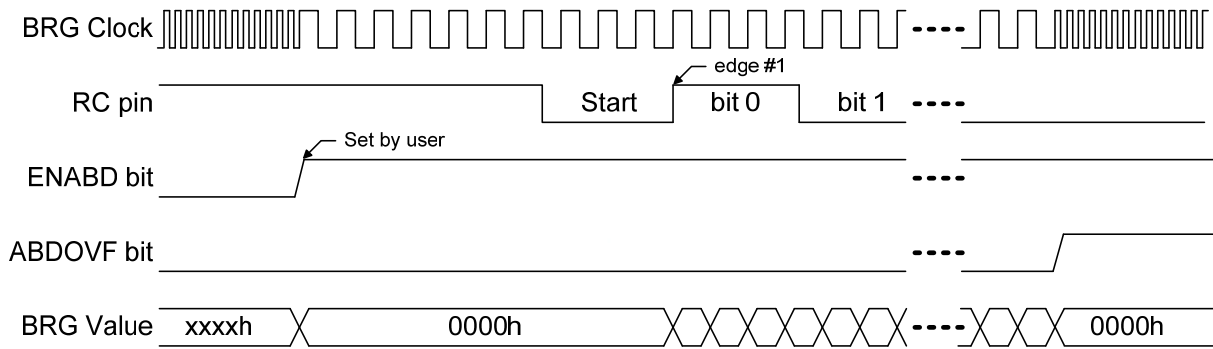


圖 22-2 自動鮑率溢位(ABDOVF)波形

22.3 硬體同位元檢查

EUART支援硬體奇偶校驗功能，校驗位元保存在第9個資料位元中。使用時依使用者暫存器設定而進行同位元檢查(ENADD[0]=0)，相關設定如表 22-2

傳送/接收 8/9 位元資料		PARITY	狀態
TX9	RC9		
0	0	0	傳送/接收資料無同位元檢查訊息
0	0	1	傳送/接收資料無同位元檢查訊息
0	1	0	接收資料具同位元檢查功能，偶同位
0	1	1	接收資料具同位元檢查功能，奇同位
1	0	0	傳送資料具同位元檢查碼，偶同位
1	0	1	傳送資料具同位元檢查碼，奇同位
1	1	0	
1	1	1	

註：當RC9[0]設置1時，啟用同位元檢查功能而當奇偶同位錯誤時PERR[0]置1。
 假使RC9[0]與ENADD[0]同時設置1，則忽略PERR[0]錯誤位元的值。

表 22-2 同位元檢查狀態表

22.4 EUART非同步模式

此模式使用標準的“不歸零”(Non-Return-to-Zero, NRZ)格式，即是1個起始位元加上8個或9個資料位元最後為1個停止位，最常用的資料格式為8位元。而晶片上專用13位元串列傳輸速率發生器，可借助於工作時脈振盪器產生標準串列傳輸速率頻率。

再者，EUART首先發送和接收的資料是最低有效位，發送器和接收器在功能上是各自獨立的，但採用相同的資料格式和串列傳輸速率。其更支援硬體奇偶校驗功能，校驗位元會保存在第9個資料位元中。

22.4.1 EUART 非同步發送器 (UART TXIF/RCIF flag 由 0->1 發生中斷)

圖 22-3 為EUART發送器的時序圖，發送器的核心是以串列方式發送移位暫存器 (Transmit Shift Register, TSR) 內的資料，而使用者是無法讀/寫TSR。

TSR從讀/寫發送緩衝暫存器TXREG[7:0]中獲取資料。TXREG[7:0]暫存器中的資料由軟體寫入，在前一次載入的停止位發送完成前，不會再向 TSR 暫存器載入資料；一旦停止位元發送完畢，TXREG 暫存器中的新資料（如果有的話）就會被載入 TSR。一旦 TXREG 暫存器向 TSR 暫存器傳輸了資料，TXREG 暫存器就為空（未再次有寫入動作），同時標誌位元 TXIF 由 1 置 0（當URCON暫存器ENTX位元被設置之後，TXIF位元將被設置為 1）。而TXIF 不會在 TXREG 裝入新資料時立即被清零，而是在裝入新資料後的第二個指令週期被清零。當TXIF被置 0 之後，會在一個指令週期後再被置 1。可以通過將中斷允許位 TXIE 置 1 或清零來 允許/禁止該中斷。不管 TXIE 的狀態如何，只要中斷發生，TXIF 就會由 1 置 0 並且不能由軟體清零，並且會在一個指令週期後再被置 1。倘若此時TSR暫存器內的資料尚未發送完畢，TXREG暫存器又被寫入資料，則在裝入新資料後的第二個指令週期後TXIF會再被清零並維持到STOP BIT發生時才會被置 1。

因此在 TXREG 裝入新資料後立即查詢 TXIF，其回傳的值是不可參考。TXIF 表示的是 TXREG 暫存器的狀態，而另一個位元 TRMT 則表示 TSR 暫存器的狀態。TRMT 是唯讀位，它在 TSR 暫存器為空（未再次有載入動作）時被置 1。TRMT 位元與任何中斷邏輯均無關聯，因此要確定 TSR 暫存器是否為空，用戶只能對此位進行查詢。而資料非同步發送時序圖可參考下圖 22-4, 圖 22-5 說明

- UART動作除了讀寫以外，與CPU指令週期無關
- TXIF,RCIF表示中斷用途，與其他任何事件無關
- 要用CPU去檢視周邊元件時，須先注意相對操作速度

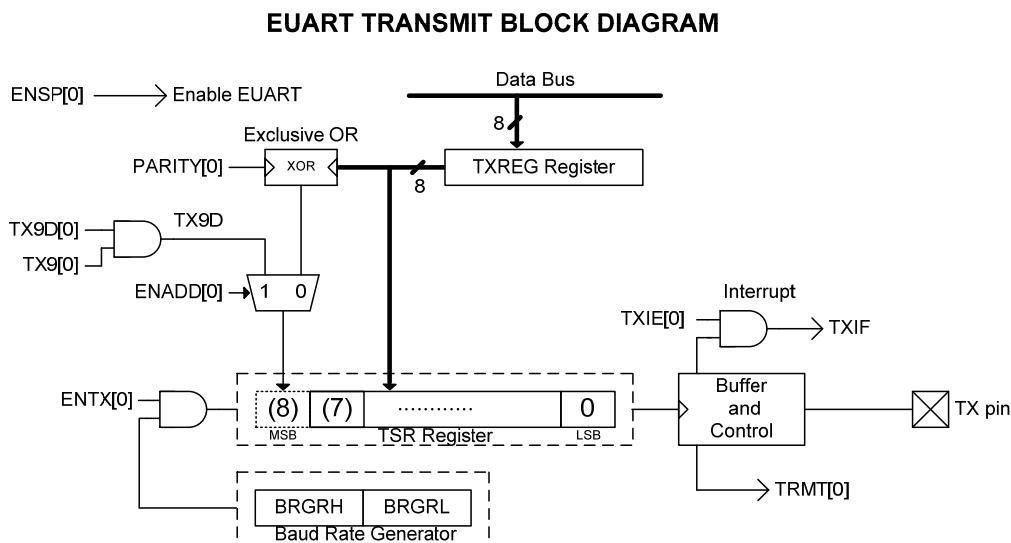


圖 22-3 EUART 傳送方塊圖

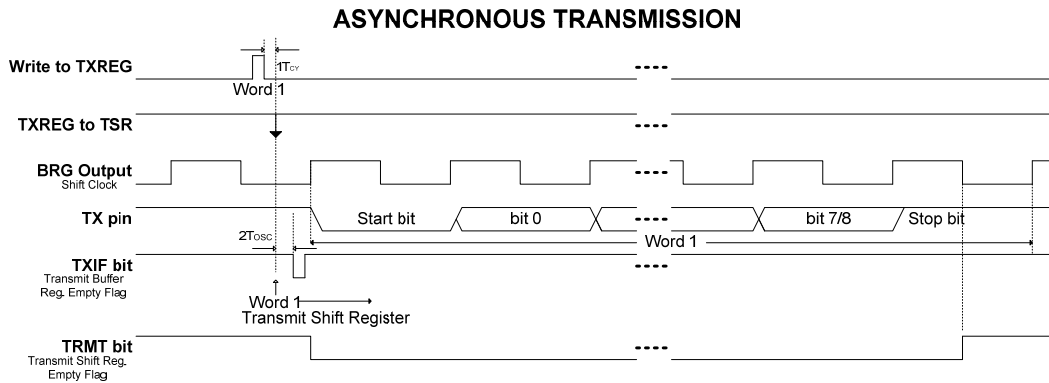


圖 22-4 非同步發送時序圖

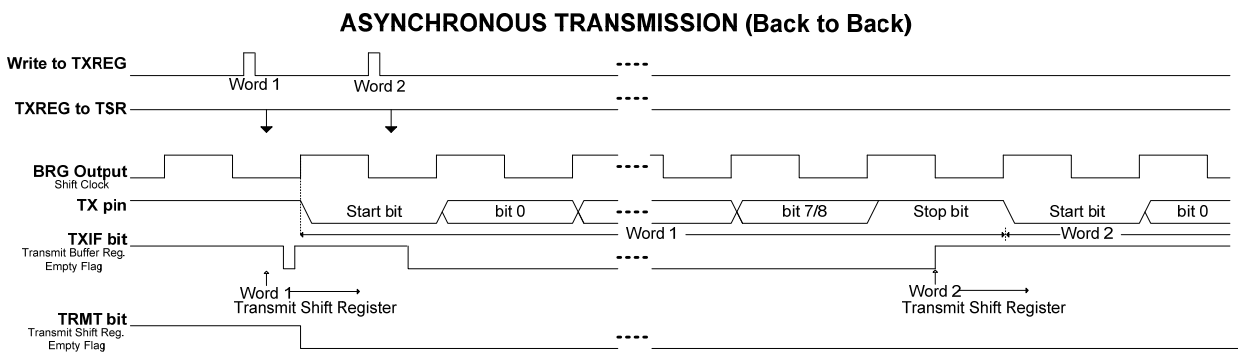


圖 22-5 非同步發送時序(背對背)

EUART 非同步接收器

圖 22-6、圖 22-7 顯示了接收器的方塊圖。圖 22-8 顯示了非同步接收時序。在 RC 引腳上接收資料，並驅動資料恢復電路。資料恢復電路實際上是一個以 13 位元串列傳輸速率為工作頻率的高速移位元器，而主接收串列移位元器的工作頻率等於速率或 OSC_RC2M。此模式通常用於 RS-232 系統。

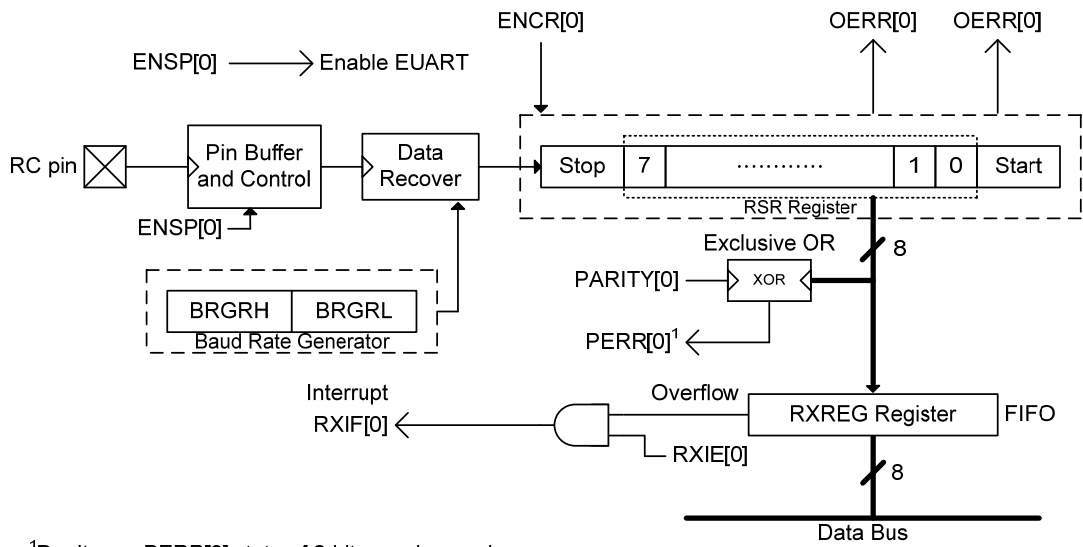
若RC引腳接收資料時未接收到完整位元組(開始、8(9)位元資料、結束)，FERR位元將被設置為 1，可透過清除ENCR位元清除FERR位元。

當RC引腳已經接收到 2 筆完整位元組資料後(皆未從RCREG暫存器中將資料讀出)，OERR位元將被設置為 1，可透過清除ENCR位元清除OERR位元。

當完整資料接收完成時，INTF2 暫存器RCIF位元將會被設置，而RCIF位元被設置時將無法使用指令進行清除，執行讀取RCREG暫存器的動作將可以清除RCIF狀態。

URSTA暫存器RCIDL位元反應是否處於接收狀態。使用者間接由此判斷資料接收是否完成。資料接收時，硬體將會針對接收的 8 位元資料進行互斥或運算(exclusive or)，若RC9 設置為 1 時，將針對包含接收到的RC9D資料(共 9 位元)進行互斥或運算(exclusive or)。運算後再與使用者設定的PARITY位元再次進行互斥或運算(exclusive or)，並將運算結果顯示在PERR位元。若接收資料正確，則PERR設定為 0. 若接收資料錯誤，則PERR設定為 1. PERR位元無法使用指令清除，在下一筆資料接收正確時，PERR將會被設置為 0.

EUART 8-BITS RECEIVE BLOCK DIAGRAM



¹Don't care PERR[0] state of 8-bits receive mode

圖 22-6 EUART 8-bits 接收方塊圖

EUART 9-BITS RECEIVE BLOCK DIAGRAM

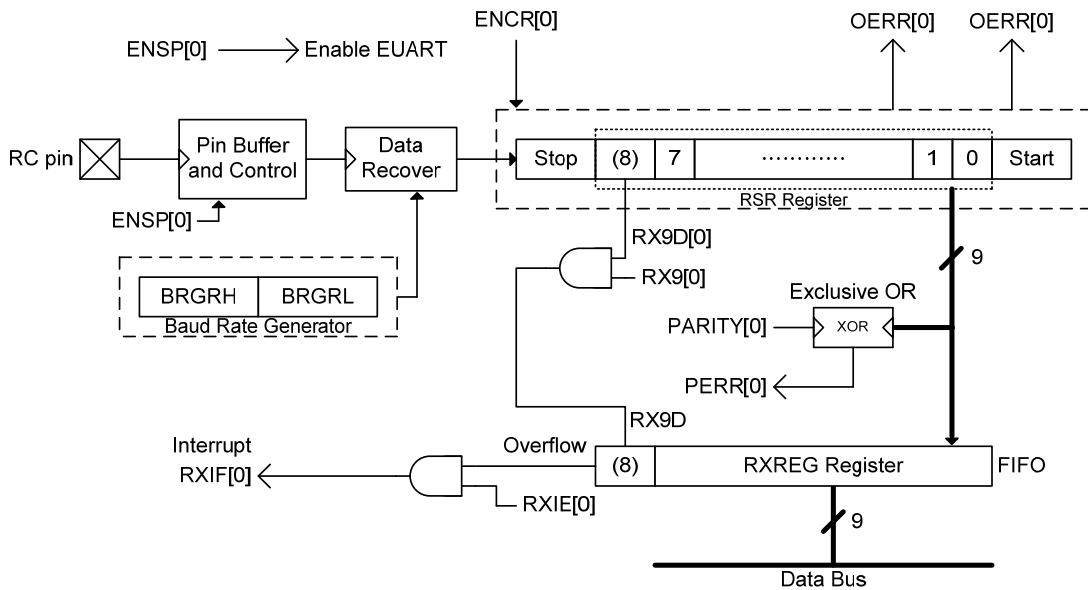


圖 22-7 EUART 9-bits 接收方塊圖

ASYNCHRONOUS RECEPTION

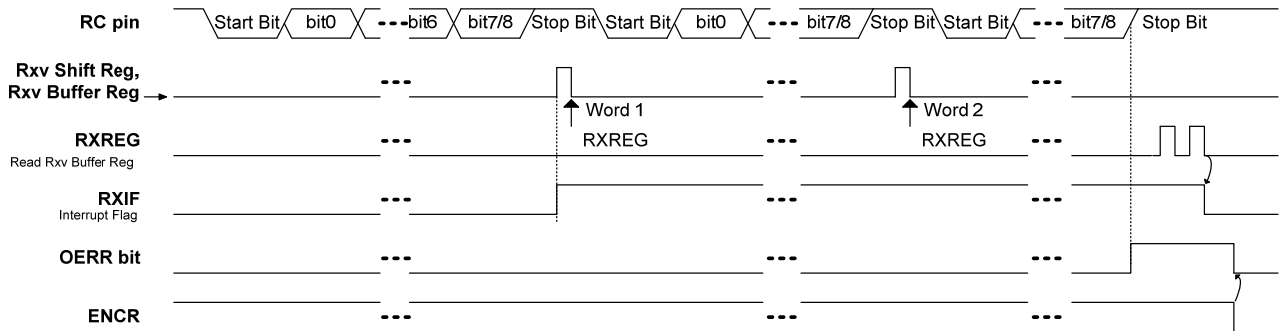


圖 22-8 非同步接收時序

位址檢測功能的 9 位元模式

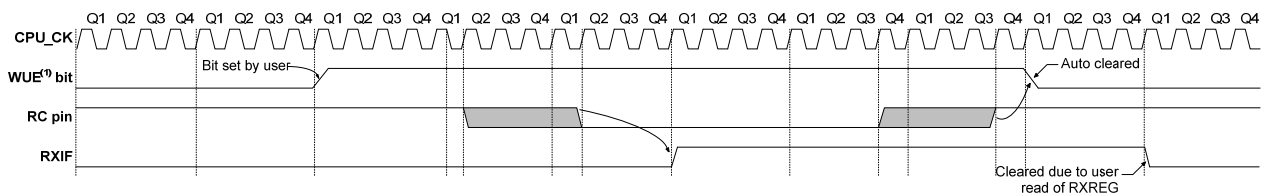
此模式通常用於 RS-485 系統。可依照EUART使用說明章節配置帶有位址檢測功能的非同步接收操作。使用者可透過BAUDCON暫存器ENADD位元設置決定為位址檢測或是資料檢測。

字元接收自動喚醒

在休眠(sleep)或等待 (idle) 模式下，EUART 的所有時脈源都會暫停。因此，串列傳輸速率發生器處於非啟動狀態(ILDE UART會動作)，並且無法進行正確的位元組接收。自動喚醒功能允許在 RC 線上有事件發生時喚醒控制器，該功能需要 EUART 工作在非同步模式下通過將 URCON暫存器WUE位元設置 1，致能自動喚醒功能。該功能啟用後，將禁止 RC 上的典型接收操作，且 EUART 保持在空閒狀態並監視喚醒事件（與CPU 運行模式無關）。喚醒事件是指 RC 線上發生高電位到低電位的轉換。在喚醒事件後，模組會產生一個 RCIF 中斷，在正常工作模式下中斷會與 Q 時脈同步產生，可參考下圖 22-9；如果晶片處於休眠或等待模式，則兩者不同步，可參考下圖 22-10 說明。通過讀 RCREG 寄存器可清除中斷條件。

喚醒事件後，當 RC 線上出現由低向高的電位轉換時，WUE 位自動清零。此時，EUART 模組將從空閒狀態返回正常工作模式。由此用戶可知事件已經結束。

AUTO-WAKE-UP BIT (WUE) TIMINGS DURING NORMAL OPERATION



Note : ⁽¹⁾ The EUART remains in Idle while the WUE bit is set.

圖 22-9 正常模式下自動喚醒時序

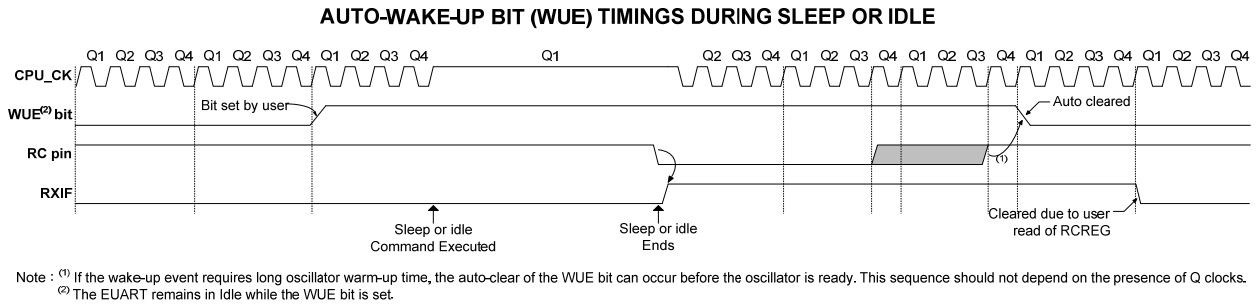


圖 22-10 休眠或等待模式下自動喚醒時序

使用自動喚醒功能的注意事項

因為自動喚醒功能是通過檢測 RC 上的上升沿跳變實現的，所以在停止位前該引腳上任何的狀態改變都可能會產生錯誤的結束信號並導致資料或幀錯誤。因此，為了確保正確的傳輸，必須首先發送全 0 字元。對於標準的 RS-232 晶片，這可以是 00h (8 位元)。

另外還必須考慮振盪器起振時間，尤其在採用起振延遲較長的振盪器應用中更要注意這一點。或喚醒信號字元必須足夠長，並且跟有足夠長的時間間隔，以便使選定振盪器有充足的時間起振並保證 EUART 正確初始化。

使用WUE 位的注意事項

WUE 和 RCIF 事件的時序來判斷接收資料的有效性可能會引起混淆。如前所述，將 WUE 位置 1 會使 EUART 進入空間模式。喚醒事件會產生一個接收中斷，並將 RCIF 位置 1。此後當 RC 出現上升沿時 WUE 位被清零。然後通過讀 RCREG 寄存器清除中斷條件。一般情況下，此時喚醒後RCREG 中的資料是無效資料，應該丟棄。WUE 位清零 (或仍然置 1) 且 RCIF 標誌位置 1 並不能表明 RCREG 中資料接收是完整的。用戶應該考慮使用固件驗證是否完整地接收了資料。要確保沒有丟失有效資料，應檢查 RCIDL 位元來驗證是否還在接收資料。如果不在進行接收，則可將 WUE 位置 1，使晶片立即進入休眠模式。

BSF	INTE2,6,0	: 設置RCIE接收中斷服務
CLRF	PT1DA,0	: 設定PT14(TX)為數位輸出腳位
		: 設定PT13(RX)為數位輸入腳位
MVL	010H	
MVF	TRISC1,1,0	
MVL	001H	
MVF	PT1M2,1,0	
MVL	000H	: 設定鮑率為9600hz
MVF	BRGRH,1,0	
MVL	033H	
MVF	BRGRL,1,0	
MVL	0F0H	: 啟動EUART功能， 啟動資料傳送， 啟動第9位元輸出
MVF	URCON,1,0	: 設定TX9D=1.設定同位元檢查碼為0.
MVL	00CH	: 啟動資料接收， 啟動第9位元接收， 第9位元為資料.
MVF	BAUDCON,1,0	
MVL	055H	: 寫入EUART欲傳送的資料
MVF	TXREG,1,0	
....		
RC Interrupt :		: 接收中斷事件服務程式
BTSZ	URSTA,5,0	: 判斷PERR位元是否為0,用以確定資料正確性
JMP	FAIL_LOOP	: 資料錯誤判斷迴圈
MVFF	RCREG,BUF0	: 將接收到資料搬移到BUF0暫存器
		: 並清除接收中斷事件旗標
MVFF	URSTA,BUF1	: 將接收到第9位元資料搬移到BUF1暫存器
....		
RETI		: 中斷服務返回
FAIL_LOOP:		: 資料接收錯誤迴圈
....		

圖 22-11 EUART範例程式

23 內建EPROM, Build-In EPROM

Build-In EPROM(BIE)適用於HY11P3 系列/HY11P4/HY11P5 系列，利用BIE功能儲存產品序號、安全密碼、程式運算後產生的數據資料...等，外部硬體僅需外接VBIE為 6V電壓於VPP/RST引腳，或使用低壓燒錄控制電路，並搭配燒錄指令使用此功能，儲存位址範圍00H~3FH共 64 words同等於 128 bytes。

Build-In EPROM(BIE)可分別支援H08A與H08B兩種核心處理器，H08A核心處理器所支援Build-In EPROM(BIE)晶片包含HY11P33/HY11P35/HY11P36/HY11P41/HY11P42/HY11P54...等晶片型號。H08B核心處理器所支援Build-In EPROM(BIE)晶片包含HY11P32/HY11P52/HY11P52B晶片型號。其中有部份晶片，如HY11P52/HY11P52B/HY11P54 晶片也可以另外支援低壓燒錄控制Build-In EPROM(BIE)功能。

當使用外部VBIE電源(6V)燒錄BIE區塊時，可以透過指令一次燒錄一個位元組(word)資料於BIE區塊內；當使用HY11P52 晶片啟動低壓燒錄控制電路時，則不需外接VBIE電源仍可燒錄BIE區塊，但須呼叫燒錄副程式(WR1WORDBIEDATA)才能進行燒錄；當使用HY11P54 晶片啟動低壓燒錄控制電路時，則不需外接VBIE電源仍可燒錄BIE區塊，但須呼叫燒錄副程式(WR5WORDBIEDATA)才能進行燒錄；每次呼叫燒錄副程式進行燒錄動作，僅能燒錄一個位元組(word)資料，所花費時間約 500msec。當使用HY11P52B晶片啟動低壓燒錄控制電路時，則不需外接VBIE電源仍可燒錄BIE區塊，但須呼叫燒錄副程式(LVWRBIE)才能進行燒錄；每次呼叫燒錄副程式進行燒錄動作，僅能燒錄一個位元組(word)資料，所花費時間約 150msec。注意事項：HY11P52/HY11P54 燒錄花費時間是以CPUCK=2MHZ來計算(CPUCLK=00b)，使用者需在呼叫燒錄副程式(WR1WORDBIEDATA, WR5WORDBIEDATA)時，需自行切換頻率源為CPUCLK=00b。若使用者設定CPUCLK=01b =2Mhz下呼叫該燒錄副程式，則所花費燒錄時間將長達約 1000msec。以下範例程序則分別針對不同核心處理器與低壓燒錄控制Build-In EPROM(BIE)功能進行說明。

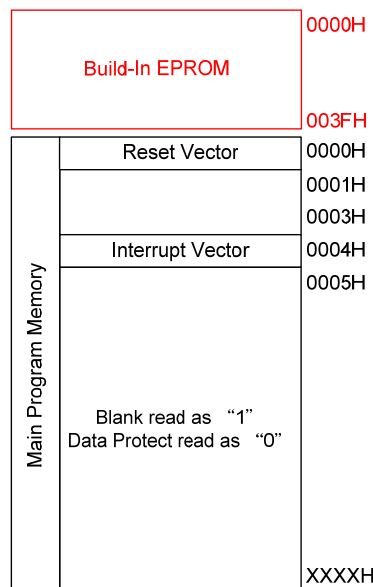


圖 23-1 Build-In EPROM架構

BIE暫存器摘要：

BIECTRL VPP_HIGH[0], **BIEWR**[0], **BIERD**[0]
BIEPTRL **BIE_ADDR**[5:0]
BIEDH **BIE_DATA**[15:8]
BIEDL **BIE_DATA**[7:0]

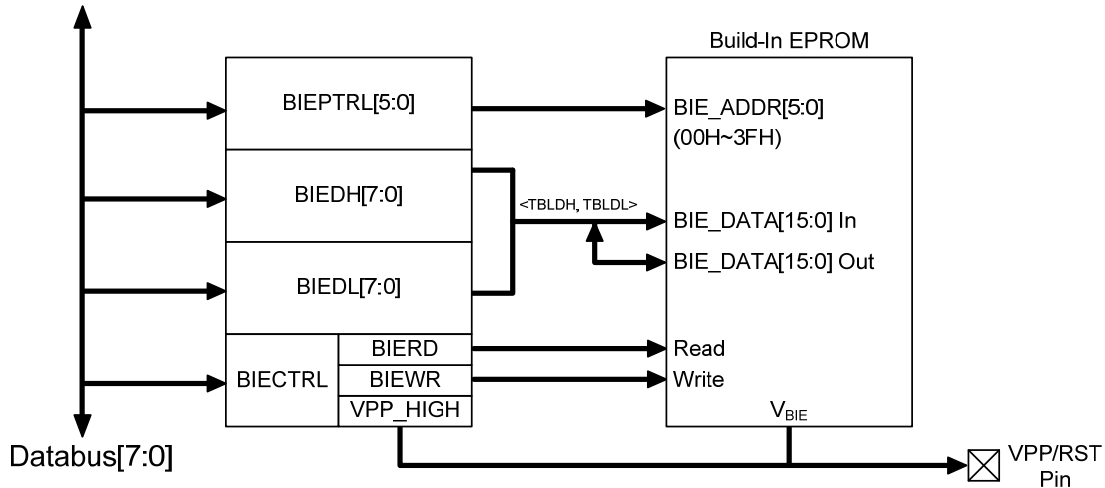


圖 23-2 BIE方塊圖

23.1 BIE使用說明：

23.1.1 讀取EPROM

- 使用者讀取EPROM時：
 - 設定**BIEPTRL** 為讀取之**BIE_ADDR** (最多到 3FH, **BIEPTRL**[7]=0、**BIEPTRL**[6]=0)
 - 讀取**BIEDH**, **BIEDL** 為**BIE_DATA**
 - BSF **BIECTRL**, **BIERD**,F
 - ◆ **BIE_ADDR**若超過 3FH則此指令無效
 - ◆ EPROM READ動作與**VBIE**電位無關，但不得為 0V
 - 判斷EPROM讀取完成後，**BIECTRL**[**BIERD**]是否自動清除為 0

注意事項:讀取EPROM前,先關閉ADC功能(**ADCCN1**[**ENADC**]=0b),則可增強ADC抗干擾能力。等待讀取EPROM完成後,再開啓ADC功能進行訊號測量。

23.1.2 寫入EPROM

- 使用者寫入EPROM前，先讀取VPP_HIGH以確定VBIE電壓是否正確。
- 使用者寫入EPROM時：
 - 設定**BIEPTL** 為寫入之**BIE_ADDR** (最多到 3FH，**BIEPTL**[7]=0、**BIEPTL**[6]=0)
 - 設定**BIEDH**, **BIEDL** 為寫入之**BIE_DATA**(不使用的Data Bit可設 1)
 - **BSF BIECTRL, BIEWR,F**
 - ◆ **BIE_ADDR**若超過 3FH則此指令無效
 - ◆ **VPP**若非 6V，則此指令無效
 - 等待判斷EPROM寫入完成後，**BIECTRL**[**BIEWR**]是否自動清除為 0
 - 耗電流會明顯增加許多，建議勿在ADC測試模式之間去做寫入EPROM的動作。

注意事項:寫入EPROM前，先關閉ADC功能(**ADCCN1**[**ENADC**]=0b)，則可增強ADC抗干擾能力。等待寫入EPROM完成後，再開啓ADC功能進行訊號測量。

23.1.3 讀取EPROM (HY11P52/HY11P52B/HY11P54 only)

- 使用者讀取EPROM時：
 - 設定**BIEPTRH** [7]=1b, 啓動BIE區塊讀取功能；
 - 設定**BIEPTL** 為讀取之**BIE_ADDR** (最多到 3FH，**BIEPTL**[7]=0、**BIEPTL**[6]=0)
 - 讀取**BIEDH**, **BIEDL** 為**BIE_DATA**
 - **BSF BIECTRL, BIERD,F**
 - ◆ **BIE_ADDR**若超過 3FH則此指令無效
 - ◆ EPROM READ動作與VBIE電位無關，但不得為 0V
 - 判斷EPROM讀取完成後，**BIECTRL**[**BIERD**]是否自動清除為 0

注意事項:讀取EPROM前，先關閉ADC功能(**ADCCN1**[**ENADC**]=0b)，則可增強ADC抗干擾能力。等待讀取EPROM完成後，再開啓ADC功能進行訊號測量。

23.1.4 寫入EPROM (HY11P52/HY11P52B/HY11P54 only)

- 使用者寫入EPROM時：
 - 設定**BIEPTRH** [7]=1b, 啓動BIE區塊寫入功能；
 - 設定**BIEPTL** 為寫入之**BIE_ADDR** (最多到 3FH，**BIEPTL**[7]=0、**BIEPTL**[6]=0)
 - 設定**BIEDH**, **BIEDL** 為寫入之**BIE_DATA**(不使用的Data Bit可設 1)
 - **BSF BIECTRL, BIEWR,F**
 - ◆ **BIE_ADDR**若超過 3FH則此指令無效
 - ◆ **VPP**若非 6V，則此指令無效
 - 等待判斷EPROM寫入完成後，**BIECTRL**[**BIEWR**]是否自動清除為 0

- 耗電流會明顯增加許多，建議勿在ADC測試模式之間去做寫入EPROM的動作。
注意事項:寫入EPROM前，先關閉ADC功能(ADCCN1[ENADC]=0b)，則可增強ADC抗干擾能力。等待寫入EPROM完成後，再開啓ADC功能進行訊號測量。

23.1.5 寫入EPROM (HY11P52 only, 啓動低壓燒錄控制電路)

- 使用者寫入EPROM時：
 - 設定BIEPTRH [7]=1b, 啓動BIE區塊寫入功能；
 - 設定BIEPTL 為寫入之BIE_ADDR (最多到 3FH, BIEPTL[7]=0、BIEPTL[6]=0)
 - 設定BIEDH, BIEDL 為寫入之BIE_DATA(不使用的Data Bit可設 1)
 - CALL WR1WORDBIEDATA
 - ◆ BIE_ADDR若超過 3FH則此指令無效
 - ◆ 使用者須確保VDD \geq 3.05V, 才能校正成功
 - ◆ Return WREG=0, 該位元組資料燒錄動作完成
 - ◆ Return WREG=1;代表VDD電壓不足或低壓控制電路失效
 - ◆ 該副程式只針對寫入判斷，並未檢查燒錄值正確性
 - ◆ 需附加WR2.obj檔案
 - 耗電流會明顯增加許多，建議勿在ADC測試模式之間去做寫入EPROM的動作。
注意事項:寫入EPROM前，先關閉ADC功能(ADCCN1[ENADC]=0b)，則可增強ADC抗干擾能力。等待寫入EPROM完成後，再開啓ADC功能進行訊號測量。當啓動低壓燒錄控制電路時，不可再外接VBIE電壓。

23.1.6 寫入EPROM (HY11P54 only, 啓動低壓燒錄控制電路)

- 使用者寫入EPROM時：
 - 設定BIEPTRHA [7]=1b, 啓動BIE區塊寫入功能；
 - 設定BIEPTRLA 為寫入之BIE_ADDR (最多到 3FH, BIEPTRLA[7]=0、BIEPTRLA[6]=0)
 - 設定BIEDHA, BIEDLA 為寫入之BIE_DATA(不使用的Data Bit可設 1)
 - CALL WR5WORDBIEDATA
 - ◆ BIE_ADDR若超過 3FH則此指令無效
 - ◆ 使用者須確保VDD \geq 3.05V, 才能校正成功
 - ◆ Return WREG=0, 該位元組資料燒錄動作完成
 - ◆ Return WREG=1;代表VDD電壓不足或低壓控制電路失效
 - ◆ 該副程式只針對寫入判斷，並未檢查燒錄值正確性
 - ◆ 需附加WR5.obj檔案
 - 耗電流會明顯增加許多，建議勿在ADC測試模式之間去做寫入EPROM的動作。

注意事項:寫入EPROM前,先關閉ADC功能(ADCCN1[ENADC]=0b),則可增強ADC抗干擾能力。等待寫入EPROM完成後,再開啓ADC功能進行訊號測量。當啓動低壓燒錄控制電路時,不可再外接VBIE電壓。

23.1.7 寫入EPROM (HY11P52B only, 啓動低壓燒錄控制電路)

- 使用者寫入EPROM時：
 - 設定BIEPTRH [7]=1b, 啓動BIE區塊寫入功能；
 - 設定BIEPTL 為寫入之BIE_ADDR (最多到 3FH, BIEPTL[7]=0、BIEPTL[6]=0)
 - 設定BIEDH, BIEDL 為寫入之BIE_DATA(不使用的Data Bit可設 1)
 - CALL LVWRBIE
 - ◆ 該函數在執行期間暫時關閉LCD顯示,待完成後恢復顯示
 - ◆ BIE_ADDR若超過 3FH則此指令無效
 - ◆ 使用者須確保VDD \geq 2.75V, 才能校正成功
 - ◆ Return WREG=0, 該位元組資料燒錄動作完成
 - ◆ Return WREG=1;代表VDD電壓不足或低壓控制電路失效
 - ◆ 該副程式只針對寫入判斷,並未檢查燒錄值正確性
 - ◆ 需附加WR3.obj檔案
 - 耗電流會明顯增加許多,建議勿在ADC測試模式之間去做寫入EPROM的動作。

注意事項:寫入EPROM前,先關閉ADC功能(ADCCN1[ENADC]=0b),則可增強ADC抗干擾能力。等待寫入EPROM完成後,再開啓ADC功能進行訊號測量。當啓動低壓燒錄控制電路時,不可再外接VBIE電壓。

23.1.8 注意事項

- 讀取或寫入BIE之前,請先設定CPU頻率來源為 HAO, 否則有可能會動作不正常。
- EPROM READ/WRITE動作完成後,BIERD/BIEWR自動清為 0, BIEPTL自動遞增(最多到 3FH)。
- 建議使用BSF指令設定BIERD或BIEWR, 若指令將兩者同時設為 1 則此指令無效。
- 當VPP為高電位時,CPU重置後,PT1.5 維持 65ms輸出未知電位(高或低)狀態。
- 上電順序: 1.VDD先上電, 2.VBIE再上電。
- 讀取EPROM之前或寫入EPROM之前,先關閉ADC功能(ADCCN1[ENADC]=0b),則可增強ADC抗干擾能力。等待讀取EPROM完成後或寫入EPROM完成後,再開啓ADC功能進行訊號測量。
- 當使用HY11P52 啓動低壓燒錄控制電路時,其燒錄副程序WR1WORDBIEDATA的相關限制及內容說明如下:
 - 受影響寄存器:
Special Register: WREG, LVDCN, FSR0L, INDF0, INTE1[GIE].

Data Register: 0F0h~0F4h

- 保留堆疊層:
至少保留 2 層堆疊層才能正常呼叫該副程式。
- Option Function:
WR1WORDBIEDATA副程式將會自動啟動晶片內部LVD低電壓偵測線路
離開副程式後將會關閉LVD功能

PS: 使用者需注意，使用該燒錄副程式，須確定VDD \geq 3.05V，以確保燒錄成功!

- Code Size: 61 行指令空間
- Function return value:
Return WREG=1, 代表VDD電壓不足，或是低壓控制電路失效。
Return WREG=0, 代表該位元組(word)資料燒錄於BIE區塊動作完成。
但僅燒錄完成，並未檢查燒錄值正確性，使用者需自行檢查。

■ Other notice:

- ◆ HY11P52 晶片使用低壓燒錄控制電路功能，僅適用於溫度範圍 0°C~40°C 之間，3.05V \leq VDD \leq 3.4V條件。若晶片使用外掛VBIE電源(6V)燒錄BIE區塊時，則只能透過單一指令燒錄資料(BSF BIECTRL,BIEWR,0)，並且於該模式下不得使用燒錄副程式(WR1WORDBIEDATA)進行燒錄動作，避免資料燒錄時發生錯誤。
- ◆ 啟動低壓燒錄控制電路後，必須設定電壓源 3.05V \leq VDD \leq 3.4V，才能正常燒錄。
- ◆ 啟動低壓燒錄控制電路時，GIE中斷控制源被強制關閉。
- ◆ 建議所有校正值均於量測完成後，再啟動低壓燒錄控制電路進行BIE區塊燒錄。
- ◆ 使用者需留意呼叫燒錄副程式後受影響的暫存器。
- ◆ 開發工具(模擬器)只支援HY11S14-DK02/DK03，無支持HY11S14-DK01;
- ◆ 開發工具(模擬器)目前無法模擬低壓燒錄和 16bits查表功能；
- ◆ 當使用者利用開發工具(模擬器)模擬HY11P52 低壓燒錄功能時，則需外接VBIE電源(6V)，才能使程式正常執行。(但若不是在模擬器上使用時，則不可外接)

- 當使用HY11P54 啟動低壓燒錄控制電路時，其燒錄副程序WR5WORDBIEDATA的相關限制及內容說明如下：

- 受影響寄存器:
Special Register: WREG, LVDCN, FSR0H, FSR0L, INDF0, INTE1[GIE].
Data Register: 0F0h~0F5h
- 保留堆疊層:
至少保留 2 層堆疊層才能正常呼叫該副程式。
- Option Function:
WR5WORDBIEDATA副程式將會自動啟動晶片內部LVD低電壓偵測線路

離開副程式後將會關閉LVD功能

PS: 使用者需注意，使用該燒錄副程式，須確定 $VDD \geq 3.05V$ ，以確保燒錄成功!

■ Code Size: 81 行指令空間

■ Function return value:

Return WREG=1, 代表VDD電壓不足，或是低壓控制電路失效。

Return WREG=0, 代表該位元組(word)資料燒錄於BIE區塊動作完成。

但僅燒錄完成，並未檢查燒錄值正確性，使用者需自行檢查。

■ Other notice:

◆ HY11P54 晶片使用低壓燒錄控制電路功能，僅適用於溫度範圍 $0^{\circ}C \sim 40^{\circ}C$ 之間， $3.05V \leq VDD \leq 3.4V$ 條件。若晶片使用外掛VBIE電源(6V)燒錄BIE區塊時，則只能透過單一指令燒錄資料(BSF BIECTRLA, BIEWR, 0)，並且於該模式下不得使用燒錄副程式(WR5WORDBIEDATA)進行燒錄動作，避免資料燒錄時發生錯誤。

◆ 啟動低壓燒錄控制電路後，必須設定電壓源 $3.05V \leq VDD \leq 3.4V$ ，才能正常燒錄。

◆ 啟動低壓燒錄控制電路時，GIE中斷控制源被強制關閉。

◆ 建議所有校正值均於量測完成後，再啟動低壓燒錄控制電路進行BIE區塊燒錄。

◆ 使用者需留意呼叫燒錄副程式後受影響的暫存器。

◆ 開發工具(模擬器)只支援HY11S14-DK05;

◆ 當使用者利用開發工具(模擬器)模擬HY11P54 低壓燒錄功能時，則需外接VBIE電源(6V)於模擬器上，才能使程式正常執行。

● 當使用HY11P52B啟動低壓燒錄控制電路時，其燒錄副程序LVWRBIE的相關限制及內容說明如下：

■ 受影響寄存器:

Special Register: WREG, LVDCN, FSR0L, INDF0, INTE1[GIE].

ADCCN1[ENADC], LCDCN2[LCDL].

Data Register: 0F0h~0F5h

■ 保留堆疊層:

至少保留 3 層堆疊層才能正常呼叫該副程式。

■ Option Function:

進入副程序時，GIE中斷源將被關閉，當時副程序後，使用者需自行啟動GIE功能；副程式中自動啟動晶片內部LVD低電壓偵測線路，離開副程式後將會自動關閉LVD功能，使用者需自行設定使用。副程序中也將暫時關閉LCD顯示功能(LCDCN2[LCDL]=1b)，待執行副程序之後才會再啟動開啓LCD顯示(LCDCN2[LCDL]=0b)

註: 使用者需注意，使用該燒錄副程式，須確定 $VDD \geq 2.75V$ ，以確保燒錄成功!

■ Code Size: 83 行指令空間

- Function return value:
 - Return WREG=1, 代表VDD電壓不足，或是低壓控制電路失效。
 - Return WREG=0, 代表該位元組(word)資料燒錄於BIE區塊動作完成。
但僅燒錄完成，並未檢查燒錄值正確性，使用者需自行檢查。
- Other notice:
 - ◆ HY11P52B晶片使用低壓燒錄控制電路功能，僅適用於溫度範圍 0°C~40°C 之間， $2.75V \leq VDD \leq 3.6V$ 條件。若晶片使用外掛VBIE電源(6V)燒錄BIE區塊時，則只能透過單一指令燒錄資料(BSF BIECTRL,BIEWR,0)，並且於該模式下不得使用燒錄副程式(LVWRBIE)進行燒錄動作，避免資料燒錄時發生錯誤。
 - ◆ 啟動低壓燒錄控制電路後，必須設定電壓源 $2.75V \leq VDD \leq 3.6V$ ，才能正常燒錄。
 - ◆ 啟動低壓燒錄控制電路時，GIE中斷控制源被強制關閉，LVD功能將被關閉。
 - ◆ 建議所有校正值均於量測完成後，再啟動低壓燒錄控制電路進行BIE區塊燒錄。
 - ◆ 當外接VBIE電源(6V)燒錄BIE區塊前，先關閉ADC功能則可使抗干擾能力增強。
 - ◆ 使用者需留意呼叫燒錄副程式後受影響的暫存器。
 - ◆ 開發工具(模擬器)只支援HY11S14-DK02，無支持HY11S14-DK01;
 - ◆ 開發工具(模擬器)目前無法模擬低壓燒錄和 16bits查表功能；
 - ◆ 當使用者利用開發工具(模擬器)模擬HY11P52B低壓燒錄功能時，則需外接VBIE電源(6V)於模擬器上，才能使程式正常執行。

(1)讀取 EPROM

BCF ADCCN1,ENADC,ACCE ;讀取 EPROM 前先關閉 ADC 功能
 MVL 00000000B
 MVF BIEPTL, F, ACCE ;定義 EPROM 位置為 00H
 BSF BIECTRL, BIERD, ACCE ;下指令讀取 EPROM，並將資料存放於暫存器 BIEDH, BIEDL
 ;EPROM 讀取完成後，BIECTRL[BIERD]自動清除為 0
 ;BIEPTL(BIE_ADDR)自動遞增，最多至 3FH

WAITRDBIE:

BTSZ BIECTRL, BIERD, ACCE ;等待判斷 EPROM 讀取完成後，BIECTRL[BIERD]自動清除為 0
 JMP WAITRDBIE
 MVF BIEDL, W, 0
 MVF BUF0, F, 0 ;將 BIEDL 資料搬移至 BUF0
 MVF BIEDH, W, 0
 MVF BUF1, F, 0 ;將 BIEDH 資料搬移至 BUF1
 ;BSF ADCCN1,ENADC,ACCE ;視使用者需求開啓 ADC 功能

(2)寫入 EPROM

BCF ADCCN1,ENADC,ACCE ;寫入 EPROM 前先關閉 ADC 功能

VPPCHK:

BTSS BIECTRL,VPP_HIGH,0 ;檢查外部 VPP=6V 電壓是否存在，存在才繼續燒錄動作
 JMP VPPCHK
 MVL 00000000B
 MVF BIEPTL, F, ACCE ;定義 EPROM 位置為 00H
 MVL 12H ;定義寫入資料[BIEDH, BIEDL]=[12H,34H]
 MVF BIEDH, F, ACCE
 MVL 34H
 MVF BIEDL, F, ACCE
 BSF BIECTRL, BIEWR, ACCE ;(1)若 BIECTRL[VPP_HIGH]=0 或 BIEPTL > 3FH
 ;則此指令無效
 ;(2)若 BIECTRL[VPP_HIGH]=1 且 BIEPTL ≤ 3FH
 ;則此指令有效
 ;EPROM 寫入完成後，BIECTRL[BIEWR]自動清除為 0
 ;BIEPTL 自動遞增，最多至 3FH

WAITWRBIE:

BTSZ BIECTRL, BIEWR, ACCE ;等待判斷 EPROM 寫入完成後，BIECTRL[BIEWR]自動清除為 0
 JMP WAITWRBIE
 ;BSF ADCCN1,ENADC,ACCE ;視使用者需求開啓 ADC 功能

圖 23-3 H08B BIE範例程式 (適用HY11P32)

(2)讀取 EPROM

BCF ADCCN1,ENADC,ACCE ;讀取 EPROM 前先關閉 ADC 功能
 LBSR 01H ;宣告 BANK 位置
 MVL 00000000B
 MVF BIEPTL, F, BANK ;定義 EPROM 位置為 00H
 BSF BIECTRL, BIERD,BANK ;下指令讀取 EPROM，並將資料存放於暫存器 BIEDH, BIEDL
 ;EPROM 讀取完成後，BIECTRL[BIERD]自動清除為 0
 ;BIEPTL(BIE_ADDR)自動遞增，最多至 3FH

WAITRDBIE:

BTSZ BIECTRL, BIERD, ACCE ;等待判斷 EPROM 讀取完成後，BIECTRL[BIERD]自動清除為 0
 JMP WAITRDBIE
 MVF BIEDL, W, 0
 MVF BUF0, F, 0 ;將 BIEDL 資料搬移至 BUF0
 MVF BIEDH, W, 0
 MVF BUF1, F, 0 ;將 BIEDH 資料搬移至 BUF1
 ;BSF ADCCN1,ENADC,ACCE ;視使用者需求開啓 ADC 功能

(2)寫入 EPROM

BCF ADCCN1,ENADC,ACCE ;寫入 EPROM 前先關閉 ADC 功能

VPPCHK:

BTSS BIECTRL,VPP_HIGH,0 ;檢查外部 VPP=6V 電壓是否存在，存在才繼續燒錄動作
 JMP VPPCHK
 MVL 00000000B
 MVF BIEPTL, F, BANK ;定義 EPROM 位置為 00H
 MVL 12H ;定義寫入資料[BIEDH, BIEDL]=[12H,34H]
 MVF BIEDH, F, BANK
 MVL 34H
 MVF BIEDL, F, BANK
 BSF BIECTRL, BIEWR, BANK ;(1)若 BIECTRL[VPP_HIGH]=0 或 BIEPTL > 3FH
 ;則此指令無效
 ;(2)若 BIECTRL[VPP_HIGH]=1 且 BIEPTL ≤ 3FH
 ;則此指令有效
 ;EPROM 寫入完成後，BIECTRL[BIEWR]自動清除為 0
 ;BIEPTL 自動遞增，最多至 3FH
 LBSR 00H ;切回 BANK 位置

WAITWRBIE:

BTSZ BIECTRL, BIEWR, ACCE ;等待判斷 EPROM 寫入完成後，BIECTRL[BIEWR]自動清除為 0
 JMP WAITWRBIE
 ;BSF ADCCN1,ENADC,ACCE ;視使用者需求開啓 ADC 功能

圖 23-4 H08A BIE範例程式 (適用HY11P33/HY11P35/HY11P36/HY11P41/HY11P42)

(3)讀取 EPROM (for HY11P52 /HY11P52B)

```
BCF    ADCCN1,ENADC,ACCE ;讀取 EPROM 前先關閉 ADC 功能
MVL    10000000B
MVF    BIEPTRH, 1, 0      ;BIEPTRH [7]=1b 啓動 BIE 區塊讀取功能
MVL    00000000B
MVF    BIEPTL, F, ACCE   ;定義 EPROM 位置為 00H
BSF    BIECTRL, BIERD, ACCE ;下指令讀取 EPROM，並將資料存放於暫存器 BIEDH, BIEDL
                                           ;EPROM 讀取完成後，BIECTRL[BIERD]自動清除為 0
                                           ;BIEPTL(BIE_ADDR)自動遞增，最多至 3FH

WAITRDBIE:
BTSZ   BIECTRL, BIERD, ACCE ;等待判斷 EPROM 讀取完成後，BIECTRL[BIERD]自動清除為 0
JMP    WAITRDBIE
MVF    BIEDL, W, 0
MVF    BUF0, F, 0        ;將 BIEDL 資料搬移至 BUF0
MVF    BIEDH, W, 0
MVF    BUF1, F, 0        ;將 BIEDH 資料搬移至 BUF1
;BSF   ADCCN1,ENADC,ACCE ;視使用者需求開啓 ADC 功能
```

圖 23-5 BIE讀取控制範例程式 (適用HY11P52/HY11P52B)

(4)讀取 EPROM (for Hy11P54)

```
BCF    ADCCN1,ENADC,ACCE ;讀取 EPROM 前先關閉 ADC 功能
LBSR   1
MVL    10000000B
MVF    BIEPTRHA, 1, 1      ;BIEPTRHA [7]=1b 啓動 BIE 區塊讀取功能
MVL    00000000B
MVF    BIEPTRLA, F, 1     ;定義 EPROM 位置為 00H
BSF    BIECTRLA, BIERD, 1 ;下指令讀取 EPROM，並將資料存放於暫存器 BIEDHA, BIEDLA
                                           ;EPROM 讀取完成後，BIECTRLA[BIERD]自動清除為 0
                                           ;BIEPTRLA(BIE_ADDR)自動遞增，最多至 3FH

WAITRDBIE:
BTSZ   BIECTRLA, BIERD, 1 ;等待判斷 EPROM 讀取後，BIECTRLA[BIERD]自動清除為 0
JMP    WAITRDBIE
MVF    BIEDLA, W, 1
MVF    BUF0, F, 0        ;將 BIEDL 資料搬移至 BUF0
MVF    BIEDHA, W, 1
MVF    BUF1, F, 0        ;將 BIEDH 資料搬移至 BUF1
LBSR   0
;BSF   ADCCN1,ENADC,ACCE ;視使用者需求開啓 ADC 功能
```

圖 23-5 BIE讀取控制範例程式 (適用HY11P54)

```

(5)寫入 EPROM (for HY1P52B only)
BCF    ADCCN1,ENADC,ACCE ;寫入 EPROM 前先關閉 ADC 功能
MVL    10000000B
MVF    BIEPTRH, 1, 0 ;BIEPTRH [7]=1b 啓動 BIE 區塊燒寫功能
MVL    00000000B
MVF    BIEPTL, F, ACCE ;定義 EPROM 位置為 00H
MVL    12H ;定義寫入資料[BIEDH, BIEDL]=[12H,34H]
MVF    BIEDH, F, ACCE
MVL    34H
MVF    BIEDL, F, ACCE
MVF    FSR0L,0,0
MVF    FSR_BUF,1,0 ;保護 FSR0 暫存器值
;... ;如果有需要保護工作暫存器，請保護 WREG 暫存器
BCF    MCKCN2,1,0 ;還原 CPUCLK=00b=2Mhz
BCF    MCKCN2,0,0
CALL   LVWRBIE ;該函數在執行期間暫時關閉 LCD 顯示,待完成後恢復顯示
;使用者須確保 VDD ≥ 2.75V，才能校正成功
;BIEPTL > 3FH, 則此指令無效 (BIEPTRH=0x80)
;BIEPTL ≤ 3FH, 此指令才有效 (BIEPTRH=0x80)
;EPROM 寫入完成後，BIEPTL 自動遞增 1，最多至 3FH
;Return WREG=0, 該位元組資料燒錄動作完成
;Return WREG=1,代表 VDD 電壓不足。或是低壓控制電路失效
;該副程式只針對寫入判斷，並未檢查燒錄值正確性

MVF    FSR_BUF,0,0 ;還原 FSR0 暫存器值
MVF    FSR0L, 1,0
;BSF    ADCCN1,ENADC,ACCE ;視使用者需求開啓 ADC 功能
BSF    INTE1,GIE ;燒錄副程式已經把中斷源 GIE 關掉
;完成燒錄後，使用者請自行把 GIE 打開

TFSZ   WREG,0 ;WREG 判斷程式，判斷是否燒錄完成
JMP    FAIL ;WREG=0b, WRITE BIE FAIL
;... ;其他執行程序
FAIL:
IDLE
NOP
INCLUDE WR3.obj ;WR3.obj 檔案須放置在程式最後面
END

```

圖 23-6 H08B BIE低壓燒錄控制範例程式 (適用HY11P52B)

```

(6)寫入 EPROM (for HY1P52)
BCF    ADCCN1,ENADC,ACCE ;寫入 EPROM 前先關閉 ADC 功能
MVL    10000000B
MVF    BIEPTRH, 1, 0 ;BIEPTRH [7]=1b 啓動 BIE 區塊燒寫功能
MVL    00000000B
MVF    BIEPTL, F, ACCE ;定義 EPROM 位置為 00H
MVL    12H ;定義寫入資料[BIEDH, BIEDL]=[12H,34H]
MVF    BIEDH, F, ACCE
MVL    34H
MVF    BIEDL, F, ACCE
MVF    FSR0L,0,0
MVF    FSR_BUF,1,0 ;保護 FSR0 暫存器值
;... ;如果有需要保護工作暫存器，請保護 WREG 暫存器
BCF    MCKCN2,1,0 ;還原 CPUCLK=00b=2Mhz
BCF    MCKCN2,0,0
CALL   WR1WORDBIEDATA ;啓動 LVD 偵測功能,
;使用者須確保 VDD ≥ 3.05V，才能校正成功
;BIEPTL > 3FH, 則此指令無效 (BIEPTRH=0x80)
;BIEPTL ≤ 3FH, 此指令才有效 (BIEPTRH=0x80)
;EPROM 寫入完成後，BIEPTL 自動遞增 1，最多至 3FH
;Return WREG=0, 該位元組資料燒錄動作完成
;Return WREG=1,代表 VDD 電壓不足。或是低壓控制電路失效
;該副程式只針對寫入判斷，並未檢查燒錄值正確性

MVF    FSR_BUF,0,0 ;還原 FSR0 暫存器值
MVF    FSR0L, 1,0
;BSF   ADCCN1,ENADC,ACCE ;視使用者需求開啓 ADC 功能
BSF    INTE1,GIE ;燒錄副程式已經把中斷源 GIE 關掉
;完成燒錄後，使用者請自行把 GIE 打開

TFSZ   WREG,0 ;WREG 判斷程式，判斷是否燒錄完成
JMP    FAIL ;WREG=0b, WRITE BIE FAIL
;... ;其他執行程序
FAIL:
IDLE
NOP
INCLUDE WR2.obj ;WR2.obj 檔案須放置在程式最後面
END
    
```

圖 23-6 BIE低壓燒錄控制範例程式 (適用HY11P52)

(6)寫入 EPROM (for HY1P54)

```

BCF    ADCCN1,ENADC,ACCE ;寫入 EPROM 前先關閉 ADC 功能
LBSR   1
MVL    10000000B
MVF    BIEPTRHA, 1, 1      ;BIEPTRHA[7]=1b 啓動 BIE 區塊燒寫功能
MVL    00000000B
MVF    BIEPTLA, F, 1      ;定義 EPROM 位置為 00H
MVL    12H                 ;定義寫入資料[BIEDHA, BIEDLA]=[12H,34H]
MVF    BIEDHA, F, 1
MVL    34H
MVF    BIEDLA, F, 1
MVF    FSR0L,0,0
MVF    FSR_BUF,1,0        ;保護 FSR0 暫存器值
;...                       ;如果有需要保護工作暫存器，請保護 WREG 暫存器
BCF    MCKCN2,1,0         ;還原 CPUCLK=00b=2Mhz
BCF    MCKCN2,0,0
CALL   WR5WORDBIEDATA    ;啓動 LVD 偵測功能,
                                ;使用者須確保 VDD ≥ 3.05V，才能校正成功
                                ;BIEPTLA > 3FH, 則此指令無效 (BIEPTRHA=0x80)
                                ;BIEPTLA ≤ 3FH, 此指令才有效 (BIEPTRHA=0x80)
                                ;EPROM 寫入完成後，BIEPTLA 自動遞增 1，最多至 3FH
                                ;Return WREG=0, 該位元組資料燒錄動作完成
                                ;Return WREG=1,代表 VDD 電壓不足。或是低壓控制電路失效
                                ;該副程式只針對寫入判斷，並未檢查燒錄值正確性

LBSR   0
MVF    FSR_BUF,0,0        ;還原 FSR0 暫存器值
MVF    FSR0L, 1,0
;BSF   ADCCN1,ENADC,ACCE ;視使用者需求開啓 ADC 功能
BSF    INTE1,GIE          ;燒錄副程式已經把中斷源 GIE 關掉
                                ;完成燒錄後，使用者請自行把 GIE 打開

TFSZ   WREG,0             ;WREG 判斷程式，判斷是否燒錄完成
JMP    FAIL               ;WREG=0b, WRITE BIE FAIL
;...                       ;其他執行程序

FAIL:
IDLE
NOP
INCLUDE WR5.obj           ;WR5.obj 檔案須放置在程式最後面
  
```

圖 23-6 BIE低壓燒錄控制範例程式 (適用HY11P54)

23.2 暫存器說明-BIE

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
 “.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

H08B Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
1CH	BICTRL					VPP_HIGH		BIEWR	BIERD	1000 d000	1000 d000	-,-,-,-*,r0,*
1DH	BIEPTRH	SBMSEL						BIE_ADDR[10:8]		..00 0000	..00 0000	-,-,-,-*,r0,*
1EH	BIEPTL	0	0					BIE_ADDR[5:0]		0000 0000	0000 0000	*****
1FH	BIEDH					BIE_DATA[15:8]				0000 0000	0000 0000	*****
20H	BIEDL					BIE_DATA[7:0]				0000 0000	0000 0000	*****
H08A Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	I-RESET	R/W
195H	BICTRLA					VPP_HIGH		BIEWR	BIERD	1000 d000	1000 d000	-,-,-,-*,r0,*
196H	BIEPTRHA	SBMSEL						BIE_ADDR[10:8]		0000 0000	0000 0000	w0,w0,W0,W0,W0,W0,W0,W0
197H	BIEPTRLA	0	0					BIE_ADDR[5:0]		0000 0000	0000 0000	w 0,w 0,*
198H	BIEDHA					BIE_DATA[15:8]				xxxx xxxx	xxxx xxxx	*****
199H	BIEDLA					BIE_DATA[7:0]				xxxx xxxx	xxxx xxxx	*****

BICTRL/ BICTRLA : BIE控制暫存器

VPP_HIGH : Check VPP

0 : VPP 未外接燒錄電源 6V

1 : VPP 已外接燒錄電源 6V

BIEWR : 寫入EPROM控制位元

0 : 不可寫入

1 : 可寫入

BIERD : 讀取EPROM控制位元

0 : 不可讀取

1 : 可讀取

BIEPTRH/ BIEPTRHA : EPROM位址定義

BIESEL : Mode Selection (該位元適用於HY11P52/HY11P52B/HY11P54，其餘產品均須強制寫式 0)

0 : OTP READ MODE

1 : BIE MODE

BIE_ADDR[10:8] : OTP address, 當BIESEL =0b，HY11P52 選擇OTP READ MODE

BIEPTL/ BIEPTRLA : EPROM位址定義

BIE_ADDR [7] : 必須為強制寫入 0 (當HY11P52/HY11P52B/HY11P54 選擇BIE MODE)

BIE_ADDR [6] : 必須為強制寫入 0 (當HY11P52/HY11P52B選擇BIE MODE)

BIE_ADDR[5:0] : EPROM address, 只有 00H~3FH, 共 64 words

BIE_ADDR[7:0] : OTP address, 當BIESEL =0b，HY11P52/HY11P52B選擇OTP READ MODE

BIEDH/ BIEDHA : EPROM High Byte資料定義

BIEDL/ BIEDLA : EPROM Low Byte資料定義

24 修訂記錄

以下描述本文件差異較大的地方，而標點符號與字形的改變不在此描述範圍。

日期	文件版次	頁次	摘要
2010/01/07	V10	17	修改BSR內容、範例 24-1 圖內容
		20	修改BSRCN內容
		52	修改輸入/輸出埠 1, I/O Port1 內容
		123	修改 18.3.1 TPS內容
		143	修改圖 20-3 內容
		144	修改圖 20-4, 圖 20-5 內容
		165	增加 23 章節, 修訂記錄
2010/07/23	V11	11	修改註解內容
		21~22	修改暫存器列表內容
		27	修改表 3-3 內容
		112	修改OPM[1:0] ADC_CLK名稱說明
		164	增加H08A BIE範例程式
2010/10/11	V12	16	修改資料記憶體架構圖
		17	修改區塊選擇器範例程式與資料記憶體關係圖
		24	增加震盪器起振時間說明
		32~33	增加待機模式與休眠模式內容說明
		36	修改符號說明
		105	修正暫存器名稱
		144~146	增加SPI主動被動模式說明及修改圖 20-4 內容
167~168	增加BIE範例程式說明		
2011/03/09	V13	70	增加WDT中斷事件範例程式說明
		148	修改圖 20-6 兩組處理器SPI主動被動連接方式內容
2011/11/09	V14	58	修改表 7-7, CCP1 說明
		99	錯別字修正
		165~174	更新章節 22 內建EPROM, Build-In EPROM說明
2012/02/24	V15	165-177	增加HY11P52B內建EPROM相關內容說明
2013/07/16	V16	All	增加HY11P54 LNO2 與內建EPROM相關內容說明