HY3130/HY3131
Datasheet
5,000/50,000 counts DMM Analog Front End

©2009-2014 HYCON Technology Corp.

Table of Contents

1. FEATURES 4

2. BLOCK DIAGRAM 5

3. PACKAGE AND PIN 6

3.1 Pin Definition 6

3.2 Pin Description 7

4. TYPICAL APPLICATION CIRCUIT 9

5. ABSOLUTE MAXIMUM RATINGS 10

6. ELECTRICAL CHARACTERISTICS 10

7. DIGITAL INTERFACE 13

7.1 SPI Protocol 13

7.2 Description 13

8. REGISTER LIST 14

9. DATA REGISTER 16

10. INTERRUPT 16

10.1 INTE : IRQ Enable Register 16

10.2 INTF : IRQ Event Register 16

11. CLOCK SYSTEM 18

12. FUNCTION NETWORK 19

12.1 Voltage Reference Generator 20

12.2 Analog Switch Network 21

12.3 OPAMP And Comparator 23

12.4 Pre-Filter、ADC Input MUX And Temperature Sensor 25

13. ΣΔADC、LOW PASS FILTER、RMS CONVERTER AND PEAK HOLD 27

13.1 High Resolution ADC(AD1) 27

13.2 High Speed ADC(AD2 & AD3)、Low Pass Filter、RMS Converter And Peak Hold 28

14. FREQUENCY COUNTER、CNT AND CMP PIN 32

15. REFERENCE DOCUMENTS 34

16. ORDERING INFORMATION 35

17. PACKAGING INFORMATION 36

18. REVISION RECORD 38

注意：

1、本說明書中的內容，隨著產品的改進，有可能不經過預告而更改。請客戶及時到本公司網站下載更新 http://www.hycontek.com。

2、本規格書中的圖形、應用電路等，因協力廠商工業所有權引發的問題，本公司不承擔其責任。

3、本產品在單獨應用的情況下，本公司保證它的性能、典型應用和功能符合說明書中的條件。當使用在客戶的產品或設備中，以上條件我們不作保證，建議客戶做充分的評估和測試。

4、請注意輸入電壓、輸出電壓、負載電流的使用條件，使 IC 內的功耗不超過封裝的容許功耗。對於客戶在超出說明書中規定額定值使用產品，即使是瞬間的使用，由此所造成的損失，本公司不承擔任何責任。

5、本產品雖內置防靜電保護電路，但請不要施加超過保護電路性能的過大靜電。

6、本規格書中的產品，未經書面許可，不可使用在要求高可靠性的電路中。例如健康醫療器械、防災器械、車輛器械、車載器械及航空器械等對人體產生影響的器械或裝置，不得作為其部件使用。

7、本公司一直致力於提高產品的品質和可靠度，但所有的半導體產品都有一定的失效概率，這些失效概率可能會導致一些人身事故、火災事故等。當設計產品時，請充分留意冗餘設計並採用安全指標，這樣可以避免事故的發生。

8、本規格書中內容，未經本公司許可，嚴禁用於其他目的之轉載或複製。

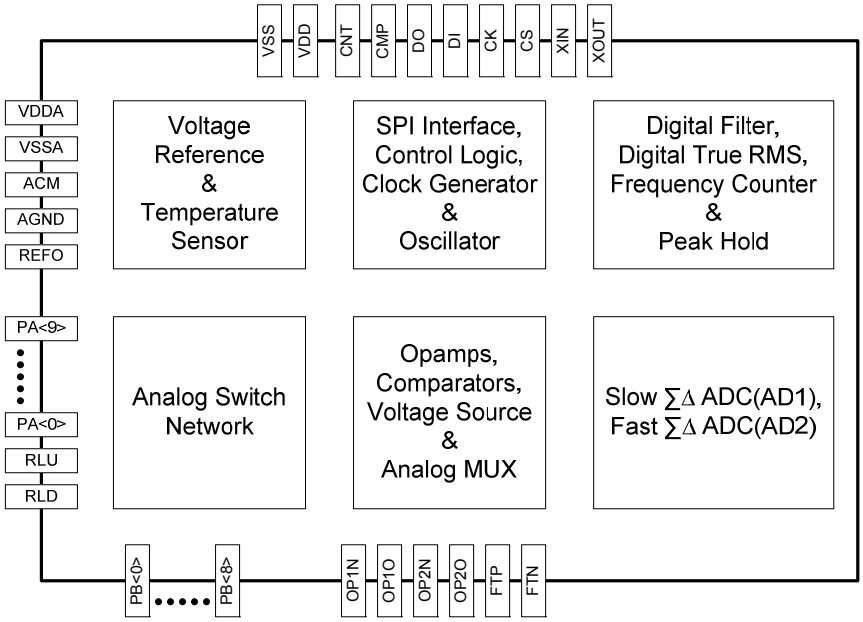
1. Features

- 3.6V 工作電壓
- 內建石英震盪電路及 4.9152MHz 工作時脈
- 可程式化多功能網路
  - 電壓/電阻/電容換檔量測
  - 定電壓/定電流輸出
  - 元件可自我校正
  - 元件正負極性判別
- 多功能比較器
  - 具有遲滯與 latch 功能，可降低 glitch
  - 可程式化設定比較電壓
  - 可做為短路測試、頻率量測或電容充放電頻率量測
- 運算放大器
  - 搭配外部元件可將小訊號放大
  - 可程式化成 AC 緩衝器
  - 搭配外部元件可組合成 AC 全波整流線路
- High Resolution ΣΔADC (AD1)
  - 5,000/50,000 Counts @ 5Hz Output Rate
  - Zero input, Zero Output
  - High Impendence Input (with input buffer)
- High Speed ΣΔADC (AD2 & AD3)
  - 搭配內部的數位電路可組合成 Digital True RMS Converter
  - 搭配內部的數位電路可做為 Peak Hold Measurement
  - 搭配內部的數位電路可做為 Power Measurement(HY3131 only)
- 內置絕對溫度感測器
- SPI Interface connect to microprocessor
- 44 Pins & 48 Pins LQFP Package

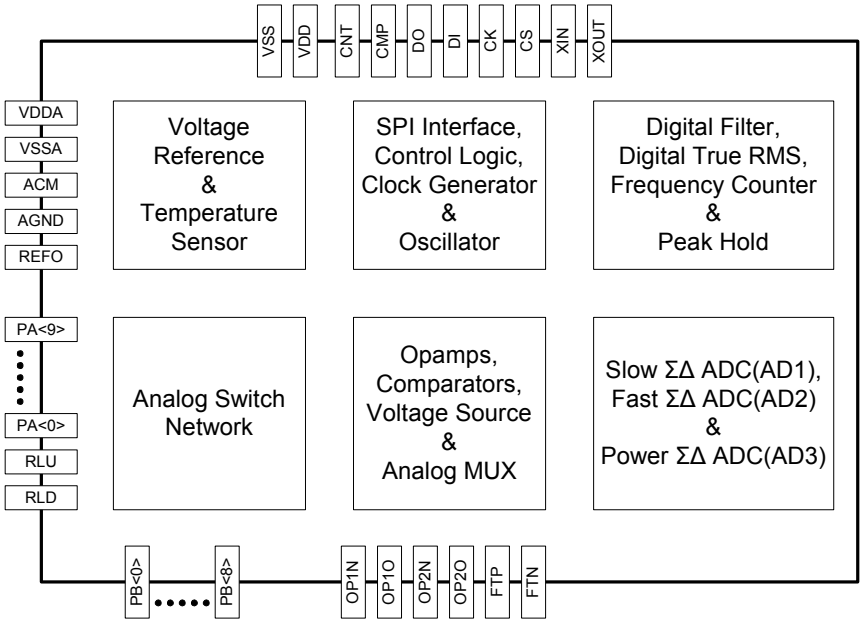
Model No.	PA Network	PB Channel	High Precision ADC	High Speed ADC	OPA	Cap. Array	Digital RMS	Peak Hold	Serial Port	Package
HY3130	10	9	16Bits*1	16Bits*1	2	Yes	Yes	Digital	SPI	LQFP48
HY3131	10	9	24Bits*1	19Bits*2	2	Yes	Yes	Digital	SPI	LQFP48

2. Block Diagram

HY3130:

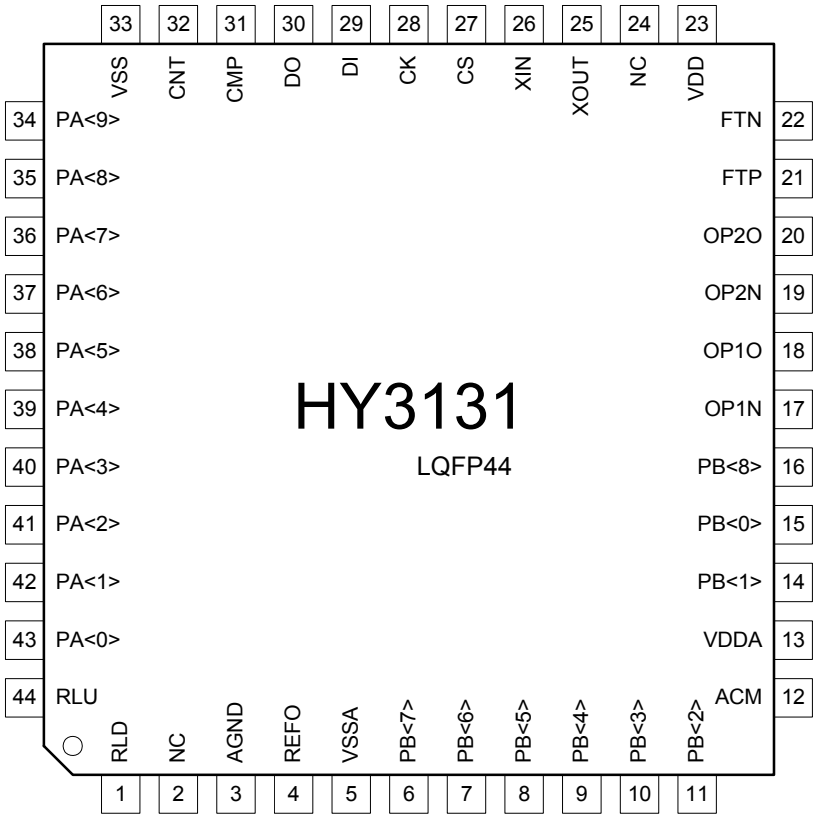


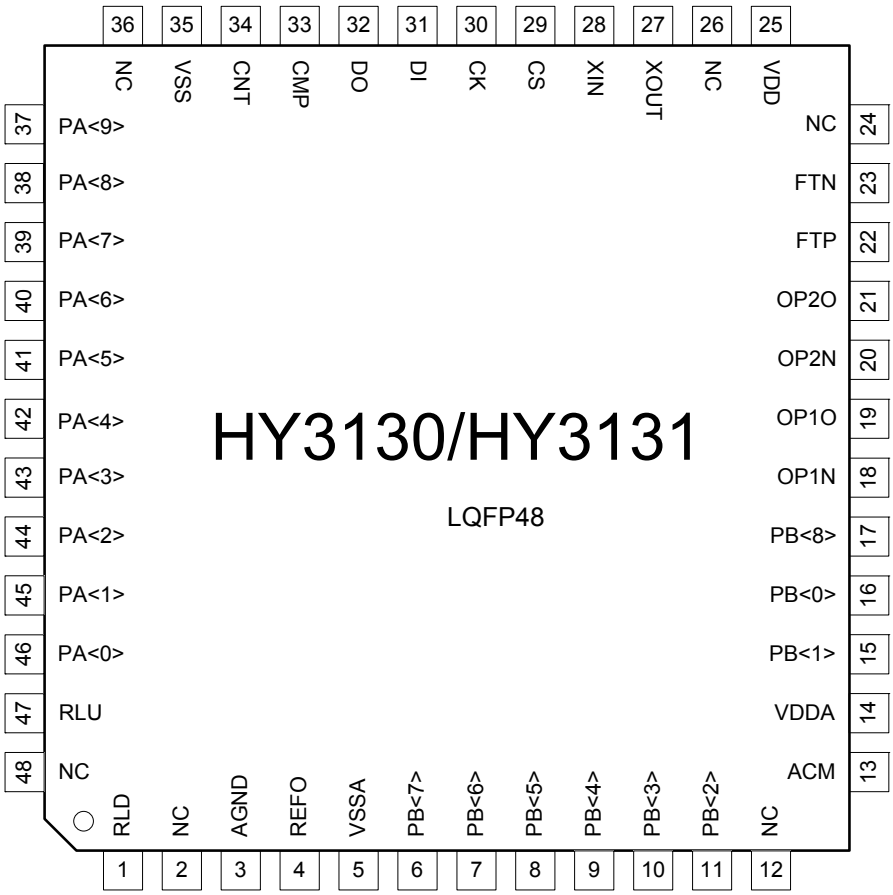
HY3131:



3. Package And Pin

3.1 Pin Definition





3.2 Pin Description

L044:

"I/O" Input/Output, "I" Input, "O" Output, "S" Schmitt Trigger, "C" CMOS, "P" Power, "A" Analog

Pin		Characteristic		Description
No.	Name	I/O	Type	
1	RLD	I/O	A	Analog switch network terminal
2	NC			No Connect
3	AGND	I/O	A	Internal analog circuit command ground pin
4	REFO	I/O	A	Voltage reference terminal
5	VSSA	I	P	Analog power supply ground
6 ~ 11	PB<7> ~ PB<2>	I	A	Analog input terminal
12	ACM[1]	I/O	A	ADC common ground
13	VDDA	I	P	Analog power supply
14 ~ 15	PB<1> ~ PB<0>	I	A	Analog input terminal
16	PB<8>	I	A	Analog input terminal
17	OP1N	I	A	OPAMP(OP1) negative input terminal
18	OP1O	O	A	OPAMP(OP1) output terminal
19	OP2N	I	A	OPAMP(OP2) negative input terminal
20	OP2O	O	A	OPAMP(OP2) output terminal
21 ~ 22	FTP, FTN	I/O	A	Pre-filter capacitor terminal
23	VDD	I	P	Digital power supply
24	NC			No Connect
25 ~ 26	XOUT, XIN	I/O	C	Crystal oscillator terminal
27	CS	I	S	SPI interface chip select
28	CK	I	S	SPI interface clock input
29	DI	I	S	SPI interface data input
30	DO	O	C	SPI interface data output
31	CMP	O	C	Comparator output
32	CNT	I	S	Frequency counter input terminal
33	VSS	I	P	Digital power supply ground
34 ~ 43	PA<9> ~ PA<0>	I/O	A	Analog switch network terminal
44	RLU	I/O	A	Analog switch network terminal

[1] ACM pin 除電容外，不可連接至其他元件

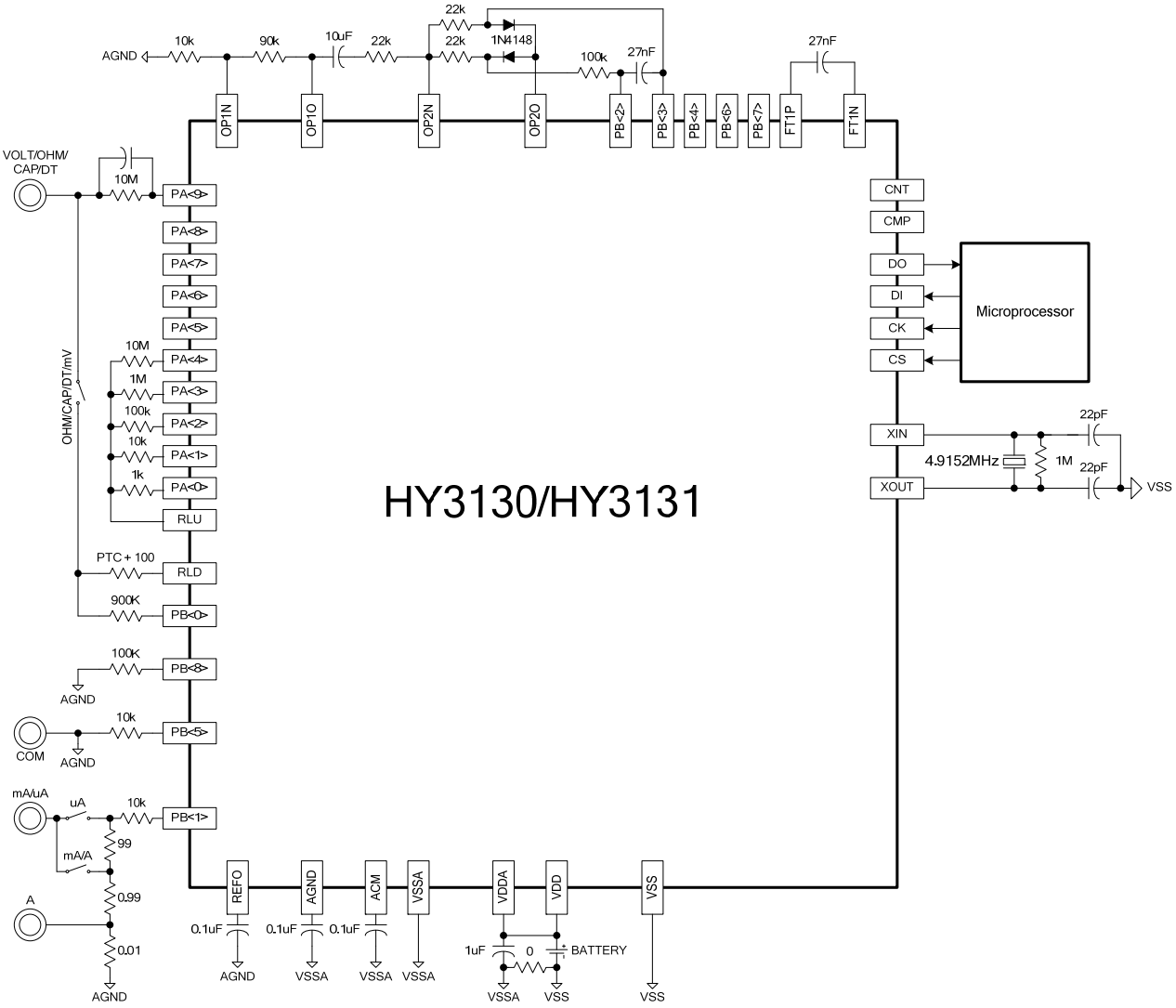
L048

"I/O" Input/Output, "I" Input, "O" Output, "S" Schmitt Trigger, "C" CMOS, "P" Power, "A" Analog

Pin		Characteristic		Description
No.	Name	I/O	Type	
1	RLD	I/O	A	Analog switch network terminal
2	NC			No Connect
3	AGND	I/O	A	Internal analog circuit command ground pin
4	REFO	I/O	A	Voltage reference terminal
5	VSSA	I	P	Analog power supply ground
6 ~ 11	PB<7> ~ PB<2>	I	A	Analog input terminal
12	NC			No Connect
13	ACM[2]	I/O	A	ADC common ground
14	VDDA	I	P	Analog power supply
15 ~ 16	PB<1> ~ PB<0>	I	A	Analog input terminal
17	PB<8>	I	A	Analog input terminal
18	OP1N	I	A	OPAMP(OP1) negative input terminal
19	OP1O	O	A	OPAMP(OP1) output terminal
20	OP2N	I	A	OPAMP(OP2) negative input terminal
21	OP2O	O	A	OPAMP(OP2) output terminal
22 ~ 23	FTP, FTN	I/O	A	Pre-filter capacitor terminal
24	NC			No Connect
25	VDD	I	P	Digital power supply
26	NC			No Connect
27 ~ 28	XOUT, XIN	I/O	C	Crystal oscillator terminal
29	CS	I	S	SPI interface chip select
30	CK	I	S	SPI interface clock input
31	DI	I	S	SPI interface data input
32	DO	O	C	SPI interface data output
33	CMP	O	C	Comparator output
34	CNT	I	S	Frequency counter input terminal
35	VSS	I	P	Digital power supply ground
36	NC			No Connect
37 ~ 46	PA<9> ~ PA<0>	I/O	A	Analog switch network terminal
47	RLU	I/O	A	Analog switch network terminal
48	NC			No Connect

[2] ACM pin 除電容外，不可連接至其他元件

4. Typical Application Circuit



5. Absolute Maximum Ratings

Absolute maximum ratings over operating free-air temperature (unless otherwise noted)

Voltage applied at VDD(VDDA) to VSS(VSSA) . . . . . −0.2 V to 4.0 V

Voltage applied to any pin . . . . . −0.2 V to V_{DD} + 0.3 V

Diode current at any device terminal . . . . . ±2 mA

Storage temperature range, Tstg . . . . . −55℃ to 150℃

Total power dissipation 0.5w

Lead temperature (soldering, 10s) . . . . . 300℃

6. Electrical Characteristics

(VDD=VDDA=3.6V, VSS=VSSA=0V, T_A=+25℃, unless otherwise noted)

Parameter	Test Conditions	Min.	Typ.	Max.	Unit
Supply Voltage	VDD-VSS, VDDA-VSSA	3.6-0.05	3.6	3.6+0.05	V
Power On Reset Voltage	VDD-VSS		1.9		V
External Oscillator Frequency			4.9158	8	Mhz
AD1 Zero Input Reading (HY3131 only)	V_{IN}=0V, Full Scale 50,000 counts	-1	0	+1	Counts
AD1 Zero Reading Drift (HY3131 only)	V_{IN}=0V, Full Scale 50,000 counts, TA=0℃ ~ 70℃	-0.03	0	+0.03	Counts /℃
AD1 Linearity (HY3131 only)	Full Scale (50,000 counts) at 30,000 counts Calibration			±(0.01%+ 2Counts)	% + Counts
Input Leakage Current	V_{IN}=0V		1	10	pA
ADC1 Gain Temperature drift (HY3131 only)	TA=-40℃ ~ 85℃ AD1 Gain=0.9,VR Gain=1, INBUF=off, VRBUF=off		2.5		PPM/℃
ADC2 &AD3 Gain Temperature drift (HY3131 only)	TA=-40℃ ~ 85℃ AD2 & AD3 Gain=1,VR Gain=1,		10	30[3]	PPM/℃
Bandwidth of OP1 or OP2			2		MHz
DC Gain of OP1 or OP2			130		dB
OP1 or OP2 Current Consumption			190		μA
OP3 Source Capability	OP3 positive input=3.5V, ΔV_O =-0.1V		600		μA
OP3 Source Capability	OP3 positive input=0.0 ~ 3.4V, ΔV_O =-0.1V		900		μA
OP3 Sink Capability	OP3 positive input=0.2 ~ 3.5V, ΔV_O =+0.1V		900		μA
OP3 Sink Capability	OP3 positive input=0.1V, ΔV_O =+0.1V		600		μA
OP3 Current Consumption			30		μA
OP Input offset voltage 1	without chopper, OP1CHOP<1:0>=00b or 11b	-2		2	mV
OP Input offset voltage 2	with chopper, OP1CHOP<1:0>=01b or 10b		20		uV

[3] By Design Guarantee

Parameter	Test Conditions	Min.	Typ.	Max.	Unit
OP Input offset temperature drift 1	without chopper, TA=-40℃ ~ 85℃		2		uV/℃
OP Input offset temperature drift 2	with chopper, TA=-40℃ ~ 85℃		0.1		uV/℃
OP Common-mode voltage input range	OP1CHOP<1:0>=XXb	0.1		VDDA - 1.1	V
Bandwidth of Comparator (CMPH & CMPL)	V_{IN}=600mV_{P-P} SIN V_{IN}=40mV_{P-P} SIN		6 2		MHz
Comparator Current Consumption	CMPH & CMPL		40		μA
Switch Resistance	PS9 ~ PS2 PS1 ~ PS0 DS9 ~DS0 FS9 ~ FS0 SS9 ~ SS0		80 40 80 300 300		Ω
AD1 Current Consumption	Without Input & Reference Buffer		90		μA
AD2 or AD3 Current Consumption			2160	4000[4]	μA
AD2 + AD3 Current Consumption (HY3131 only)			3100	6500[5]	μA
Low Pass Filter Current Consumption			50		μA
Digital True RMS Converter Current Consumption			210	3000[6]	μA
Sleep Current			1		μA
REFO Temperature Drift	TA=-40℃ ~ 85℃		70		PPM/℃
Normal Mode Rejection	Offset=500mV, AC 50mV, 50Hz/60Hz±1Hz, Output rate = 5sps Output rate = 10sps		 120 75		dB
Digital Output High	I_{OL}=+10mA	VDD-0.3			V
Digital Output Low	I_{OL}=-10mA			VSS+0.3	V
Digital Input High	CK, DI & CS Pin	1.8		VDD	V
Digital Input Low	CK, DI & CS Pin	VSS		0.5	V
Digital Input High	CNT Pin	2.4		VDD	V
Digital Input Low	CNT Pin	VSS		1.3	V
CK High Pulse Width Time(T_{CKHI})		20			ns
CK Low Pulse Width Time(T_{CKLO})		60			ns
DI Data Set Time(T_{DISET})		60			ns

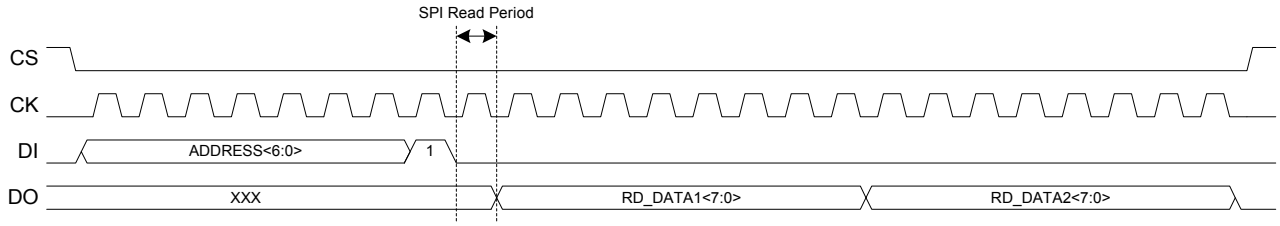
[4] By Design Guarantee
[5] By Design Guarantee
[6] By Design Guarantee

Parameter	Test Conditions	Min.	Typ.	Max.	Unit
DI Data Hold Time(T_{DIHOLD})		20			ns
DO Data Ready Time(T_{DODL})		60			ns

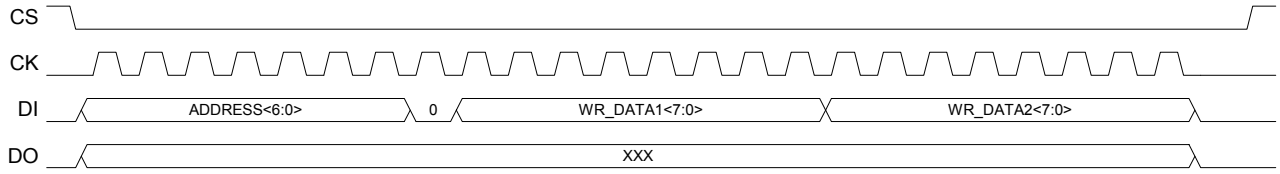
7. Digital Interface

7.1 SPI Protocol

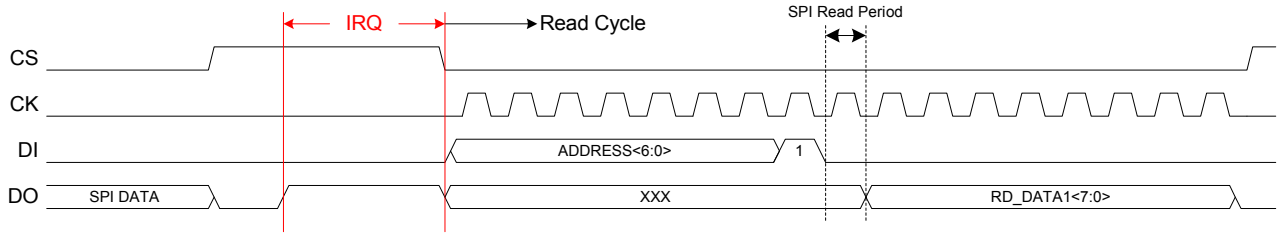
Read:



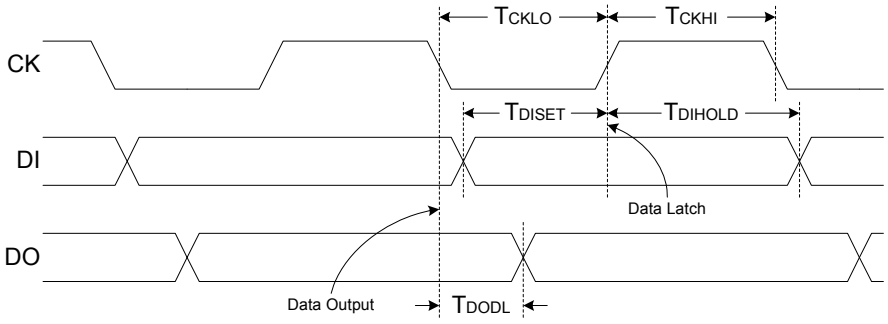
Write:



IRQ:



Timing:



7.2 Description

(1) Address：Register address 共 7 個 Bits；當 SPI 起始通訊 CS 為 Low 後，第一筆為 Register Address[6…0]及 R/W，共 8 個 Bits，順序為先輸出 Address MSB(Bit6)，最後再輸出 R/W 位元，所以 Register Address 必須左移 1 Bit 再輸出。

(2) 讀取模式：接續(1)，若 DI 接著的第 8 個 bit 為 1，則為讀取模式。進入讀取模式後，第 9 個 bit 必須空白(SPI Read Period)，才能讀取正確資料。DO 的第 10 到第 17 個 bit 為該 address 的資料，往後 address 自動加 1，且不必等待 SPI 抓取資料，往後每 8 個 bits 皆為 address 自動加 1 的內容，直到 CS 設為 High 結束讀取動作。

(3) 寫入模式：接續(1)，若 DI 接著的第 8 個 bit 若為 0，則為寫入模式。進入寫入模式後，不必空白第 9 個 bit。DI 的第 9 到第 16 個 bit 為該 address 的資料，往後 address 自動加 1，往後每 8 個 bits 皆為 address 自動加 1 的內容，直到 CS 設為 High 結束寫入動作。

(4) IRQ 輸出模式：當進入 IRQ 的等待模式，CS 設為 High，此時若 DO 為 High，則代表有 IRQ 發生，相反

則否。若有 IRQ 發生後，將 CS 設為 Low，接著可進入讀取或寫入資料的動作。IRQ 的圖示為發生 IRQ 後，進入讀取動作。注意：CS 為 High 時，DO 為 IRQ 輸出模式。CS 為 Low 時，DO 為 SPI 輸出模式。

(5) DI、DO 與 CK 之間的 Timing 關係如圖示。

(6) 在 CS 為 Low 之前，CK 信號必須先為 Low(CK line low in idle state)。

(7) CK 為高電平時為有效狀態，CK 為低電平時為空閒狀態。

(8) DI 與 DO，當 CK 由有效狀態變成空閒狀態時發送。

8. Register List

HY3130:

Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
00h	AD1_DATA	AD1<7:0>=unknown							
01h		AD1<15:8>							
02h		AD1<23:16>							
03h	AD2_DATA	AD2<7:3>					AD2<2:0>=000		
04h		AD2<15:8>							
05h		AD2<23:16>							
06h	LPF_DATA	LPF<7:0>							
07h		LPF<15:8>							
08h		LPF<23:16>							
09h	RMS_DATA	RMS<7:0>							
0Ah		RMS<15:8>							
0Bh		RMS<23:16>							
0Ch		RMS<31:24>							
0Dh		RMS<39:32>							
0Eh	PKHMIN	PKHMIN<7:0>							
0Fh		PKHMIN<15:8>							
10h		PKHMIN<23:16>							
11h	PKHMAX	PKHMAX<7:0>							
12h		PKHMAX<15:8>							
13h		PKHMAX<23:16>							
14h	CTSTA	PCNTI	ACPO	CMPHO	CMPLO	-	-	-	CTBOV
15h	CTC	CTC<7:0>							
16h		CTC<15:8>							
17h		CTC<23:16>							
18h	CTB	CTB<7:0>							
19h		CTB<15:8>							
1Ah		CTB<23:16>							
1Bh	CTA	CTA<7:0>							
1Ch		CTA<15:8>							
1Dh		CTA<23:16>							
1Eh	INTF	BORF	-	-	RMSF	LPFF	AD1F	AD2F	CTF
1Fh	INTE	-	-	-	RMSIE	LPFIE	AD1IE	AD2IE	CTIE
20H	R20	SCMPI<2:0>			ENCMP	ENCNTI	ENPCMPO	ENCTR	O
21H	R21	SCMPRH<3:0>				SCMPRL<3:0>			
22H	R22	AD1OS<2:0>			AD1CHOP<1:0>		AD1OSR<2:0>		
23H	R23	ENAD1	-	O	AD1RG	AD1RHBUF	AD1RLBUF	AD1IPBUF	AD1INBUF
24H	R24	SAD1FP<3:0>				SDIO	SAD1FN<2:0>		
25H	R25	AD2IG<1:0>		AD1IG<1:0>		SACM<1:0>		OPS<2>	OPS<1>
26H	R26	ENAD2	0	ENCHOPAD	AD2RG	SAD2CLK	AD2OSR<2:0>		
27H	R27	SAD2IP<1:0>		SAD2IN<1:0>		SAD2RH<1:0>		SAD2RL<1:0>	
28H	R28	-	SAD1RH<2:0>			-	SAD1RL<2:0>		
29H	R29	ENRMS	ENLPF	LPFBW<2:0>			ENPKH	PKHSEL<1:0>	
2Ah	R2A	PS1	DS1	FS1	SS1	PS0	DS0	FS0	SS0
2Bh	R2B	PS3	DS3	FS3	SS3	PS2	DS2	FS2	SS2
2Ch	R2C	PS5	DS5	FS5	SS5	PS4	DS4	FS4	SS4
2Dh	R2D	PS7	DS7	FS7	SS7	PS6	DS6	FS6	SS6
2Eh	R2E	PS9	DS9	FS9	SS9	PS8	DS8	FS8	SS8
2Fh	R2F	ENVS	SMODE<6:0>						
30h	R30	SREFO	ACC<6:0>						
31h	R31	ENREFO	ENBIAS	SAGND<1:0>		SFUVR<3:0>			
32h	R32	ENOP2	SOP2P<2:0>			ENOP1	SOP1P<2:0>		
33h	R33	OP1CHOP<1:0>		ENOSC	ENXI	SFT1<1:0>		SAD1I<1:0>	
35h	R35	O	O	O	O	O	O	O	O
36h	R36	O	O	O	O	O	O	O	O
37h	R37	Testing Mode, Don't use or Write "0" only							

HY3131:

Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
00h	AD1_DATA	AD1<7:0>							
01h		AD1<15:8>							
02h		AD1<23:16>							
03h	AD2_DATA	AD2<7:0>							
04h		AD2<15:8>							
05h		AD2<23:16>							
06h	LPF_DATA	LPF<7:0>							
07h		LPF<15:8>							
08h		LPF<23:16>							
09h	RMS_DATA	RMS<7:0>							
0Ah		RMS<15:8>							
0Bh		RMS<23:16>							
0Ch		RMS<31:24>							
0Dh		RMS<39:32>							
0Eh	PKHMIN	PKHMIN<7:0>							
0Fh		PKHMIN<15:8>							
10h		PKHMIN<23:16>							
11h	PKHMAX	PKHMAX<7:0>							
12h		PKHMAX<15:8>							
13h		PKHMAX<23:16>							
14h	CTSTA	PCNTI	ACPO	CMPHO	CMPLO	-	-	-	CTBOV
15h	CTC	CTC<7:0>							
16h		CTC<15:8>							
17h		CTC<23:16>							
18h	CTB	CTB<7:0>							
19h		CTB<15:8>							
1Ah		CTB<23:16>							
1Bh	CTA	CTA<7:0>							
1Ch		CTA<15:8>							
1Dh		CTA<23:16>							
1Eh	INTF	BORF	-	-	RMSF	LPFF	AD1F	AD2F	CTF
1Fh	INTE	-	-	-	RMSIE	LPFIE	AD1IE	AD2IE	CTIE
20H	R20	SCMPI<2:0>			ENCMP	ENCNTI	ENPCMPO	ENCTR	O
21H	R21	SCMPRH<3:0>				SCMPRL<3:0>			
22H	R22	AD1OS<2:0>			AD1CHOP<1:0>		AD1OSR<2:0>		
23H	R23	ENAD1	-	0	AD1RG	AD1RHBUF	AD1RLBUF	AD1IPBUF	AD1INBUF
24H	R24	SAD1FP<3:0>				SDIO	SAD1FN<2:0>		
25H	R25	AD2IG<1:0>		AD1IG<1:0>		SACM<1:0>		OPS<2>	OPS<1>
26H	R26	ENAD2	0	ENCHOPAD2	AD2RG	SAD2CLK	AD2OSR<2:0>		
27H	R27	SAD2IP<1:0>		SAD2IN<1:0>		SAD2RH<1:0>		SAD2RL<1:0>	
28H	R28	-	SAD1RH<2:0>			-	SAD1RL<2:0>		
29H	R29	ENRMS	ENLPF	LPFBW<2:0>			ENPKH	PKHSEL<1:0>	
2Ah	R2A	PS1	DS1	FS1	SS1	PS0	DS0	FS0	SS0
2Bh	R2B	PS3	DS3	FS3	SS3	PS2	DS2	FS2	SS2
2Ch	R2C	PS5	DS5	FS5	SS5	PS4	DS4	FS4	SS4
2Dh	R2D	PS7	DS7	FS7	SS7	PS6	DS6	FS6	SS6
2Eh	R2E	PS9	DS9	FS9	SS9	PS8	DS8	FS8	SS8
2Fh	R2F	ENVS	SMODE<6:0>						
30h	R30	SREFO	ACC<6:0>						
31h	R31	ENREFO	ENBIAS	SAGND<1:0>		SFUVR<3:0>			
32h	R32	ENOP2	SOP2P<2:0>			ENOP1	SOP1P<2:0>		
33h	R33	OP1CHOP<1:0>		ENOSC	ENXI	SFT1<1:0>		SAD1I<1:0>	
34h	R34	ENAD3	O	ENCHOPAD3	AD3RG	SVXI	SDO23	O	O
35h	R35	SAD3IP<1:0>		SAD3IN<1:0>		AD3IG<1:0>		O	O
36h	R36	SPHACAL<7:0>=unknown							
37h	R37	Testing Mode, Don't use or Write "0" only							

9. Data Register

(1) AD1<23:0>：為 High Resolution ADC(AD1)的輸出資料暫存器。最大值為 7FFFFFh，最小值為 800000h。HY3130 的 AD1<23:8>為有效位元，HY3131 的 AD1<23:0>為有效位元。

(2) AD2<23:0>：為 High Speed ADC(AD2)的輸出資料暫存器。最大值為 03FFFFh，最小值為 FC0000h。HY3130 的 AD2<18:3>為有效位元，HY3131 的 AD2<18:0>為有效位元，AD<23:19>與 AD<18>位元相同。

(3) LPF<23:0>：為 Low Pass Filter 的輸出資料暫存器。最大值為 03FFFFh，最小值為 FC0000h。HY3130 的 LPF<18:3>為有效位元，HY3131 的 LPF<18:0>為有效位元，LPF<23:19>與 LPF<18>位元相同。

(4) RMS<39:0>：為 RMS Converter 的輸出資料暫存器。最大值為 1FFFFFFFFFh，最小值為 E000000000h。HY3130 的 RMS<<37:6>為有效位元，HY3131 的 RMS<37:0>為有效位元，RMS<39:38>與 RMS<37>位元相同。

(5) PKHMAX<23:0>：為 Peak Hold 的最大值輸出資料暫存器。最大值為 03FFFFh，最小值為 FC0000h。HY3130 的 PKHMAX<18:3>為有效位元，HY3131 的 PKHMAX<18:0>為有效位元，PKHMAX<23:19>與 PKHMAX<18>位元相同。

(6) PKHMIN<23:0>：為 Peak Hold 的最小值輸出資料暫存器。最大值為 03FFFFh，最小值為 FC0000h。HY3130 的 PKHMIN<18:3>為有效位元，HY3131 的 PKHMIN<18:0>為有效位元，PKHMIN<23:19>與 PKHMIN<18>位元相同。

(7) CTA<23:0>：為 Frequency Counter 的資料暫存器。最大值為 FFFFFFh，最小值為 000000h。

(8) CTB<23:0>：為 Frequency Counter 的資料暫存器。最大值為 FFFFFFh，最小值為 000000h。

(9) CTC<23:0>：為 Frequency Counter 的資料暫存器。最大值為 FFFFFFh，最小值為 000000h。

10. Interrupt

Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
1Fh	INTE	-	-	-	RMSIE	LPFIE	AD1IE	AD2IE	CTIE
1Eh	INTF	BORF	-	-	RMSF	LPFF	AD1F	AD2F	CTF

10.1 INTE : IRQ Enable Register

(1) RMSIE：Enable RMS 事件發生時產生 IRQ。1=Enable，0=Disable。

(2) LPFIE：Enable Low Pass Filter 事件發生時產生 IRQ。1=Enable，0=Disable。

(3) AD1IE：Enable AD1 事件發生時產生 IRQ。1=Enable，0=Disable。

(4) AD2IE：Enable AD2 事件發生時產生 IRQ。1=Enable，0=Disable。

(5) CTIE：Enable Frequency Counter 事件發生時產生 IRQ。1=Enable，0=Disable。

(6) 當 XXIE 設為 1，相對位元位置的 XXF 若為 1，則會由 SPI Interface 的 DO 產生 IRQ。

(7) 當 XXIE 設為 0，相對位元位置的 XXF 仍然會因為相對的事件發生而被設為 1，但不會產生 IRQ。

10.2 INTF : IRQ Event Register

(1) BORF：當晶片電源(VDD)低於 1.9V 時，此位元會被設為 1。此位元沒有相對的 INTEx，也不會產生 IRQ。

(2) RMSF：RMS 事件發生時，RMSF 會被設為 1。

(3) LPFF：Low Pass Filter 事件發生時，LPFF 會被設為 1。

(4) AD1F：AD1 事件發生時，AD1F 會被設為 1。

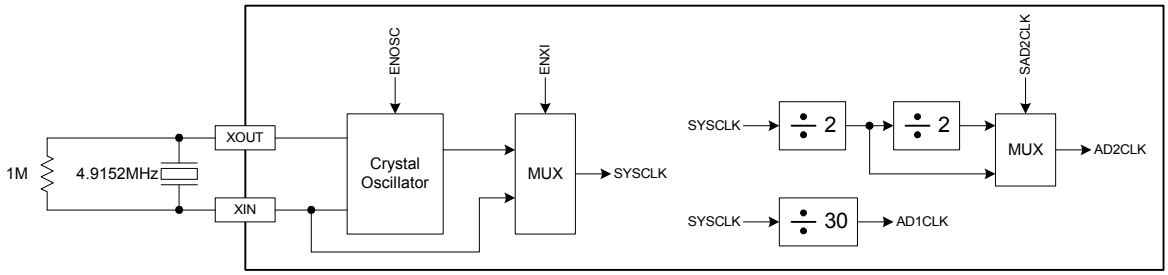
(5) AD2F：AD2 事件發生時，AD2F 會被設為 1。

(6) CTF：Frequency Counter 事件發生時，CTF 會被設為 1。

(7) 當晶片 reset 或讀取 INTF register 後，INTF register 會被清除為 0。此 INTF register 可透過 SPI Interface 寫為 0，但不可寫 1。

(8) 因為只要有事件發生，INTF register 的相對位元就會被設為 1。建議將 INTEx 設為 1 之前，請先將 INTF register 清為 0(SPI 讀取或將 0 寫入)，以避免產生不必要之 IRQ。

11. Clock System



Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
33h	R33	OP1CHOP<1:0>		ENOSC	ENXI	SFT1<1:0>		SAD1I<1:0>	
26h	R26	ENAD2	0	ENCHOPAD2	AD2RG	SAD2CLK	AD2OSR<2:0>		

晶片內建 Crystal Oscillator，可產生 Clock，提供給系統使用。XIN 與 XOUT 兩根接腳可外接石英震盪元件。若不外接石英震盪元件，XIN 也可做為系統時脈輸入接腳，如圖示。

(1) ENOSC：暫存器位元，可 Enable Crystal Oscillator。1=Enable；0=Disable。

(2) ENXI：暫存器位元，可選擇系統時脈 SYSCLK。0：SYSCLK=Crystal Oscillator 輸出；1：SYSCLK =XIN。

(3) SYSCLK：系統時脈，提供給晶片使用。

(4) AD1CLK：AD1 內的 Modulator1 的取樣訊號，其頻率固定為 $F_{SYSCLK}/30$。其中 F_{SYSCLK} 為 SYSCLK 的頻率。

(5) AD2CLK：AD2 內的 Modulator2 的取樣訊號，其頻率可由暫存器位元 SAD2CLK 選擇。

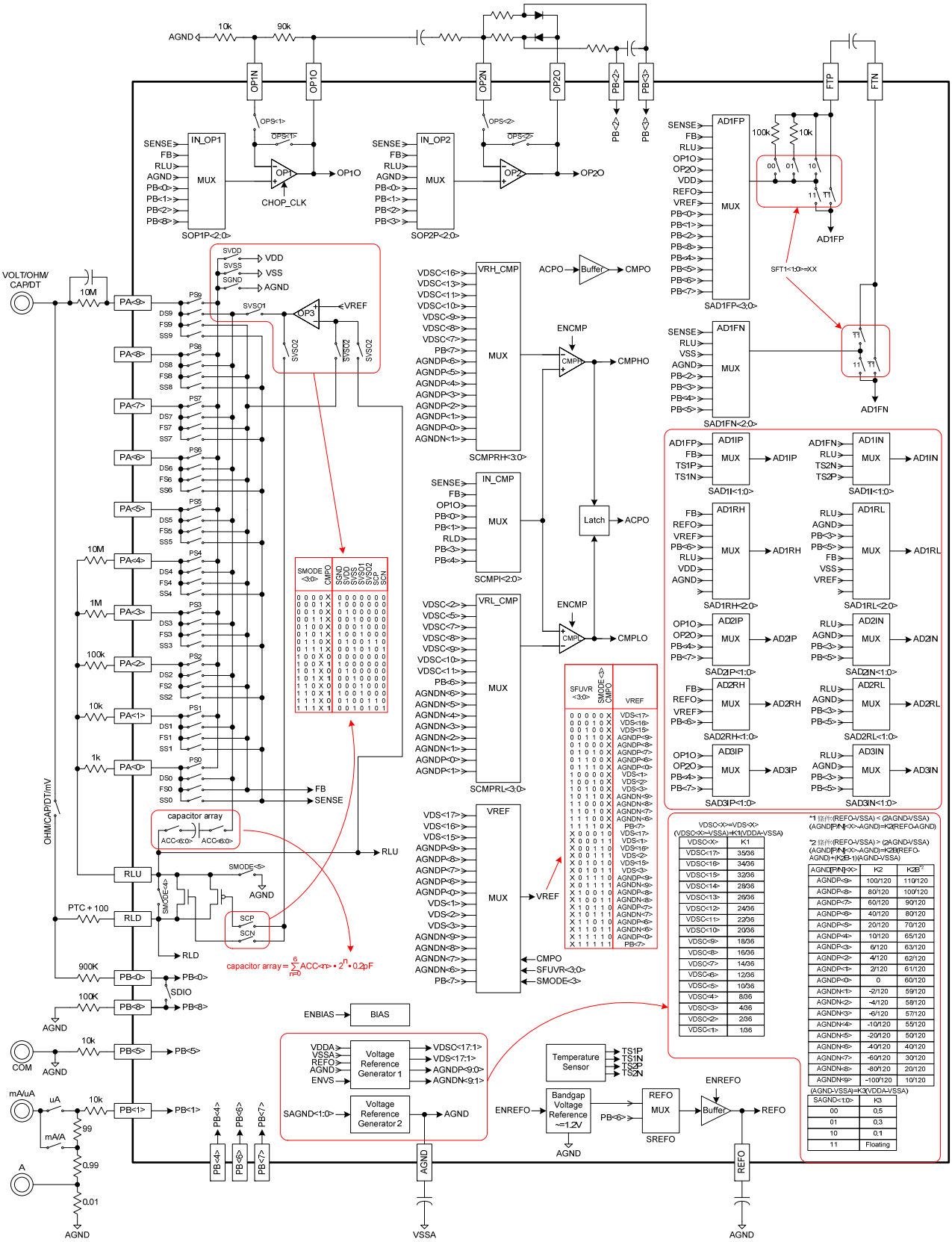
(6) SAD2CLK：暫存器位元，選擇 AD2CLK 的頻率。

0：$F_{AD2CLK}=F_{SYSCLK}/2$；　1：$F_{AD2CLK}=F_{SYSCLK}/4$。其中 F_{SYSCLK} 為 SYSCLK 的頻率，F_{AD2CLK} 為 AD2CLK 的頻率。

(7) 若暫存器 Address=37h，寫入 Data=60h，則晶片會 Reset。

(8) 若 VDD<1.9V，則晶片也會 Reset。

12. Function Network



SMODE<3:0>	CMPO	SBND	SVDD	SVSS	SVSO1	SVSO2	SCP	SCN
0 0 0 0 X	0	0	0	0	0	0	0	0
0 0 0 1 X	1	0	0	0	0	0	0	0
0 0 1 0 X	0	1	0	0	0	0	0	0
0 0 1 1 X	1	0	0	0	0	0	0	0
0 1 0 0 X	0	0	1	0	0	0	0	0
0 1 0 1 X	1	0	0	0	0	0	0	0
0 1 1 0 X	0	1	0	0	1	1	0	0
0 1 1 1 X	1	0	0	0	0	0	0	0
1 0 0 0 X	0	0	0	1	0	0	0	0
1 0 0 1 X	1	0	0	0	0	0	0	0
1 0 1 0 X	0	1	0	0	0	0	0	0
1 0 1 1 X	1	0	0	0	0	0	0	0
1 1 0 0 X	0	0	1	1	0	0	0	0
1 1 0 1 X	1	0	0	0	0	0	0	0
1 1 1 0 X	0	1	0	0	1	1	0	0
1 1 1 1 X	1	0	0	0	0	0	0	0

SFUVR<3:0>	SMODE<3>	CMPO	VREF
0 0 0 0 0 X			VDS<17>
0 0 0 1 0 X			VDS<16>
0 0 1 1 0 X			VDS<15>
0 1 0 0 0 X			AGNDP<9>
0 1 1 0 0 X			AGNDP<8>
0 1 1 1 0 X			AGNDP<7>
1 0 0 0 0 X			AGNDP<6>
1 0 0 1 0 X			AGNDP<5>
1 0 1 0 0 X			VDS<3>
1 0 1 1 1 0			AGNDN<9>
1 1 0 0 0 X			AGNDN<8>
1 1 0 1 0 X			AGNDN<7>
1 1 1 0 0 X			AGNDN<6>
1 1 1 1 1 0			PB<7>
X 0 0 0 0 1			VDS<17>
X 0 0 0 1 1			VDS<1>
X 0 0 1 1 0			VDS<16>
X 0 0 1 1 1			VDS<2>
X 0 1 0 1 0			VDS<15>
X 0 1 0 1 1			VDS<3>
X 0 1 1 1 0			AGNDP<9>
X 0 1 1 1 1			AGNDN<9>
X 1 0 0 1 0			AGNDP<8>
X 1 0 0 1 1			AGNDN<8>
X 1 0 1 1 0			AGNDP<7>
X 1 0 1 1 1			AGNDN<7>
X 1 1 0 1 0			AGNDP<6>
X 1 1 0 1 1			AGNDN<6>
X 1 1 1 1 0			AGNDP<0>
X 1 1 1 1 1			PB<7>

VDSC<X>=VDS<X>
(VDSC<X>-VSSA)=K1(VDDA-VSSA)

VDSC<X>	K1
VDSC<17>	35/36
VDSC<16>	34/36
VDSC<15>	32/36
VDSC<14>	28/36
VDSC<13>	26/36
VDSC<12>	24/36
VDSC<11>	22/36
VDSC<10>	20/36
VDSC<9>	18/36
VDSC<8>	16/36
VDSC<7>	14/36
VDSC<6>	12/36
VDSC<5>	10/36
VDSC<4>	8/36
VDSC<3>	4/36
VDSC<2>	2/36
VDSC<1>	1/36

*1 條件(REFO-VSSA) < (2AGND-VSSA)
(AGND[P/N]-X>-AGND)=K2(REFO-AGND)

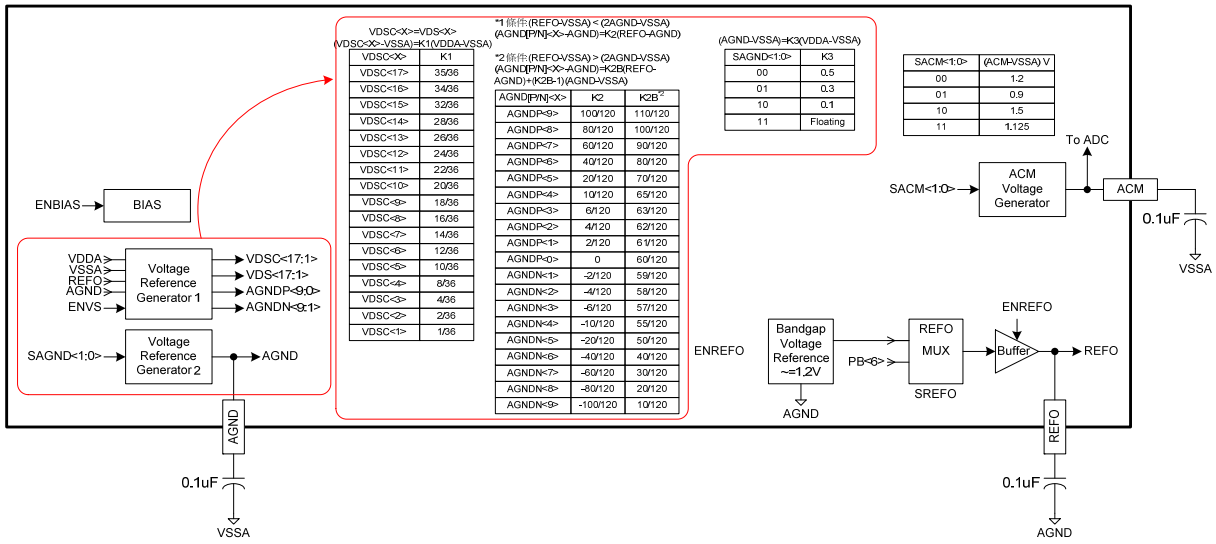
*2 條件(REFO-VSSA) > (2AGND-VSSA)
(AGND[P/N]-X>-AGND)=K2B(REFO-AGND)+(K2B-1)(AGND-VSSA)

AGND[P/N]-X>	K2	K2B*2
AGNDP<9>	100/120	110/120
AGNDP<8>	80/120	100/120
AGNDP<7>	60/120	90/120
AGNDP<6>	40/120	80/120
AGNDP<5>	20/120	70/120
AGNDP<4>	10/120	65/120
AGNDP<3>	6/120	63/120
AGNDP<2>	4/120	62/120
AGNDP<1>	2/120	61/120
AGNDP<0>	0	60/120
AGNDN<1>	-2/120	59/120
AGNDN<2>	-4/120	58/120
AGNDN<3>	-6/120	57/120
AGNDN<4>	-10/120	55/120
AGNDN<5>	-20/120	50/120
AGNDN<6>	-40/120	40/120
AGNDN<7>	-60/120	30/120
AGNDN<8>	-80/120	20/120
AGNDN<9>	-100/120	10/120

(AGND-VSSA)=K3(VDDA-VSSA)

SAGND<1:0>	K3
00	0.5
01	0.3
10	0.1
11	Floating

12.1 Voltage Reference Generator



Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
31h	R31	ENREFO	ENBIAS	SAGND<1:0>		SFUVR<3:0>			
30h	R30	SREFO	ACC<6:0>						
2Fh	R2F	ENVS	SMODE<6:0>						
25h	R25	AD2IG<1:0>		AD1IG<1:0>		SACM<1:0>		OPS<2>	OPS<1>

Voltage reference generator 產生 bias 及參考電壓，提供給 ADC，Comparator 及 OPAMP 使用。

(1) Voltage Reference Generator1：產生 VDS<17:1>，VDSC<17:1>，AGNDP<9:0>及 AGNDN<9:1>等電壓。VDSC<N>為(VDDA,VSS)分壓得到的節點，AGNDP<N>為(REFO,AGND)分壓得到的節點，AGNDN<N>為(-REFO,AGND)分壓得到的節點。

(2) Voltage Reference Generator2：產生 AGND 接腳電壓，做為量測系統的參考點。
AGND 接腳需外接 0.1μF 穩壓電容。

(3) Bandgap Voltage Reference：產生相對 AGND 約 1.2V 電壓。

(4) REFO Buffer：Buffer 的輸入由 SREFO 選擇，可選擇 Bandgap Voltage Reference 或 PB<6>電壓。
Buffer 輸出點 REFO 接腳需外接 0.1μF 穩壓電容。

(5) ACM Voltage Generator：產生 ACM 接腳電壓，做為內部 ADC 的 common mode 參考點。
ACM 接腳需外接 0.1μF 穩壓電容。

(6) ENBIAS：暫存器位元，可 Enable bias circuit，以提供 bias 給所有的 analog circuit。1=Enable，0=Disable。

(7) ENVS：暫存器位元，可 Enable Voltage Reference Generator1。1=Enable，0=Disable。

(8) SAGND<1:0>：暫存器位元，可選擇 AGND 的電壓。當 SAGND<1:0>=11 時，會 Disable Voltage Reference Generator2，且 AGND 接腳為 Floating 狀態，此時可以由外部輸入 AGND 接腳電壓。

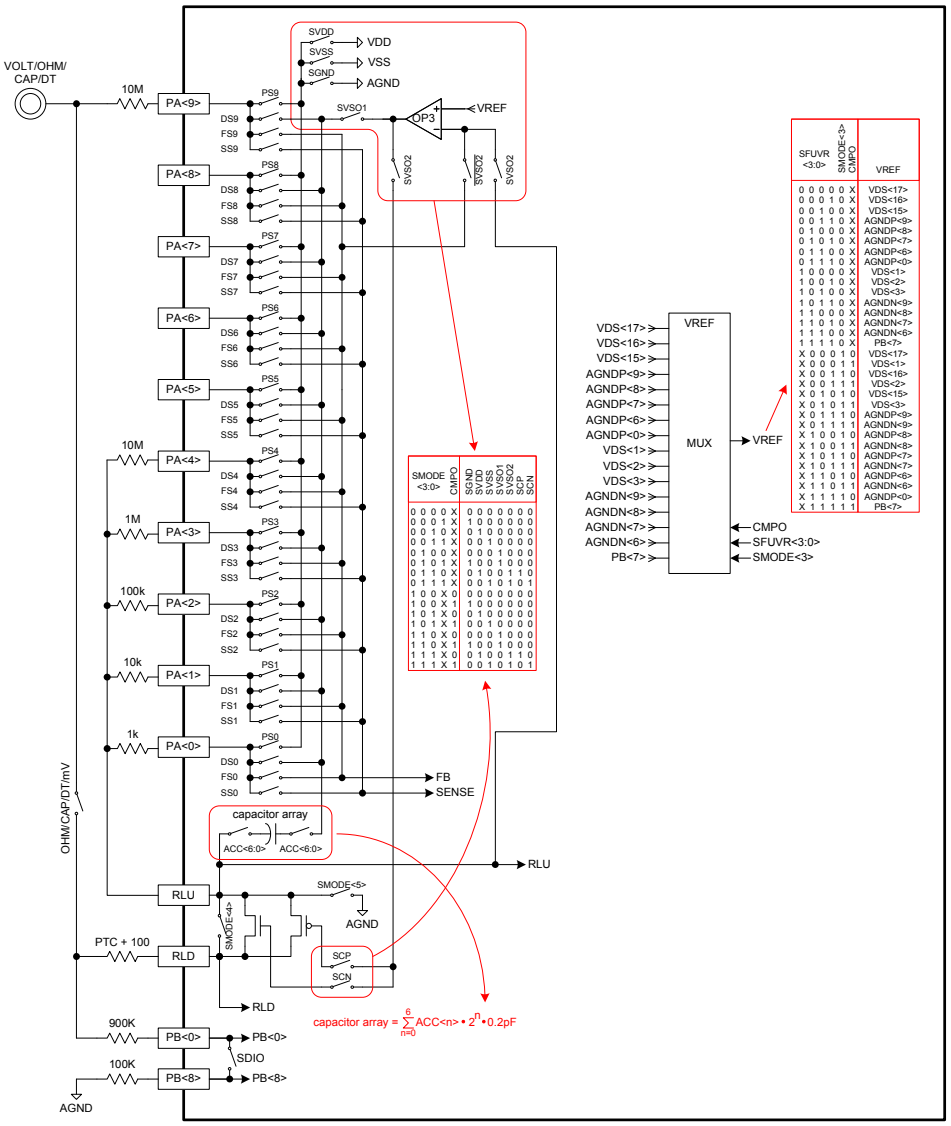
(9) ENREFO：暫存器位元，可 Enable 內部 Bandgap Voltage Reference 相對 AGND 約 1.2V 電壓，及 Enable REFO Buffer。1=Enable，0=Disable。當設為 0 時，REFO 接腳為 Floating 狀態。

(10) SREFO：暫存器位元，可選擇 REFO Buffer 的輸入源。 ”0”：選擇內部 Bandgap 相對 AGND 約 1.2V 電壓； ”1”：選擇 PB<6>接腳。

(11) SACM<1:0>：暫存器位元，可選擇 ACM 的電壓，建議 ACM 電壓使用 1.5V。

(12) 所有相關電壓，請參考圖示。

12.2 Analog Switch Network



Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
31h	R31	ENREFO	ENBIAS	SAGND<1:0>		SFUVR<3:0>			
30h	R30	SREFO	ACC<6:0>						
2Fh	R2F	ENVS	SMODE<6:0>						
2Eh	R2E	PS9	DS9	FS9	SS9	PS8	DS8	FS8	SS8
2Dh	R2D	PS7	DS7	FS7	SS7	PS6	DS6	FS6	SS6
2Ch	R2C	PS5	DS5	FS5	SS5	PS4	DS4	FS4	SS4
2Bh	R2B	PS3	DS3	FS3	SS3	PS2	DS2	FS2	SS2
2Ah	R2A	PS1	DS1	FS1	SS1	PS0	DS0	FS0	SS0
24h	R24	SAD1FP<3:0>				SDIO	SAD1FN<2:0>		

Analog switch network 如圖所示，配合外部電阻元件，可構成各式網路，可用來量測電壓、電阻、電容。其中 PA<9:0>是接腳，其內部開關分別由暫存器位元 PS9~PS0， DS9~DS0，FS9~FS0 及 SS9~SS0 控制。控制的開關內阻值大約如下：@VDDA=3.6V

暫存器位元	PS9 ~ PS2	PS1 ~ PS0	DS9 ~ DS0	FS9 ~ FS0	SS9 ~ SS0
開關內阻(Ω)	80	40	80	300	300

(1) OP3 可做為定電壓源，或者搭配 SCP/SCN 控制的 MOS 可組合成定電流源，提供待測元件量測時使用。

(2) OP3 的正端輸入為 VREF。VREF 電壓選擇由 CMPO 及暫存器位元 SFUVR<3:0>，SMODE<3>組合來控制。其電壓值選擇，請參考圖示。

(3) 內部控制訊號 SGND，SVDD，SVSS，SVSO1，SVSO2，SCP，SCN 由暫存器位元 SMODE<3:0>及訊號 CMPO 組合而成，其真值表如圖示。

(4) CMPO 為比較器的輸出訊號。

(5) Capacitor array 可做為 ACV 量測時的頻寬補償，其電容值如圖示。電容值大小由暫存器位元 ACC<6:0>控制。

$$\text{capacitor array} = \sum_{n=0}^{6} \text{ACC<n>} \bullet 2^{n} \bullet 0.2\text{pF}$$

依上述公式，各 Bit 電容值：(Bit = 0 or 1) x 2^n x 0.2pF，各 Bit 電容值計算結果如下表。(單位：pF)

ACC<6:0> = n	Bit 6	Bit 5	Bit 4	Bit3	Bit 2	Bit 1	Bit 0
ACC<n>	0/1	0/1	0/1	0/1	0/1	0/1	0/1
電容值	12.8	6.4	3.2	1.6	0.8	0.4	0.2

範例 1：

假設 ACC<6:0>=1010101，

則總補償電容值：

=(1*2^6*0.2)+(0*2^5*0.2)+(1*2^4*0.2)+(0*2^3*0.2)+(1*2^2*0.2)+(0*2^1*0.2)+(1*2^0*0.2)

=12.8 + 0 + 3.2 + 0 + 0.8 + 0 + 0.2

=17 pF

範例 2：

假設 ACC<6:0>=1100011，

則總補償電容值：

=(1*2^6*0.2)+(1*2^5*0.2)+(0*2^4*0.2)+(0*2^3*0.2)+(0*2^2*0.2)+(1*2^1*0.2)+(1*2^0*0.2)

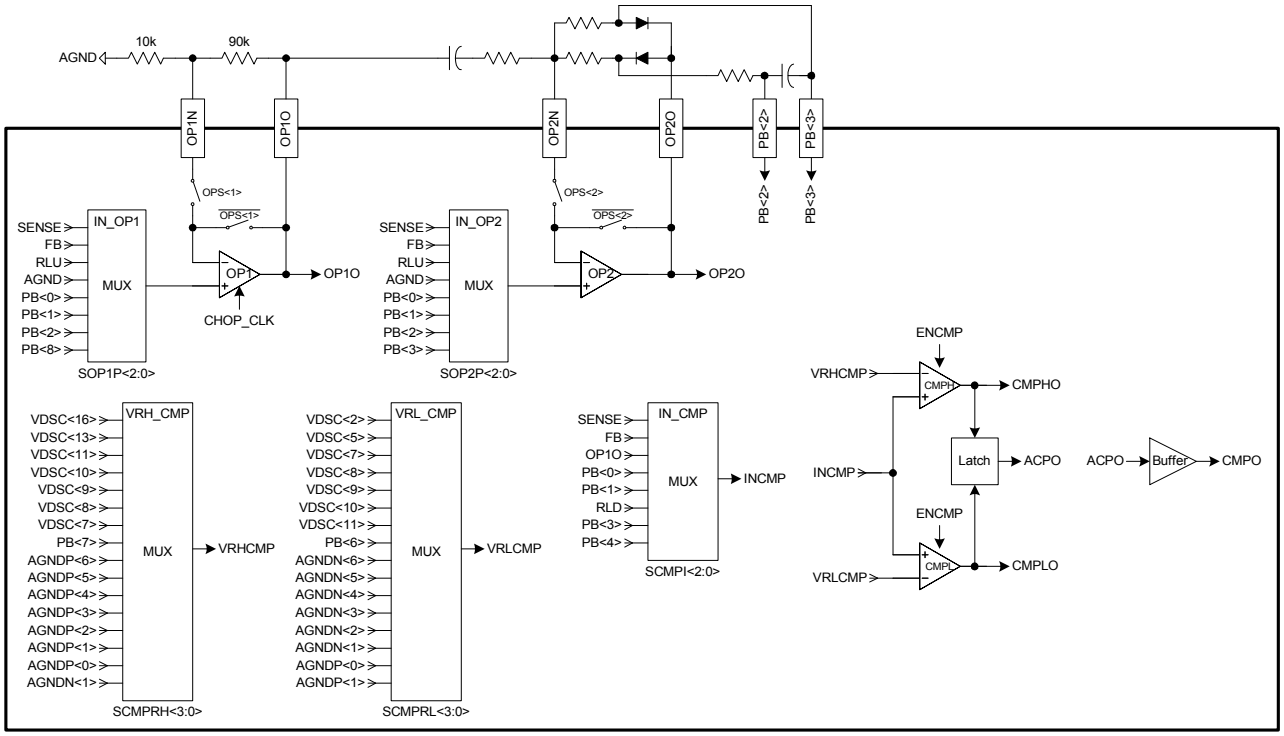
=12.8 + 6.4 + 0 + 0 + 0 + 0.4 + 0.2

=19.8 pF

(6) 暫存器位元 SDIO 可控制將 PB<0>與 PB<8>接腳連接。此功能使用在 Diode 量測時，將被量測電壓分壓。

(7) 網路的節點訊號 FB、SENSE、RLU、RLD、PB<8:0>，均可透過 MUX 由 ADC 量測。

12.3 OPAMP And Comparator



Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
33h	R33	**OP1CHOP<1:0>**		ENOSC	ENXI	SFT1<1:0>		SAD1I<1:0>	
32h	R32	**ENOP2**	**SOP2P<2:0>**			**ENOP1**	**SOP1P<2:0>**		
25h	R25	AD2IG<1:0>		AD1IG<1:0>		SACM<1:0>		**OPS<2>**	**OPS<1>**
21h	R21	**SCMPRH<3:0>**				**SCMPRL<3:0>**			
20h	R20	**SCMPI<2:0>**			**ENCMP**	ENCNTI	ENPCMPO	ENCTR	0
14h	CTSTA	PCNTI	**ACPO**	**CMPHO**	**CMPLO**	-	-	-	CTBOV

OPAMP:

如圖示，晶片內部有兩個 OPAMP，OP1 與 OP2。搭配外部元件，可構成放大電路與全波整流線路。

(1) 暫存器位元 OPS<2:1>可分別控制 OPAMP 的負端輸入為 OPXN 或者 OPXO 接腳。

(2) 暫存器位元 ENOP1，ENOP2 可分別 Enable OP1 與 OP2 (圖未畫出)。1=Enable，0=Disable。

(3) OPAMP 的正端輸入分別透過 MUX 連接，由暫存器位元 SOP1P<2:0>與 SOP2P<2:0>控制。

SOP1P<2:0>	000	001	010	011	100	101	110	111
OP1 正端輸入	SENSE	FB	RLU	AGND	PB<0>	PB<1>	PB<2>	PB<8>
SOP2P<2:0>	000	001	010	011	100	101	110	111
OP2 正端輸入	SENSE	FB	RLU	AGND	PB<0>	PB<1>	PB<2>	PB<3>

(4) CHOP_CLK 為 OP1 的 chopper clock，此訊號由暫存器位元 OP1CHOP<1:0>控制如下：

OP1CHOP<1:0>	00	01	10	11
CHOP_CLK	0	1k Hz 方波	2k Hz 方波	1

Comparator:

晶片內部有兩個類比比較器，CMPH 與 CMPL，組合成具有遲滯與 latch 功能的比較器，可比較類比訊號與數位訊號。

(1) 比較器的輸出 CMPHO，CMPLO 與 ACPO 可由 CTSTA 暫存器讀取。也會傳輸至數位單元做處理，可量測出頻率與 duty cycle。

(2) 比較器的輸入分別透過 MUX 連接，由暫存器位元 SCMPRH<3:0>，SCMPRL<3:0>與 SCMPI<2:0>控制。

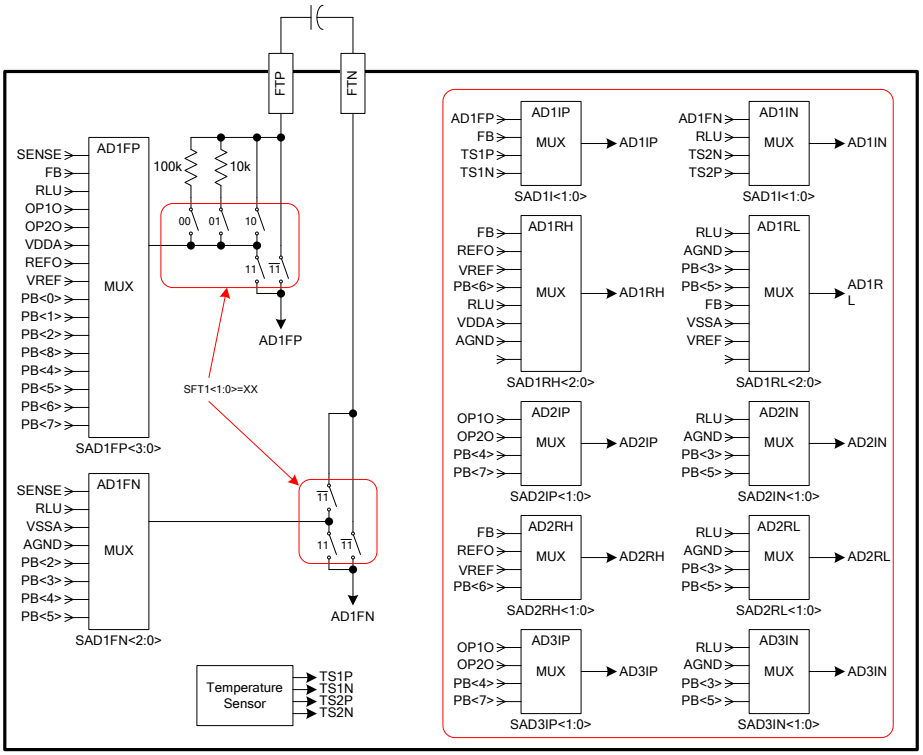
SCMPRH<3:0>	0000	0001	0010	0011	0100	0101	0110	0111
VRHCMP	VDSC<16>	VDSC<13>	VDSC<11>	VDSC<10>	VDSC<9>	VDSC<8>	VDSC<7>	PB<7>
SCMPRH<3:0>	1000	1001	1010	1011	1100	1101	1110	1111
VRHCMP	AGNDP<6>	AGNDP<5>	AGNDP<4>	AGNDP<3>	AGNDP<2>	AGNDP<1>	AGNDP<0>	AGNDN<1>
SCMPRL<3:0>	0000	0001	0010	0011	0100	0101	0110	0111
VRLCMP	VDSC<2>	VDSC<5>	VDSC<7>	VDSC<8>	VDSC<9>	VDSC<10>	VDSC<11>	PB<6>
SCMPRL<3:0>	1000	1001	1010	1011	1100	1101	1110	1111
VRLCMP	AGNDN<6>	AGNDN<5>	AGNDN<4>	AGNDN<3>	AGNDN<2>	AGNDN<1>	AGNDP<0>	AGNDP<1>
SCMPI<2:0>	000	001	010	011	100	101	110	111
INCMP	SENSE	FB	OP1O	PB<0>	PB<1>	RLD	PB<3>	PB<4>

(3) ACPO：ACPO 為比較器經過 latch 的輸出。

(4) CMPO：此訊號是 ACPO 經過 Buffer 的輸出。CMPO 可控制 Analog Switch Network 單元內的 VREF 或其他開關。

(5) ENCMP：暫存器位元，可 Enable CMPH 與 CMPL 比較器。1=Enable，0=Disable。

12.4 Pre-Filter、ADC Input MUX And Temperature Sensor



Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
35h	R35	SAD3IP<1:0>		SAD3IN<1:0>		AD3IG<1:0>		-	0
33h	R33	OP1CHOP<1:0>		ENOSC	ENXI	SFT1<1:0>		SAD1I<1:0>	
28h	R28	-	SAD1RH<2:0>			-	SAD1RL<2:0>		
27h	R27	SAD2IP<1:0>		SAD2IN<1:0>		SAD2RH<1:0>		SAD2RL<1:0>	
24h	R24	SAD1FP<3:0>				SDIO	SAD1FN<2:0>		

ADC 的輸入訊號與參考訊號均透過 MUX 連接。AD1 的輸入前級可選擇是否經過 Pre-filter。另外，晶片內部有內建溫度感測器(Temperature Sensor)，可經由 AD1 量測晶片溫度。

Pre-Filter:

(1) 在 AD1 的輸入前級有一電阻網路，在 FTP 與 FTN 之間外接濾波電容可形成 Filter，可濾掉雜訊，使輸入訊號穩定。此 Filter 的正負端輸入訊號透過 MUX 連接，而 AD1FP 與 AD1FN 分別為 Filter 的正負端輸出訊號，分別由暫存器位元 SAD1FP<3:0>、SAD1FN<2:0>與 SFT1<1:0>控制。

SAD1FP<3:0>	0000	0001	0010	0011	0100	0101	0110	0111
Filter 正端輸入	SENSE	FB	RLU	OP1O	OP2O	VDDA	REFO	VREF
SAD1FP<3:0>	1000	1001	1010	1011	1100	1101	1110	1111
Filter 正端輸入	PB<0>	PB<1>	PB<2>	PB<3>	PB<4>	PB<5>	PB<6>	PB<7>
SAD1FN<2:0>	000	001	010	011	100	101	110	111
Filter 負端輸入	SENSE	RLU	VSSA	AGND	PB<2>	PB<3>	PB<4>	PB<5>

(2) SFT1<1:0>：暫存器位元，可選擇濾波電阻為 100K、10K、0 或無，如圖示。

ADC Input MUX:

AD1 與 AD2 的輸入訊號與參考訊號均透過 MUX 連接，分別由暫存器位元控制。

(1) AD1IP 與 AD1IN：為 AD1 的正負端輸入訊號，共同由暫存器位元 SAD1I<1:0>控制。

(2) AD1RH 與 AD1RL：為 AD1 的正負端參考訊號，分別由暫存器位元 SAD1RH<2:0>與 SAD1RL<2:0>控制。

(3) AD2IP 與 AD2IN：為 AD2 的正負端輸入訊號，分別由暫存器位元 SAD2IP<1:0>與 SAD2IN<1:0>控制。

(4) AD2RH 與 AD2RL：為 AD2 的正負端參考訊號，分別由暫存器位元 SAD2RH<1:0>與 SAD2RL<1:0>控制。

(5) AD3IP 與 AD3IN(HY3131 only)：為 AD3 的正負端輸入訊號，分別由暫存器位元 SAD3IP<1:0>與 SAD3IN<1:0>控制。

SAD1I<1:0>	00	01	10	11				
AD1IP	AD1FP	FB	TS1P	TS1N				
AD1IN	AD1FN	RLU	TS2N	TS2P				
SAD1RH<2:0>	000	001	010	011	100	101	110	111
AD1RH	FB	REFO	VREF	PB<6>	RLU	VDDA	AGND	X
SAD1RL<2:0>	000	001	010	011	100	101	110	111
AD1RL	RLU	AGND	PB<3>	PB<5>	FB	VSSA	VREF	X
SAD2IP<1:0>	00	01	10	11				
AD2IP	OP1O	OP2O	PB<4>	PB<7>				
SAD2IN<1:0>	00	01	10	11				
AD2IN	RLU	AGND	PB<3>	PB<5>				
SAD3IP<1:0>	00	01	10	11				
AD3IP	OP1O	OP2O	PB<4>	PB<7>				
SAD3IN<1:0>	00	01	10	11				
AD3IN	RLU	AGND	PB<3>	PB<5>				
SAD2RH<1:0>	00	01	10	11				
AD2RH	FB	REFO	VREF	PB<6>				
SAD2RL<1:0>	00	01	10	11				
AD2RL	RLU	AGND	PB<3>	PB<5>				

Temperature Sensor:

晶片內部內建一個溫度感測器，其輸出有兩組電壓(TS1P,TS2N)，(TS1N,TS2P)。此兩組電壓可經由 AD1 量測得到。溫度計算如下：

(1) 設定 SAD1I<1:0>=10，AD1 量測得到一個數位碼 TCode1。

(2) 設定 SAD1I<1:0>=11，AD1 量測得到一個數位碼 TCode2。

(3) 計算 TCode=(TCode2 - TCode1)/2，此動作可消除 Temperature Sensor 的 Offset。

(4) 假設在 25℃校正一點，可得到 TCode@25℃。因為 Temperature Sensor 本身有一位準偏移，所以會加入一偏移量，得到溫度的曲線斜率 G 如下：

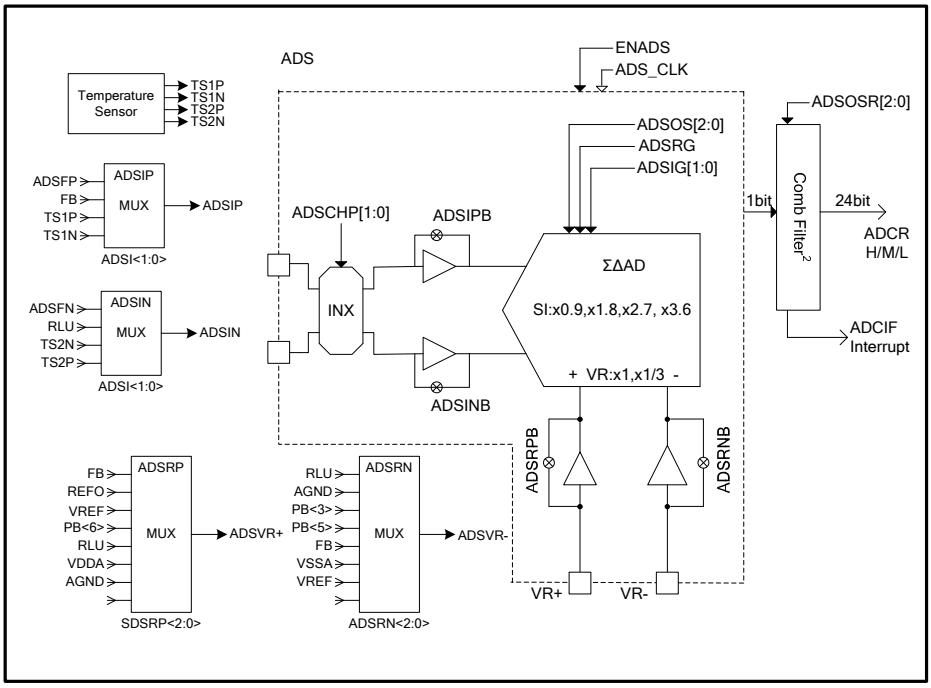
$$G = \frac{TCode@25^{\circ}C}{25 + 273.15 + T_{OS}}$$ ，其中 T_{OS} 為偏移量，約為 $16^{O}K$。

(5) 假設待測溫度為 T_X℃，則可得到：

$$T_X = \frac{TCode@T_X{}^{\circ}C}{G} - [273.15 + T_{OS}] \quad {}^{\circ}C$$

13. ΣΔADC、Low Pass Filter、RMS Converter And Peak Hold

13.1 High Resolution ADC(AD1)



Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
25h	R25	AD2IG<1:0>		AD1IG<1:0>		SACM<1:0>		OPS<2>	OPS<1>
23h	R23	ENAD1	-	0	AD1RG	AD1RHBUF	AD1RLBUF	AD1IPBUF	AD1INBUF
22h	R22	AD1OS<2:0>			AD1CHOP<1:0>		AD1OSR<2:0>		

AD1 為 High Resolution ADC，AD1IP 與 AD1IN 為正負端輸入訊號，AD1RH 與 AD1RL 為正負端參考訊號。

(1) ENAD1[7]：暫存器位元，可Enable AD1。1=Enable；0=Disable，且清除AD1<23:0>為 0。

(2) AD1CHOP<1:0>：暫存器位元，可設定 Chop AD1 輸入訊號的形式，結果會反應在 AD1 的輸出 AD1<23:0>。假設 VOS 為 AD1 的 Offset 輸出碼，VX 為 AD1 的 Zero Offset 的輸出碼。當使用不同 AD1CHOP 設定時,ADC 輸出碼如下表，當 AD1CHOP=1x 時, ADC 根據 OSR 設定的時間來切換輸入訊號,做 Offset 消除的功能.同時 ADC 輸出速度將變慢一倍.

AD1CHOP<1:0>	00	01	10	11
AD1<23:0>	VX+VOS	VX-VOS	VX	VX

(3) AD1IG<1:0>：暫存器位元，可設定 AD1 輸入訊號的 Gain。

(4) AD1RG：暫存器位元，可設定 AD1 參考訊號的 Gain。

AD1IG<1:0>	00	01	10	11
AD1 Input Gain	0.9	1.8	2.7	3.6

AD1RG	0	1
AD1 Reference Gain	1.0	0.333

(5) AD1OS<2:0>：暫存器位元，可設定零點輸入電壓位置 DCOS。若是待測訊號不對稱，使用此功能可使 AD1 工作在較佳的範圍。

AD1OS<2:0>	000	001	010	011	100	101	110	111
DCOS	0	0.25	0.5	0.75	0	-0.25	-0.5	-0.75

[7] AD1 與 AD2/AD3 同時開啓，AD 不要有開關動作，可以避免 AD1 有 Offset 不一問題。

假設 VIN 為 AD1 的輸入訊號，VR 為 AD1 的參考訊號，IG 為 AD1 輸入訊號的 Gain，RG 為 AD1 參考訊號的 Gain。則 $AD1<23:0>=\frac{IG \bullet VIN}{RG \bullet VR}+\frac{DCOS}{RG}$ 。

(6) AD1IPBUF：暫存器位元，可設定 AD1 正端輸入訊號是否經過 Buffer。1=Enable；0=Disable。

(7) AD1INBUF：暫存器位元，可設定 AD1 負端輸入訊號是否經過 Buffer。1=Enable；0=Disable。

(8) AD1RHBUF：暫存器位元，可設定 AD1 正端參考訊號是否經過 Buffer。1=Enable；0=Disable。

(9) AD1RLBUF：暫存器位元，可設定 AD1 負端參考訊號是否經過 Buffer。1=Enable；0=Disable。

(10) AD1CLK：Modulator1 的取樣訊號，其頻率固定為 $F_{SYSCLK}/30$。其中 F_{SYSCLK} 為 SYSCLK 的頻率。

(11) AD1OSR<2:0>：暫存器位元，可設定 AD1 Comb Filter 的 Over Sampling Ratio(OSR1)。

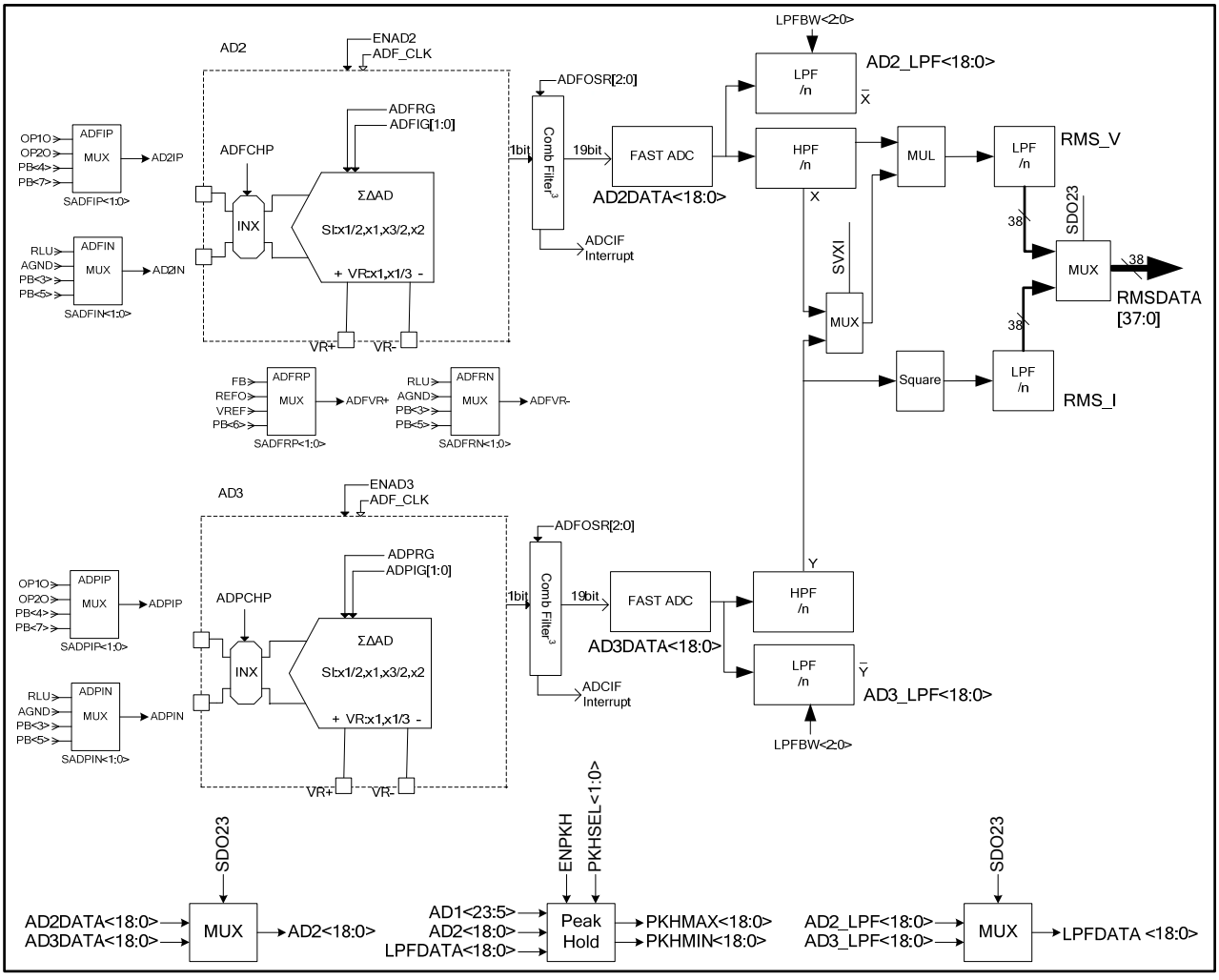
AD1 data output rate=F_{AD1CLK}/OSR1。其中 F_{AD1CLK} 為 AD1CLK 的頻率。

AD1OSR<1:0>	000	001	010	011	100	101	110	111
OSR1	256	512	1024	2048	4096	8192	16384	32768

(12) AD1<23:0>：為 AD1 的輸出資料暫存器，共 24 bits。

(13) AD1F：為 AD1 事件發生時的旗標，此訊號會送至 INTF 暫存器內。

13.2 High Speed ADC(AD2 & AD3)、Low Pass Filter、RMS Converter And Peak Hold



Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
36h	R36	SPHACAL<7:0>							
35h	R35	SAD3IP<1:0>		SAD3IN<1:0>		AD3IG<1:0>		-	0
34h	R34	ENAD3	0	ENCHOPAD3	AD3RG	SVXI	SDO23	0	0
29h	R29	ENRMS	ENLPF	LPFBW<2:0>			ENPKH	PKHSEL<1:0>	
26h	R26	ENAD2	0	ENCHOPAD2	AD2RG	SAD2CLK	AD2OSR<2:0>		
25h	R25	AD2IG<1:0>		AD1IG<1:0>		SACM<1:0>		OPS<2>	OPS<1>

AD2:

AD2 為High Speed ADC，AD2IP與AD2IN為正負端輸入訊號[8]，AD2RH與AD2RL為正負端參考訊號。

(1) ENAD2：暫存器位元，可 Enable AD2。1=Enable；0=Disable，且清除 AD2<18:0>為 0。

(2) ENCHOPAD2：暫存器位元，可 Enable Chop AD2 的輸入訊號。1=Enable，0=Disable。當啓用 AD2 Chop 設定時,做 Offset 消除的功能.同時 ADC 輸出速度將變慢一倍.

(3) AD2IG<1:0>：暫存器位元，可設定 AD2 輸入訊號的 Gain。

(4) AD2RG：暫存器位元，可設定 AD2 參考訊號的 Gain。

AD2IG<1:0>	00	01	10	11	AD2RG	0	1
AD2 Input Gain	0.5	1.0	1.5	2.0	AD2 Reference Gain	1.0	0.333

(5) AD2CLK：Modulator2 的取樣訊號，其頻率可由暫存器位元 SAD2CLK 選擇。

SAD2CLK=0：$F_{AD2CLK}=F_{SYSCLK}/2$； SAD2CLK=1：$F_{AD2CLK}=F_{SYSCLK}/4$。其中 F_{SYSCLK} 為 SYSCLK 的頻率，F_{AD2CLK} 為 AD2CLK 的頻率。

(6) AD2OSR<2:0>：暫存器位元，可設定 AD2 Comb Filter 的 Over Sampling Ratio(OSR2)。

AD2 data output rate=F_{AD2CLK}/OSR2。

AD2OSR<2:0>	000	001	010	011	100	101	110	111
OSR2	32	64	128	256	512	1024	1024	1024

(7) AD2<18:0>：為 AD2 的輸出資料，共 19 bits。

(8) AD2F：為 AD2 事件發生時的旗標，此訊號會送至 INTF 暫存器內。

(9) SPHACAL<7:0> (HY3131 only)：暫存器位元，可 Calibrate AD2 Phase。此功能是為了量測 Power 時，將 AD2 與 AD3 的輸出設為同相位。使用此功能時，必須先設定 SPHACAL<7:0>，然後再將 ENAD2 與 ENAD3 設為 1，否則資料會比較晚穩定。

SPHACAL<7>：此位元為領先或落後的設定。0：AD2 輸出會落後 AD3 輸出； 1：AD2 輸出會領先 AD3 輸出。

SPHACAL<6:0>：這些位元可設定領先或落後的時間 T。

$$T = \sum_{n=0}^{6} 2^n \bullet SPHACAL<n> \bullet \frac{1}{F_{AD2CLK}}$$ ， 其中 F_{AD2CLK} 為 AD2CLK 的頻率。

AD3 (HY3131 only):

AD3 為第二個 High Speed ADC，AD3IP 與 AD3IN 為正負端輸入訊號。AD2RH 與 AD2RL 為正負端參考訊號，與 AD2 共用。

(1) ENAD3：暫存器位元，可 Enable AD3。1=Enable；0=Disable，且清除 AD3DATA<18:0>為 0。

(2) ENCHOPAD3：暫存器位元，可 Enable Chop AD3 的輸入訊號。1=Enable，0=Disable。當啓用 AD3 Chop 設定時,做 Offset 消除的功能.同時 ADC 輸出速度將變慢一倍.

(3) AD3IG<1:0>：暫存器位元，可設定 AD3 輸入訊號的 Gain。

[8] 當 AD2 與 AD3 同時應用時，建議 AD2IN 與 AD3IN 接在 AGND 上或接不同 PB<x>輸入。

(4) AD3RG：暫存器位元，可設定 AD3 參考訊號的 Gain。

AD3IG<1:0>	00	01	10	11	AD3RG	0	1
AD3 Input Gain	0.5	1.0	1.5	2.0	AD3 Reference Gain	1.0	0.333

(5) AD2CLK：Modulator3 的取樣訊號，與 AD2 共用，可由暫存器位元 SAD2CLK 選擇。

SAD2CLK=0：$F_{AD2CLK}=F_{SYSCLK}/2$； SAD2CLK=1：$F_{AD2CLK}=F_{SYSCLK}/4$。其中 F_{SYSCLK} 為 SYSCLK 的頻率，F_{AD2CLK} 為 AD2CLK 的頻率。

(6) AD2OSR<2:0>：暫存器位元，可設定 AD3 Comb Filter 的 Over Sampling Ratio(OSR3)，與 AD2 共用。

AD3 data output rate=F_{AD2CLK}/OSR3。

AD2OSR<2:0>	000	001	010	011	100	101	110	111
OSR3	32	64	128	256	512	1024	1024	1024

(7) AD3DATA<18:0>：為 AD3 的輸出資料，共 19 bits。

(8) AD2F：為 AD3 事件發生時的旗標，此訊號會送至 INTF 暫存器內，與 AD2 共用。

MUX (HY3131 only):

(1) SDO23：暫存器位元，可選擇進入資料暫存器 AD2<18:0>、LPF<18:0>與 RMS<37:0>的資料。

(2) AD2<18:0>：為 High Speed ADC 的資料暫存器。此資料可選擇為 AD2DATA<18:0>或 AD3DATA<18:0>，由暫存器位元 SDO23 控制。

SDO23=0：AD2<18:0>= AD2DATA<18:0>； SDO23=1：AD2<18:0>= AD3DATA<18:0>。

Low Pass Filter:

(1) ENLPF：暫存器位元，可 Enable Low Pass Filter。1=Enable；0=Disable，且清除 LPF<18:0>為 0。

(2) SDO23 (HY3131 only)：暫存器位元，可選擇 Low Pass Filter 的輸出為 LPF[AD2DATA<18:0>]或 LPF[AD3DATA<18:0>]。

0：LPF[AD2DATA<18:0>]；1：LPF[AD3DATA<18:0>]。

(3) LPFBW<2:0>：暫存器位元，可設定 Low Pass Filter 的 Over Sampling Ratio(OSR4)。

Low Pass Filter data output rate=data input rate/OSR4。

LPFBW<2:0>	000	001	010	011	100	101	110	111
OSR4	64	128	256	512	1024	2048	4096	8192

(4) LPF<18:0>：為 Low Pass Filter 的輸出資料暫存器。

(5) LPFF：為 Low Pass Filter 事件發生時的旗標，此訊號會送至 INTF 暫存器內。

RMS Converter:

(1) ENRMS：暫存器位元，可 Enable RMS Converter。1=Enable；0=Disable，且清除 RMS<37:0>為 0。

(2) RMS<37:0>：為 RMS Converter 的輸出資料暫存器。

RMS data output rate=Low Pass Filter data output rate。

(3) SDO23 與 SVXI (HY3131 only)：暫存器位元，兩者的組合可選擇 RMS Converter 的輸出資料。

假設 X=AD2DATA<18:0>經過 High Pass Filter 的資料，Y=AD3DATA<18:0>經過 High Pass Filter 的資料。N=Low Pass Filter 的 OSR，由 LPFBW<2:0>設定。則：

SDO23	0	0	1	1
SVXI	0	1	0	1
RMS<37:0>	$\Sigma X^2/N$	$\Sigma XY/N$	$\Sigma Y^2/N$	$\Sigma Y^2/N$

若要得到 RMS 值，必須由外部 MCU 軟體開根號。

(4) RMSF：為 RMS Converter 事件發生時的旗標，此訊號會送至 INTF 暫存器內。

Peak Hold:

(1) ENPKH：暫存器位元，可 Enable Peak Hold。1=Enable；0=Disable，且清除 PKHMAX<18:0>為 40000h，PKHMIN<18:0>為 3FFFFh。

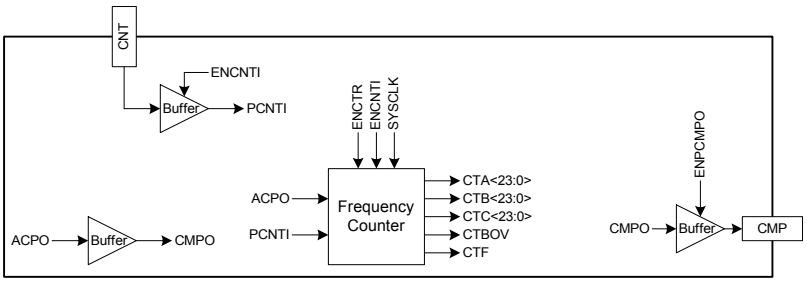
(2) PKHSEL<1:0>：暫存器位元，可選擇 Peak Hold 的輸入為 AD1<23:5>、AD2<18:0>或 LPF<18:0>。

PKHSEL<1:0>	00	01	10	11
Peak Hold 輸入	AD2<18:0>	AD1<23:5>	LPF<18:0>	LPF<18:0>

(3) PKHMAX<18:0>：為 Peak Hold 的最大值輸出資料暫存器。default 值=40000h。

(4) PKHMIN<18:0>：為 Peak Hold 的最小值輸出資料暫存器。default 值=3FFFFh。

14. Frequency Counter、CNT And CMP Pin



Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
20h	R20	SCMPI<2:0>			ENCMP	ENCNTI	ENPCMPO	ENCTR	0
14h	CTSTA	PCNTI	ACPO	CMPHO	CMPLO	-	-	-	CTBOV

Frequency Counter:

Frequency Counter 可選擇 ACPO 或 PCNTI 為輸入源。輸出會寫入資料暫存器 CTA<23:0>、CTB<23:0>及 CTC<23:0>內。可藉由讀取資料暫存器，計算訊號的頻率與 Duty Cycle。

(1) ENCTR：暫存器位元，可 Enable Frequency Counter。1=Enable；0=Disable，且清除 CTA<23:0>、CTB<23:0>、CTC<23:0>及 CTBOV 為 0。

(2) ENCNTI：暫存器位元，可 Enable CNT Buffer。也可選擇 Frequency Counter 的輸入源。

ENCNTI	0	1
Frequency Counter 輸入	ACPO	PCNTI

(3) PCNTI：為 CNT Buffer 的輸出，也會傳送至暫存器 CTSTA<7>。

(4) CTA<7:0>：資料暫存器，當 ENCTR=0 時，CTA<7:0>會被清除為 0。

(5) CTA<23:8>：資料暫存器，當 ENCTR=0 時，CTA<23:8>不會被清除為 0。當 ENCTR=0 時，CTA<23:8>只能透過 SPI 寫入值。當 ENCTR=1 時，CTA<23:8>只能由 Frequency Counter 寫入值。

(6) CTB<23:0>：資料暫存器，當 ENCTR=0 時，會被清除為 0。當 ENCTR=1 且計數完畢發生中斷後，會記錄待測訊號的完整週期數目。可用來計算待測訊號的頻率。

(7) CTC<23:0>：資料暫存器，當 ENCTR=0 時，會被清除為 0。當 ENCTR=1 且計數完畢發生中斷後，會記錄待測訊號為 High 時的 SYSCLK 數目。可用來計算待測訊號的 Duty Cycle。

(8) CTBOV：暫存器位元，當 CTB<23:0> Over Flow 時，會被設為 1。讀取 CTSTA 暫存器或 ENCTR=0，皆會被設為 0。

(9) CTF：為 Frequency Counter 事件發生時的旗標，此訊號會送至 INTF 暫存器內。

(10) SYSCLK 為系統時脈。

Frequency Counter 操作如下：

(1) 設定 ENCTR=0，CTA<7:0>會被設為 0。

(2) 設定計數初始值於 CTA<23:8>。則預設計數時間 Gate Time=[1000000h-CTA<23:0>]/F_{SYSCLK}。

(3) 設定 ENCTR=1，開始計數。若 CTA<23:0>發生 Over Flow 時，CTA<23:0>仍然會繼續計數，直到 CTB<23:0>記錄到待測訊號的完整週期數目後，才會停止計數。

(4) 等待中斷。

(5) 中斷出現後停止計數。

(6) 讀取 CTA<23:0>，CTB<23:0>，CTC<23:0>及 CTBOV。

(7) 若 CTBOV=1，則代表 Gate Time 設定太長，但待測訊號頻率很高，CTB<23:0>才會發生 Over Flow。此

次計數資料是沒有意義的。必須由步驟(1)重新開始，且重新設定 Gate Time，再計數一次。

(8) 若 CTBOV=0，則代表此次計數資料是有意義的。可由資料計算出待測訊號的頻率，Duty Cycle。

計數總時間 $T=[1000000h-CTA<23:0>_{Initial}+ CTA<23:0>_{Final}]/F_{SYSCLK}$

待測訊號頻率=CTB<23:0>/T

待測訊號 Duty Cycle=CTC<23:0>/[1000000h-$CTA<23:0>_{Initial}$+ $CTA<23:0>_{Final}$]

其中 F_{SYSCLK} 為 SYSCLK 的頻率，$CTA<23:0>_{Initial}$ 為還未計數前設定的值，$CTA<23:0>_{Final}$ 為計數完後，讀出的值。

CNT And CMP pin:

CNT Pin 為數位輸入腳，訊號可由此輸入，送至 Frequency Counter 量測。CMP Pin 為數位輸出腳，可將晶片的 CMPO 訊號輸出至 CMP Pin。

(1) ENCNTI：暫存器位元，可 Enable CNT Buffer。1=Enable；0=Disable。也可選擇 Frequency Counter 的輸入源。

(2) PCNTI：為 CNT Buffer 的輸出，也會傳送至暫存器 CTSTA<7>。

(3) ENPCMPO：暫存器位元，可 Enable CMP Pin 的 Buffer。1=Enable；0=Disable。

15. Reference documents

APD-DMM003_TC　HY313X 組態設定

16. Ordering Information

下單品名[1]	封裝型式	引腳數	封裝型式 描述方式		出貨包裝形式	個裝數量	材料組成	MSL[2]
HY3130-L048	LQFP	48	L	048	Tray	250	Green[3]	MSL-3
HY3131-L044	LQFP	44	L	044	Tray	160	Green[3]	MSL-3
HY3131-L048	LQFP	48	L	048	Tray	250	Green[3]	MSL-3

[1] **產品名稱 – 封裝型式描述方式（標準品）**

例如：您的需求是 HY3131 封裝片 LQFP44 出貨，則下單品名為 HY3131-L044，且需以 Tray 出貨，則除下單品名外，請特別註明出貨包裝形式為 Tray

例如：您的需求是 HY3131 封裝片 LQFP48 出貨，則下單品名為 HY3131-L048，且需以 Tray 出貨，則除下單品名外，請特別註明出貨包裝形式為 Tray

[2] **MSL:**

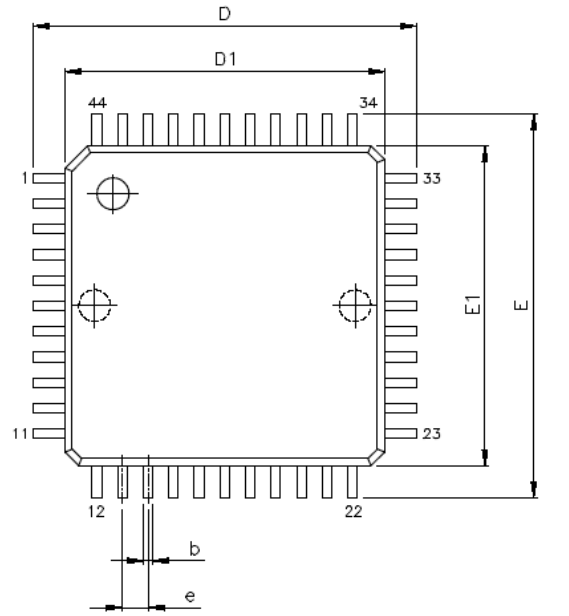
濕度敏感性等級係依據 IPC/JEDEC J-STD-020 的規範加以試驗分級，並參考 IPC/JEDEC J-STD-033 的標準處理、包裝、運輸與使用。

[3] **Green (RoHS & no Cl/Br):**

HYCON 產品皆為 Green Product，符合 RoHS 指令以及無鹵素規定(Br/Cl<0.1%)

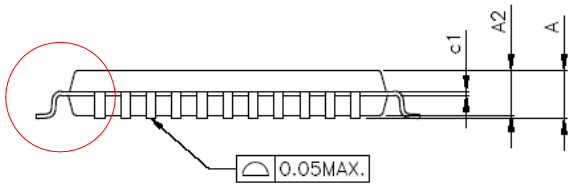
17. Packaging Information

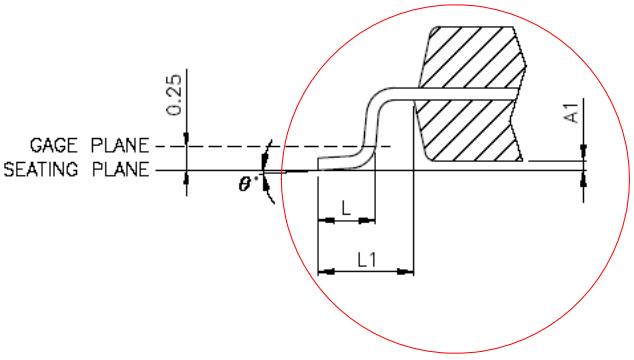
LQFP44(L044)



VARIATIONS (ALL DIMENSIONS SHOWN IN MM)

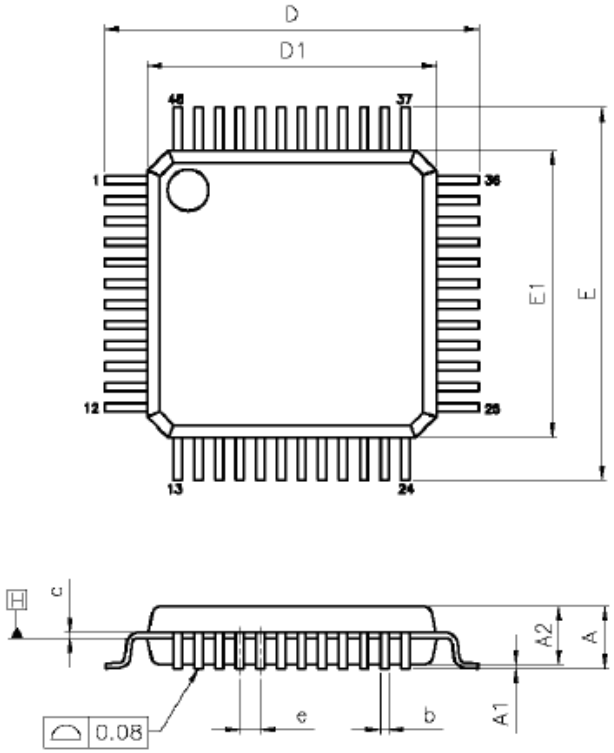
SYMBOLS	MIN.	NOM.	MAX.
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
c1	0.09	—	0.16
D		12.00 BSC	
D1		10.00 BSC	
E		12.00 BSC	
E1		10.00 BSC	
e		0.80 BSC	
b	0.30	0.37	0.45
L	0.45	0.60	0.75
L1		1.00 REF	
θ°	0°	3.5°	7°





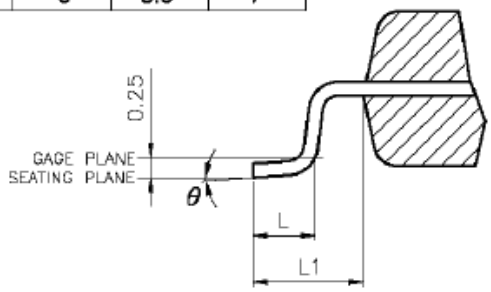
JEDEC MS-026 Compliant

LQFP48(L048)



VARIATIONS (ALL DIMENSIONS SHOWN IN MM)

SYMBOLS	MIN.	NOM.	MAX.
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
b	0.17	0.22	0.27
c	0.09	--	0.20
D	9.00 BSC		
D1	7.00 BSC		
E	9.00 BSC		
E1	7.00 BSC		
e	0.50 BSC		
L	0.45	0.60	0.75
L1	1.00 REF		
θ	0°	3.5°	7°



JEDEC MS-026 Compliant

18. Revision Record

Major differences are stated thereinafter :

Version	Page	Revision Summary
V01	ALL	First Edition
V02	ALL	2nd Edition
V03	23	LPFBW 暫存器設定值修正
V04	4, 6-8	ACM 注意事項，新增封裝腳位
	28	範例電路移至參考文件
	29~31	增加包裝
V05	29	增加 Ordering information 內容
V06	All	晶片功能提升,增加 High Speed ADC3 及功能說明
V07	10	新增 OP 規格
	12~13	補充 SPI 通訊說明
	16~17	AGNDP<n>及 AGNDN<n>說明
	19	補充 Capacitor Array 說明與範例
	24	補充 AD1CHOP 說明
	25	修正 AD2/AD3 內部方塊圖
	26	補充 ENCHOPAD2 及 ENCHOPAD3 說明
	24, 26	AD1/AD2/AD3 應用注意事項
	25, 27	統一名詞 MULFP 改為 SVXI
V10	All	Add HY3130 Difference
	10	修訂 AD Gain Temperature drift
	10	ADC1 線性規格變更
	11	修訂 ADC Current Consumption
	20	增加 ACM 電壓建議值
	19,20, 25~27	VSS 圖示變更為 VSSA，及 VDD 圖示變更為 VDDA