



HY3106/HY3102

Datasheet

**24-Bit Analog-to-Digital Convert
High Resolution $\Sigma\Delta$ ADC**

Table of Contents

1. 特點	4
2. 應用	4
3. 簡介	5
4. 引腳定義	6
4.1. SSOP16 引腳圖	6
4.2. I/O 引腳定義 (SSOP16)	7
5. 應用電路	8
5.1. 橋式感測器	8
6. 暫存器列表	9
6.1. 暫存器列表	9
6.2. 暫存器說明	11
7. 電器特性	14
7.1. ABSOLUTE MAXIMUM RATINGS.....	14
7.2. ELECTRICAL CHARACTERISTICS.....	14
8. $\Sigma\Delta$ ADC NOISE PERFORMANCE	16
9. SPI.....	19
10. OVERVIEW	23
10.1. Input Channel Multiplex	23
10.2. Low-Noise PGA.....	23
10.3. 參考電壓輸入	23

10.4.	COMB Filter	24
10.5.	系統頻率	26
10.6.	溫度感應器	27
10.7.	數據格式	28
11.	訂貨資訊	29
12.	封裝型式資訊	30
12.1.	SSOP16(E016)	30
13.	修訂記錄	31

注意：

- 1、本說明書中的內容，隨著產品的改進，有可能不經過預告而更改。請客戶及時到本公司網站下載更新 <http://www.hycontek.com>。
- 2、本規格書中的圖形、應用電路等，因第三方工業所有權引發的問題，本公司不承擔其責任。
- 3、本產品在單獨應用的情況下，本公司保證它的性能、典型應用和功能符合說明書中的條件。當使用在客戶的產品或設備中，以上條件我們不作保證，建議客戶做充分的評估和測試。
- 4、請注意輸入電壓、輸出電壓、負載電流的使用條件，使 IC 內的功耗不超過封裝的容許功耗。對於客戶在超出說明書中規定額定值使用產品，即使是瞬間的使用，由此所造成的損失，本公司不承擔任何責任。
- 5、本產品雖內置防靜電保護電路，但請不要施加超過保護電路性能的過大靜電。
- 6、本規格書中的產品，未經書面許可，不可使用在要求高可靠性的電路中。例如健康醫療器械、防災器械、車輛器械、車載器械及航空器械等對人體產生影響的器械或裝置，不得作為其部件使用。
- 7、本公司一直致力於提高產品的品質和可靠度，但所有的半導體產品都有一定的失效概率，這些失效概率可能會導致一些人身事故、火災事故等。當設計產品時，請充分留意冗餘設計並採用安全指標，這樣可以避免事故的發生。
- 8、本規格書中內容，未經本公司許可，嚴禁用於其他目的之轉載或複製。

HY3106/HY3102

24-Bit Analog-to-Digital Convert
High Resolution $\Sigma\Delta$ ADC



1. 特點

- 橋氏傳感器的前置訊號處理設計
- 內建前置放大器(PGA)，可選擇增益 $\times 1, \times 2, \times 4, \times 8, \times 16, \times 32, \times 64, \times 128$ 。
- 外部晶體震盪器輸入或內部高精度 RC 震盪器工作時脈切換選擇
- 可選擇 10, 80, 640 或 2560 SPS 的數據輸出速率
- 內建溫度感應器
- 選擇 10SPS 輸出速率時可同時抑制 50 / 60 Hz 的訊號
- RMS Noise :
10 SPS 輸出速率時為 50nV (Gain= 128)
80 SPS 輸出速率時為 150nV (Gain= 128)
- 可選擇使用 Reference Input buffer
- SPI 數據傳輸介面
- SSOP16 封裝
- 內建 VDDA 穩壓器，可選擇電壓: Off, 2.4V 2.7V, 3.0V, 或 3.3V
- 電壓工作範圍: 2.4V to 3.6V
- -40°C to $+85^{\circ}\text{C}$ 操作溫度範圍
- 內建直流偏壓設置，可選擇 0, $\pm 1/8, \pm 1/4, \pm 3/8, \pm 1/2, \pm 5/8, \pm 3/4, \pm 7/8$ 倍 VREF 的偏置電壓
- 低 Sleep 電流，約 0.65uA (ENADC = 0)
- 內建 4 種訊號輸入模式切換(正向輸入、下短路、上短路、交錯)
- Operation Current :
950uA@Gain=64,128;
300uA@Gain= 1,2,4

Model No.	Architecture	Input Channels	ENOB (Bits)	RMS Noise	System Clock	Sample Rate (Max)	Built-In Temp. Sensor	DC Offset Set	Interface	Package
HY3102	Sigma-Delta	2	21	50nV (10SPS)	Int. 320kHz	2560SPS	YES	YES	SPI	SSOP 16
HY3106	Sigma-Delta	4	21	50nV (10SPS)	Int. 320kHz Ext.4.9152MHz	2560SPS	YES	YES	SPI	SSOP 16

2. 應用

- Weight Scale
- Strain Gauge
- Pressure Scale
- Industrial Process Control

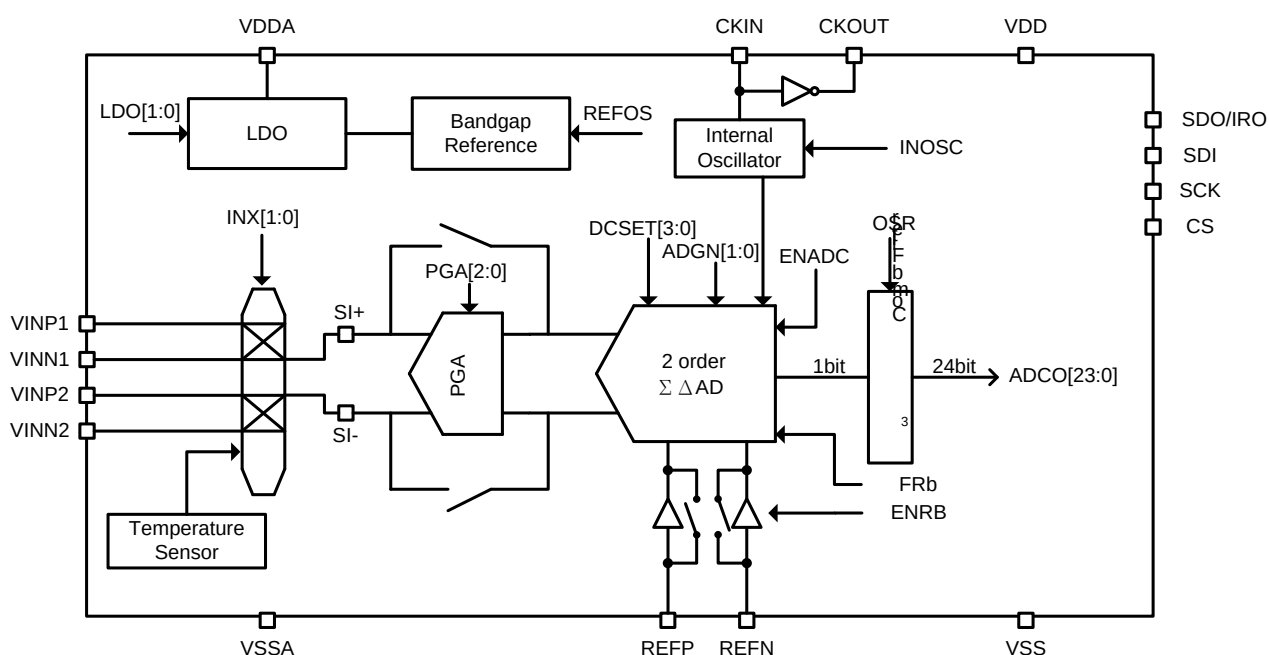
3. 簡介

HY310x (HY3106/HY3102) 是一個高精度低功率的 24-bit Analog-to-Digital 轉換器 (ADC)，內建超低雜訊的可程編程前置放大器 (PGA)，1 倍的放大倍率下有 21bit 的有效位數。在增益 128 倍時最小分變訊號為 50nV。晶片最低工作電壓為 2.4V，工作電流消耗為 950 μ A，休眠電流為 0.65 μ A。HY3106 同時也可選擇外部時脈輸入或使用內建 RC 震盪時脈做為工作頻率；HY3106 具有兩組 比訊號輸入，晶片是完 做為橋式傳感器的前置訊號處理，其應用的範圍包括秤 (Weight Scale)、應力變片 (Strain Gauge)、壓力 (Pressure Scale) 與工業處理控制 (Industrial Process Control)。

超低雜訊的可編程前置放大器 (PGA) 根據輸入訊號大小選擇 8，16 與 32 倍。搭配 ADC 裡的放大倍數 1，2 與 4 倍，最高放大倍率為 128 倍。對參考電壓 (REFP-REFN) 有乘 1 跟 1/2 的選擇。針對於 量程的輸入差動訊號 $\pm 1.28V$ ， $\pm 640mV$ ， $\pm 320mV$ ， $\pm 160mV$ ， $\pm 80mV$ ， $\pm 40mV$ ， $\pm 20mV$ 與 $\pm 10mV$ 的處理。晶片可以選擇不同的輸出速率：10 (可抑制 50/60 Hz 訊號干擾) 80, 640, 與 2560 SPS。另外有 4 種訊號輸入模式選擇 (正向、下短路、上短路與交錯) 做為 Offset 的扣除選擇，並有 8 種直流偏壓選擇 (0、 $\pm 1/8$ 、 $\pm 1/4$ 、 $\pm 3/8$ 、 $\pm 1/2$ 、 $\pm 5/8$ 、 $\pm 3/4$ 與 $\pm 7/8$ 的 VREF)。其內建 VDDA 的穩壓器，可有 Off、2.4、2.7、3.0 or 3.3V 的選擇。另外還有溫度感應器，在一個溫度點下做校正誤差範圍小於 $\pm 2^\circ C$ 。

HY310x 的數據傳輸是由內建的 SPI 模組控制，內部有一個 8 bit 可讀寫的系統控制和 16 bit 可讀寫的 ADC 控制暫存器。藉由一個 24 bits 的 COMB Filter Buffer 輸出 ADC 數據；可透過寫入 Register bit (ENADC) 來控制啟動或休眠整個晶片。

HY310x 是 SSOP-16 的封裝，操作的溫度範圍在 $-40^\circ C \sim 85^\circ C$ 。

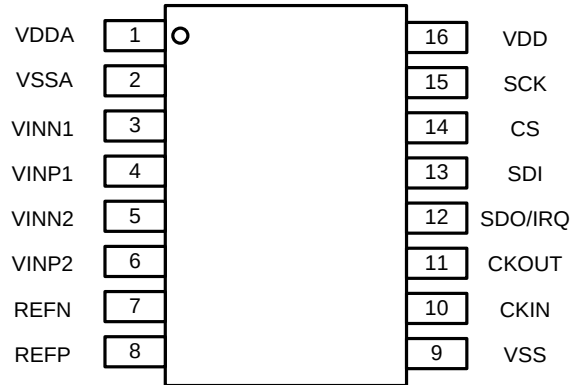


HY3106/HY3102

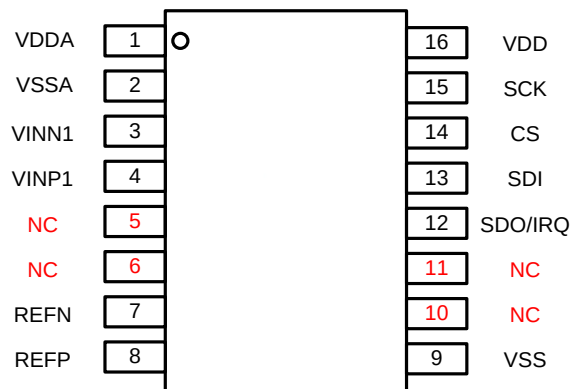
24-Bit Analog-to-Digital Convert
High Resolution $\Sigma\Delta$ ADC

4. 引腳定義

4.1. SSOP16 引腳圖



圖表 1 HY3106 SSOP16 引腳圖



圖表 2 HY3102 SSOP16 引腳圖

HY3106/HY3102

24-Bit Analog-to-Digital Convert
High Resolution $\Sigma\Delta$ ADC



4.2. I/O 引腳定義 (SSOP16)

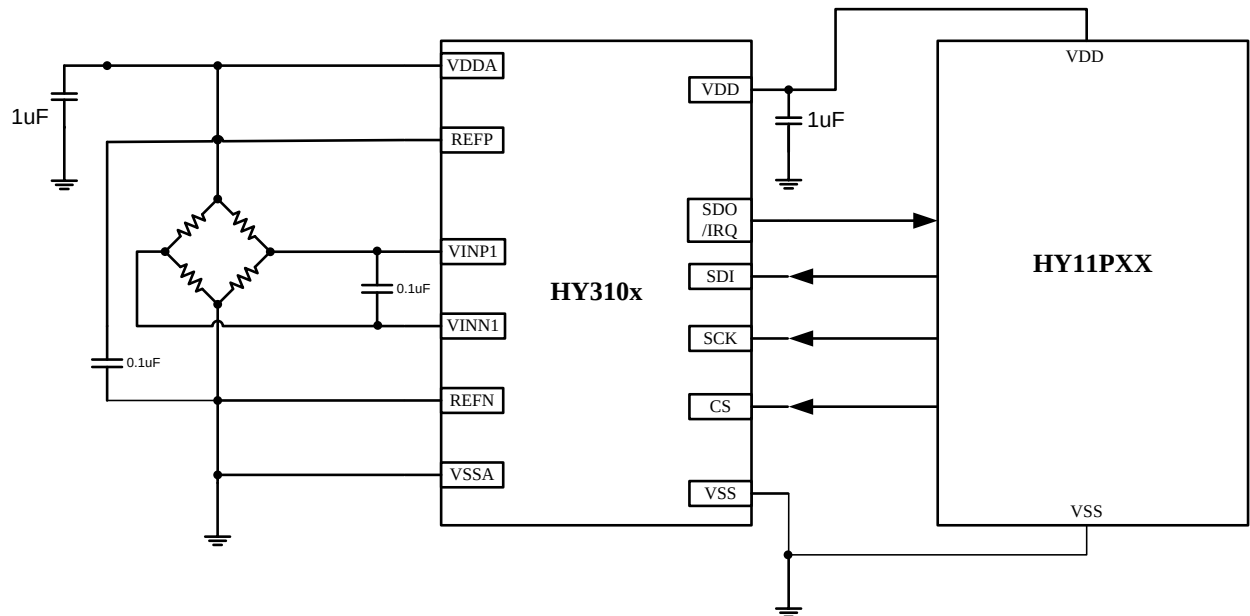
“I”輸入,“O”輸出,“S”史密斯觸發,“P”電壓源,“A” 比通道

編號	引腳名稱	引腳特性		功能說明
		格式	緩衝	
1	VDDA	P	P	Analog Power Supply: 2.4~3.6V
2	VSSA	P	P	Analog Ground
3	VINN1	I	A	Analog Input1 (Negative)
4	VINP1	I	A	Analog Input1 (Positive)
5	VINN2	I	A	Analog Input2 (Negative)
6	VINP2	I	A	Analog Input2 (Positive)
7	REFN	I	A	Reference Input (Negative)
8	REFP	I	A	Reference Input (Positive)
9	VSS	P	P	Digital Ground
10	CKIN	I	A	External oscillator input
11	CKOUT	O	A	External oscillator output
12	SDO/IRQ	O	S	SPI Data Output
13	SDI	I	S	SPI Data Input
14	CS	I	A	SPI Chip select Input
15	SCK	I	A	SPI Clock Input
16	VDD	P	P	Digital Power Supply: 2.4~3.6V

表格 1 引腳定義與功能說明

5. 應用電路

5.1. 橋式感測器



圖表 2 橋式感測器應用電路

6. 暫存器列表

6.1. 暫存器列表

Register								
	SYS[7:0]							
說明	System Configuration							
Address	000							
Name	INOSC	LDO[1]	LDO[0]	ENLDO	REFOS	SDOH	CH	TS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始狀態	0	0	0	0	0	1	0	0

Register								
	ADC[15:8]							
說明	ADC 控制暫存器							
Address	001							
Name	DCSET[3]	DCSET[2]	DCSET[1]	DCSET[0]	INX[1]	INX[0]	ADGN[1]	ADGN[0]
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始狀態	0	0	0	0	0	0	0	0

Register								
	ADC[7:0]							
說明	ADC 控制暫存器							
Address	001							
Name	PGA[2]	PGA[1]	PGA[0]	FRb	OSR[1]	OSR[0]	ENRB	ADCEN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始狀態	0	0	0	0	0	0	0	0

Register	
	ADO0[23:0]
說明	ADC channel 1 measured date
Address	010
初始狀態	X
Read/Write	R

HY3106/HY3102

24-Bit Analog-to-Digital Convert
High Resolution $\Sigma\Delta$ ADC



Register	
	ADO1[23:0]
説明	ADC channel 2 measured data
Address	100
初始状態	X
Read/Write	R

Register	
	TSO[15:0]
説明	Temperature sensor measured data
Address	110
初始状態	X
Read/Write	R

6.2. 暫存器說明

SYS Register	:	System configuration control register (8bit)
INOSC	:	Oscillator source select
0	:	External oscillator
1	:	Internal oscillator
LDO[1:0]	:	LDO output voltage selection
00	:	3.3V
01	:	3.0V
10	:	2.7V
11	:	2.4V
ENLDO	:	Enable LDO control
0	:	Disable
1	:	Enable
REFOS	:	Reference voltage selection
0	:	Disable
1	:	Enable
SDOH	:	Enable SDO Pull High
0	:	Disable
1	:	Enable
CH	:	ADC channel input select
0	:	Measure $V_{in1} - V_{in1}$
1	:	Measure $V_{in2} - V_{in2}$
TS	:	Measure temperature sensor
0	:	Disable
1	:	Enable

HY3106/HY3102

24-Bit Analog-to-Digital Convert
High Resolution $\Sigma\Delta$ ADC

- ADC Register** : ADC configuration control register (16bit)
- DCSET[3:0]** : DC offset input voltage selection (VREF = REFP-REFN)
- 0000 : 0 VREF
 - 0001 : +1/8 VREF
 - 0010 : +1/4 VREF
 - 0011 : +3/8 VREF
 - 0100 : +1/2 VREF
 - 0101 : +5/8 VREF
 - 0110 : +3/4 VREF
 - 0111 : +7/8 VREF
 - 1000 : 0 VREF
 - 1001 : -1/8 VREF
 - 1010 : -1/4 VREF
 - 1011 : -3/8 VREF
 - 1100 : -1/2 VREF
 - 1101 : -5/8 VREF
 - 1110 : -3/4 VREF
 - 1111 : -7/8 VREF
- INX[1:0]** : Input voltage multiplexer
- 00 : Input no change
 - 01 : Both of ADC input connect to VINN
 - 10 : Both of ADC input connect to VINP
 - 11 : input switch connection

INX[1:0]	00	01	10	11
Connection				

- ADGN[1:0]** : Input signal gain for modulator
- 00 : Gain = 1
 - 01 : Gain = 2
 - 10 : **Gain = 3**
 - 11 : Gain = 4

HY3106/HY3102

24-Bit Analog-to-Digital Convert High Resolution $\Sigma\Delta$ ADC



PGA[2:0]	:	Input signal gain for modulator
000	:	PGA Disable
001	:	PGA Gain = 8
010	:	Reserved
011	:	PGA Gain = 16
100	:	Reserved
101	:	PGA Gain = 24
110	:	Reserved
111	:	PGA Gain = 32
FRb	:	Full reference range select
0	:	Full reference range input
1	:	1/2 reference range input
OSR[1:0]	:	ADC output rate select
00	:	10sps
01	:	80sps
10	:	640sps
11	:	2560sps
ENRB	:	Enable reference buffer
0	:	Disable
1	:	Enable
ADCEN	:	ADC control
0	:	Disable
1	:	Enable

HY3106/HY3102

24-Bit Analog-to-Digital Convert
High Resolution $\Sigma\Delta$ ADC



7. 電器特性

7.1. ABSOLUTE MAXIMUM RATINGS

Description	HY310x	UNIT
VDDA to VSSA	-0.3 to +3.6	V
VDD to VSS	-0.3 to +3.6	V
VSSA to VSS	-0.3 to +0.3	V
Input Current	100, Momentary	mA
	10, Continuous	mA
Analog Input Voltage to VSSA	-0.3 to VDDA + 0.3	V
Digital Input Voltage to VSS	-0.3 to VDD + 0.3	V
Maximum Junction Temperature	+150	°C
Operating Temperature Range	-40 to +85	°C
Storage Temperature Range	-60 to +150	°C

7.2. ELECTRICAL CHARACTERISTICS

All specifications at TA = −40°C to +85°C, VDDA = VDD = REFP = +3V, REFN = VSSA, and PGA*Gain=128, unless otherwise noted.					
PARAMETER	CONDITIONS		HY310x		UNIT
			MIN	TYP	
Analog Inputs					
Full-Scale Input Voltage (VINP – VINN)	VREF =VDDA,		±0.5*VREF/(PGA*Gain)		V
Full-Scale Input Voltage (VINP – VINN)	VDDA=3.3V, VREF =1V,		±0.9*VREF/(PGA*Gain)		V
Negative Signal Input (VINN)			VSSA-0.1	VDDA	V
Positive Signal Input (VINP)			VSSA-0.1	VDDA	V
Common-Mode Input Range			VSSA-0.1	VDDA	V
System Performance					
Resolution	No Missing Codes		24		Bits
Data Rate	Internal Oscillator, SPEED = High		80		SPS
	Internal Oscillator, SPEED = Low		10		SPS
	External Oscillator, SPEED = High		fCLK/61440		SPS
	External Oscillator, SPEED = Low		fCLK/491520		SPS
Digital Filter Settling Time	Full Settling		4		Conversions
Integral Nonlinearity (INL)	Differential Input, End-Point Fit, G = 1, VIN=0.9*VR, delta VR~1.24V		10		ppm
Input Offset Error	Gain=1,		±50		ppm of FS
	Gain=128,		±3		ppm of FS
Input Offset Drift	Gain=1		1		uV/°C
	Gain=128,		10		nV/°C
Gain Drift	Reference Buffer off, Input common voltage=VDDA/2		5		ppm/°C
Normal-Mode Rejection	fIN = 50Hz or 60Hz ±1Hz, fDATA = 10SPS	External Oscillator ⁽¹⁾	90		dB
Common-Mode Rejection	at DC, Voltage=VDDA/2± 0.1V		80		dB
Input-Referred Noise	fDATA = 10SPS , Gain=128,		50		nV, rms
	fDATA = 80SPS , Gain=128,		150		nV, rms
Power-Supply Rejection	at DC,VDDA=3V±0.1V, Gain=1		80		dB

HY3106/HY3102

24-Bit Analog-to-Digital Convert High Resolution $\Sigma\Delta$ ADC



		at DC, VDDA=3V±0.1V, Gain=128	120	dB
Voltage Reference Input				
Voltage Reference Input (VREF)		VREF = REFP – REFN	VDDA	V
Negative Reference Input (REFN)			VSS-0.1 VDDA/2	V
Positive Reference Input (REFP)			VDDA/2 VDDA+0.1	V
Voltage Reference Input Current (Input buffer on)			10	nA
Digital				
Logic Levels	VIH	All digital inputs except CLKIN	0.7 VDD VDD + 0.1	V
		CLKIN	0.7 VDD 3.7	V
	VIL		VSS 0.2 VSS	V
	VOH	IOH = 1mA	VDD – 0.4	V
	VOL	IOL = 1mA	0.2 VDD	V
Input Leakage		0 < VIN < VDD	0.1	nA
External Clock Input Frequency (fCLKIN)			4.9152	MHz
Serial Clock Input Frequency (fSCLK)			5	MHz
(1). HY3102不支援外部震盪器功能.				

All specifications at VDD=VDDA, Internal Oscillator enable, unless otherwise noted.					
PARAMETER	CONDITIONS	HY310x			UNIT
		MIN	TYP	MAX	
Power Supply					
Power-Supply Voltage (VDDA, VDD)		2.4		3.6	V
Analog Supply Current	Normal Mode, VDDA=2.4V, Gain=1		185		μA
	Normal Mode, VDDA=2.4V, Gain=128		730		μA
	Normal Mode, VDDA=3.0V, Gain=1		195		μA
	Normal Mode, VDDA=3.0V, Gain=128		770		μA
	Normal Mode, VDDA=3.6V, Gain=1		200		μA
	Normal Mode, VDDA=3.6V, Gain=128		800		μA
	Power-Down, VDDA=2.4V		10		μA
	Power-Down, VDDA=3.6V		15		μA
	Internal LDO (ENLDO=1)		45		μA
	Reference input buffer (ENRB=1)		45		μA
Digital Supply Current	Normal Mode, VDD = 2.4V		90		μA
	Normal mode, VDD = 3.6V		130		μA
	Power-Down, SCLK = High,VDD = 2.4V		0.6		μA
	Power-Down, SCLK = High,VDD = 3.6V		0.75		μA

8. $\Sigma\Delta$ ADC Noise Performance

HY310x 針對 $\Sigma\Delta$ ADC 提供了重要的輸入雜訊規格。圖表 5 列出典型的雜訊規格表與 Gain, Output rate, 及單端最大輸入電壓等關係。測試條件設定在外部輸入訊號短路，參考電壓為 1.2V，取樣 1024 筆資料。

ΣΔADC Noise Performance with Output rate/GAIN at VDDA=2.4V, VREF=1.2V										
Output rate (sps)	Max. Vin(mV) =0.9*VREF ⁽¹⁾	Gain	=	PGA	×	ADGN	ENOB (RMS Bit)	RMS Noise (μ V)	Noise Free (Bit)	PEAK-TO-PEAK Noise (μ V)
10	±1080	1	=	1	×	1	20.69	1.466	18.19	8.222
	±540	2	=	1	×	2	20.70	0.703	18.09	4.324
	±270	3	=	1	×	3	20.53	0.527	17.96	3.136
	±135	4	=	1	×	4	20.43	0.423	17.91	2.436
	±68	8	=	8	×	1	20.54	0.196	17.91	1.224
	±34	16	=	16	×	1	20.92	0.087	18.38	0.496
	±17	24	=	24	×	1	20.20	0.083	17.63	0.493
	±540	32	=	32	×	1	20.08	0.068	17.55	0.389
	±270	48	=	24	×	2	19.61	0.063	16.98	0.387
	±135	64	=	32	×	2	19.44	0.053	16.72	0.346
±68	72	=	24	×	3	19.15	0.057	16.52	0.357	
±34	96	=	32	×	3	18.89	0.051	16.26	0.318	
±8	128	=	32	×	4	18.52	0.050	15.97	0.291	
80	±1080	1	=	1	×	1	19.14	4.165	16.47	26.477
	±540	2	=	1	×	2	19.14	2.067	16.41	13.881
	±270	3	=	1	×	3	18.98	1.544	16.37	9.475
	±135	4	=	1	×	4	18.86	1.262	16.25	7.722
	±68	8	=	8	×	1	19.02	0.562	16.36	3.559
	±34	16	=	16	×	1	18.84	0.320	16.30	1.851
	±17	24	=	24	×	1	18.73	0.229	16.13	1.396
	±540	32	=	32	×	1	18.60	0.189	15.98	1.161
	±270	48	=	24	×	2	18.09	0.179	15.50	1.076
	±135	64	=	32	×	2	17.88	0.155	15.43	0.850
±68	72	=	24	×	3	17.60	0.167	14.98	1.028	
±34	96	=	32	×	3	17.40	0.144	14.73	0.921	
±8	128	=	32	×	4	17.06	0.137	14.43	0.850	
640	±1080	1	=	1	×	1	17.70	11.220	15.06	70.065
	±540	2	=	1	×	2	17.58	6.118	14.99	36.811
	±270	3	=	1	×	3	17.51	4.275	14.97	25.001
	±135	4	=	1	×	4	17.31	3.677	14.65	23.311
	±68	8	=	8	×	1	17.46	1.655	14.79	10.623
	±34	16	=	16	×	1	17.27	0.951	14.58	6.122
	±17	24	=	24	×	1	17.25	0.639	14.65	3.876
	±540	32	=	32	×	1	17.05	0.552	14.47	3.300
	±270	48	=	24	×	2	16.55	0.519	13.95	3.157
	±135	64	=	32	×	2	16.41	0.428	13.87	2.499
±68	72	=	24	×	3	16.16	0.455	13.62	2.646	
±34	96	=	32	×	3	15.93	0.401	13.30	2.480	
±8	128	=	32	×	4	15.52	0.398	12.79	2.651	
2560	±1080	1	=	1	×	1	16.21	31.686	13.48	212.248
	±540	2	=	1	×	2	16.05	17.600	13.26	122.420
	±270	3	=	1	×	3	16.07	11.640	13.46	70.846
	±135	4	=	1	×	4	15.95	9.444	13.27	60.938
	±68	8	=	8	×	1	16.03	4.482	13.38	27.995
	±34	16	=	16	×	1	15.93	2.395	13.29	15.017
	±17	24	=	24	×	1	15.82	1.729	13.04	11.896
	±540	32	=	32	×	1	15.85	1.266	13.27	7.617
	±270	48	=	24	×	2	15.44	1.119	12.65	7.796
	±135	64	=	32	×	2	15.27	0.944	12.64	5.864
±68	72	=	24	×	3	15.04	0.989	12.49	5.808	
±34	96	=	32	×	3	14.83	0.852	12.31	4.903	
±8	128	=	32	×	4	14.46	0.826	11.92	4.810	

(1) Max.Vin (mV) is the max. input voltage of single end to analog ground (AVSS).

圖表 3 $\Sigma\Delta$ ADC Noise Performance Table

RMS Noise 與 Peak-to-Peak Noise 是指輸入端晶片本身所產生的 Noise，RMS Noise 是指晶片 ADC 的輸入 Noise，而本規格所使用的 Peak-to-Peak Noise 是在 1024 筆內(± 3.3 個標準差)的最大與最小 Noise 的差值。

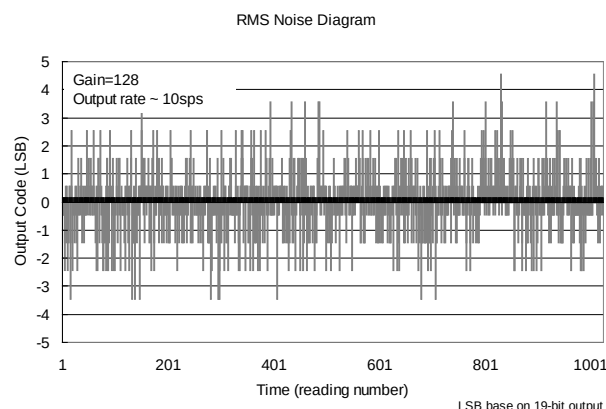
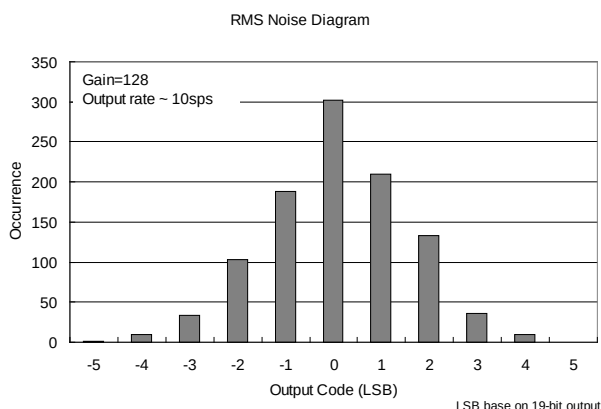
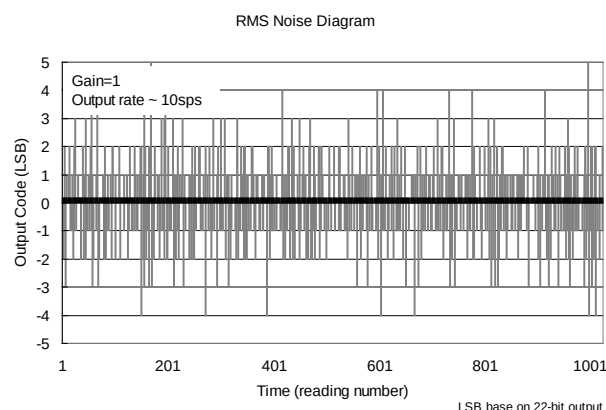
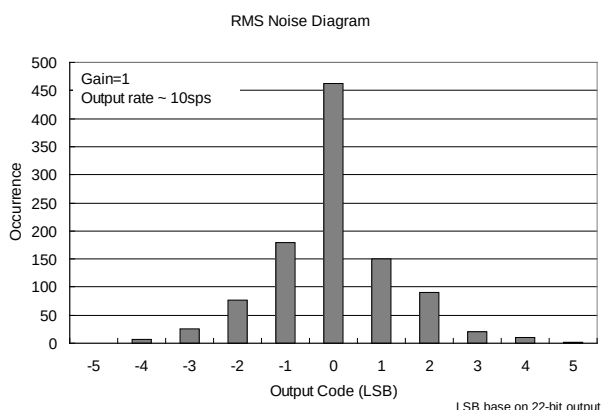
The Effective Number of Bits (ENOB(RMS)) is defined as:

$$\text{ENOB(RMS)} = \frac{\ln\left(\frac{\text{FSR}}{\text{RMS Noise}}\right)}{\ln(2)}$$

$$\text{RMS Noise} = \frac{\left(2 \times \text{VREF} \times \sqrt{\sum_{k=1}^{1024} (\text{ADO}[k] - \text{Average})^2}\right)}{2^{24}}$$

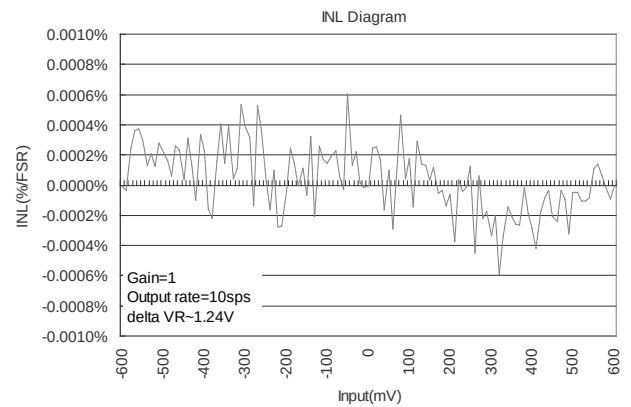
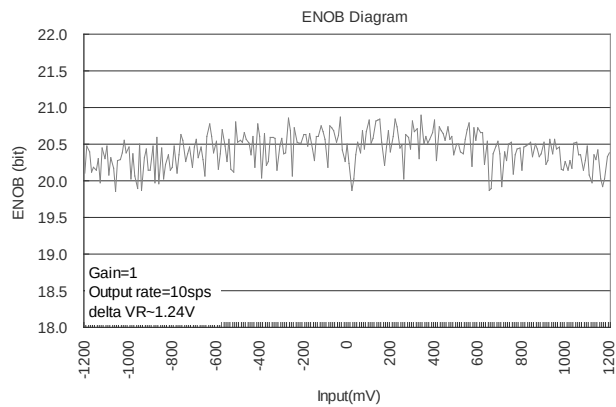
Where FSR (Full - Scale Range) = $2 \times \text{VREF}/\text{Gain}$.

$$\text{Average} = \frac{\sum_{k=1}^{1024} (\text{ADO}[k])}{1024}$$



HY3106/HY3102

24-Bit Analog-to-Digital Convert
High Resolution $\Sigma\Delta$ ADC



9. SPI

HY310x 的通訊介面是使用 SPI 的通訊協定。一共有 4 隻腳位：CS、SDI、SDO 和 SCK。當 CS = Low 時，SDO 會被拉到 High，此時 SPI 開始可以工作。SDI 為 Data input 的通道，SDI 的資料在 SCK 正緣時 HY310x 收資料。SPI 的一個 Frame 為 8bit，第一個 Frame 是 Command。Command 的格式如圖表 6 Command Format 所示；第一個 bit 設訂 Read 或是 Write Register，接下來 3 個 bit 是 Register 的地址，第 5 個 bit 為設定 no command read，當這個 bit 為 high 時，只要 ADC 有 interrupt 送出，可以不用下 command 就可以讀 data register；當 CS=High 時，此設定才會被重置。Command 的第 6-8 個 bit 都要設 low，當 command 結束後，下一個 frame 是 Data，Data 的長度可以是 1 到 3 個 frame。SDO 接收的資料為 SCK 的正緣觸發，SDI 則為在 SCK 的負緣輸出。圖表 7 Write register and read register 為 SPI 的 Write Register 跟 Read Register 的時脈圖，而讀取資料時，需在 SDO=LOW 時，資料讀回才有效。圖表 8 Continuous read mode 為使用 Continuous Reading mode 的時脈圖，當 ADC 轉換資料時 SDO 都會從 High 拉到 Low，這可以用來通知 Master 資料已經更新。當 Data 傳完後 SDO 會被拉高直到 ADC 資料更新。最後 CS 如果等於 High，SDO 則會變成高阻抗。如果 SDO 有浮接的問題可以靠 SYS 裡的 SDOH register 把 SDO 拉至 High。

當控制暫存器 SYS[7:0]、ADC[15:0]設定完成後，須等待第一個 ADC 中斷訊號(IRQ)，為 4 倍 OSR 的時間後，SDO 都會從 High 拉到 Low，之後再下 Read Command，當 Read Command 完成，等待 IRQ 產生後，即可送出 SCK 開始接收 ADC 輸出資料。

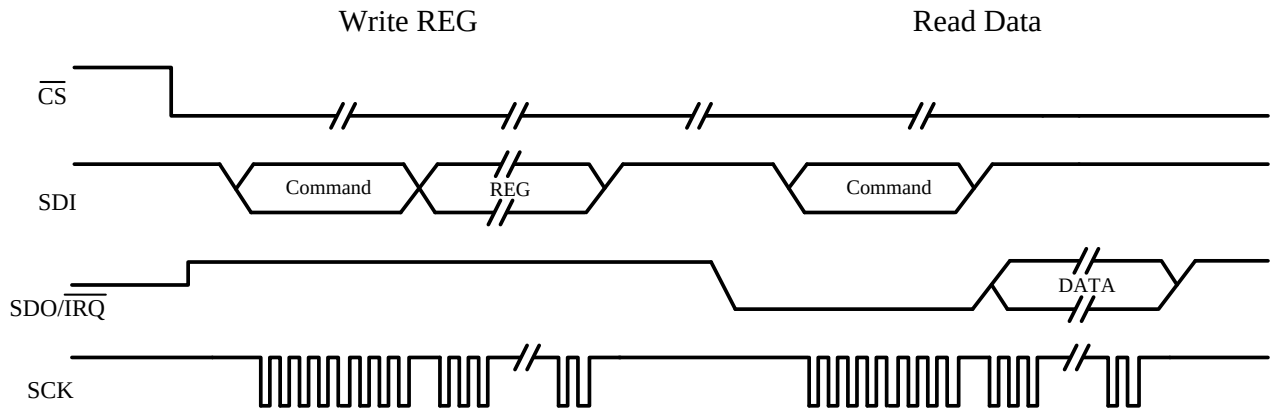
SPI Command								
Name	Re/Wr	Add[2]	Add[1]	Add[0]	NCR	-	-	-
	Read =1 Write =0	Address bit2	Address bit1	Address bit0	No Command for Read	Reserved be 0	Reserved be 0	Reserved be 0
說明								
可以狀態	1/0	1/0	1/0	1/0	1/0	0	0	0

圖表 4 Command Format

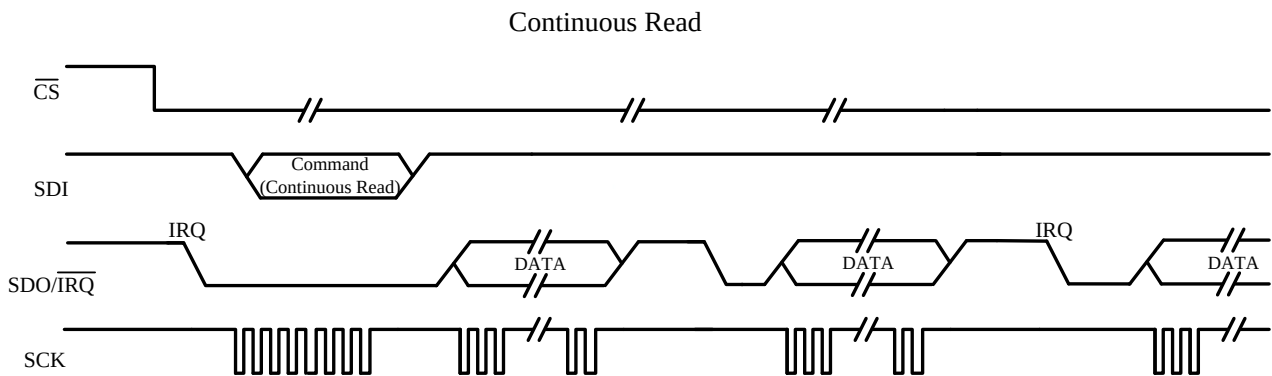
Re/Wr	:	Read or Write
1	:	Read
0	:	Write
Add[2:0]	:	Register Address
000	:	SYS (8 bit long)
001	:	ADC (16 bit long)
010	:	ADO0 (24 bit long)
011	:	Reserved
100	:	ADO1 (24 bit long)
101	:	Reserved
110	:	TS (16 bit long)
111	:	Reserved

24-Bit Analog-to-Digital Convert High Resolution $\Sigma\Delta$ ADC

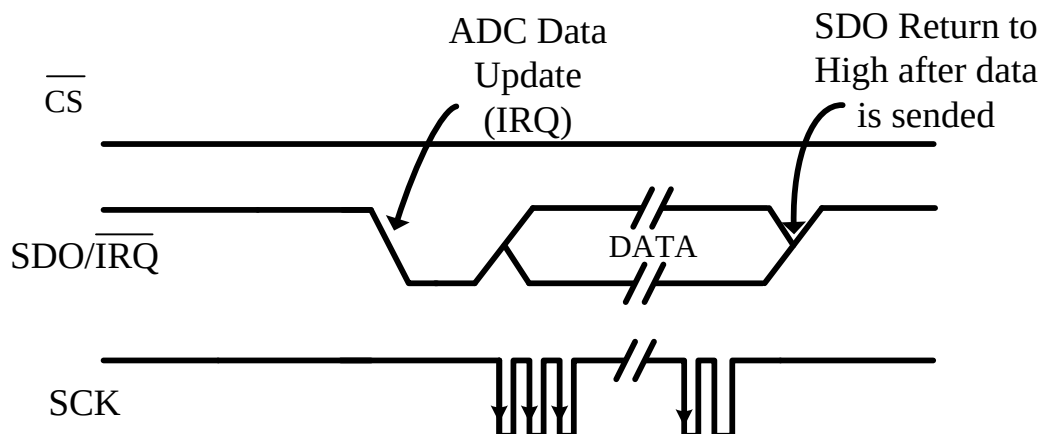
NCR	:	No command for read
0	:	disable
1	:	enable (reset by CS = high)



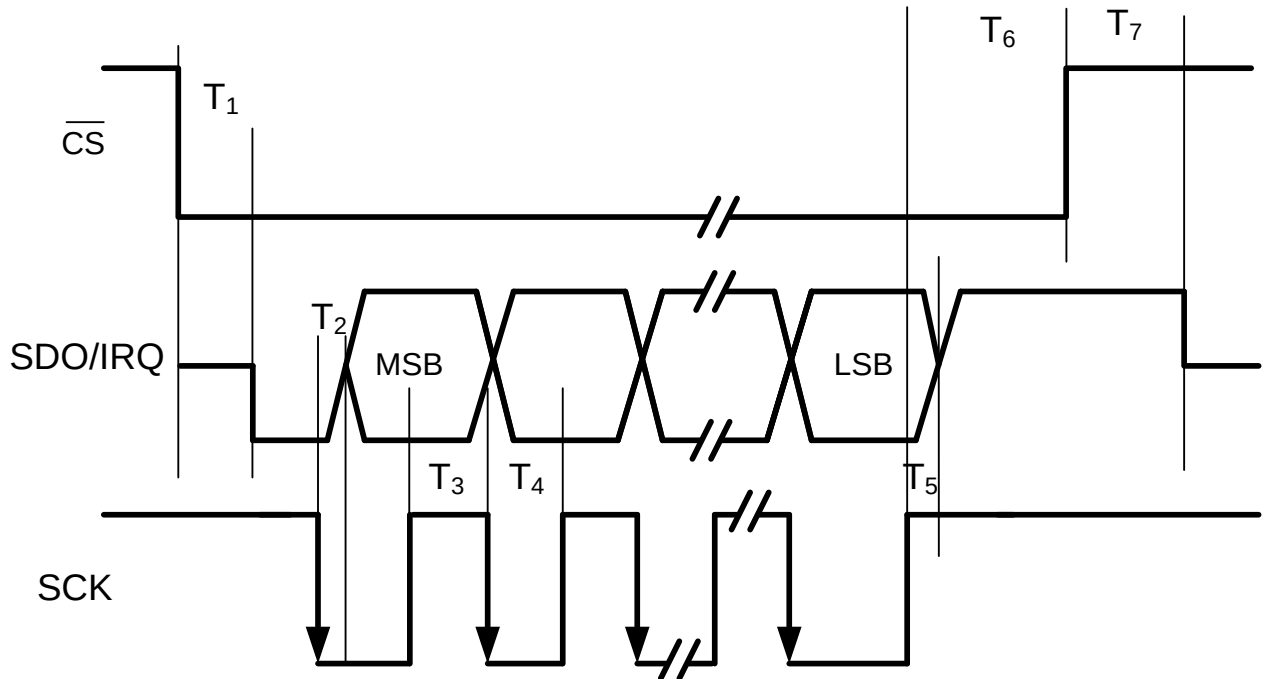
圖表 5 Write register and read register



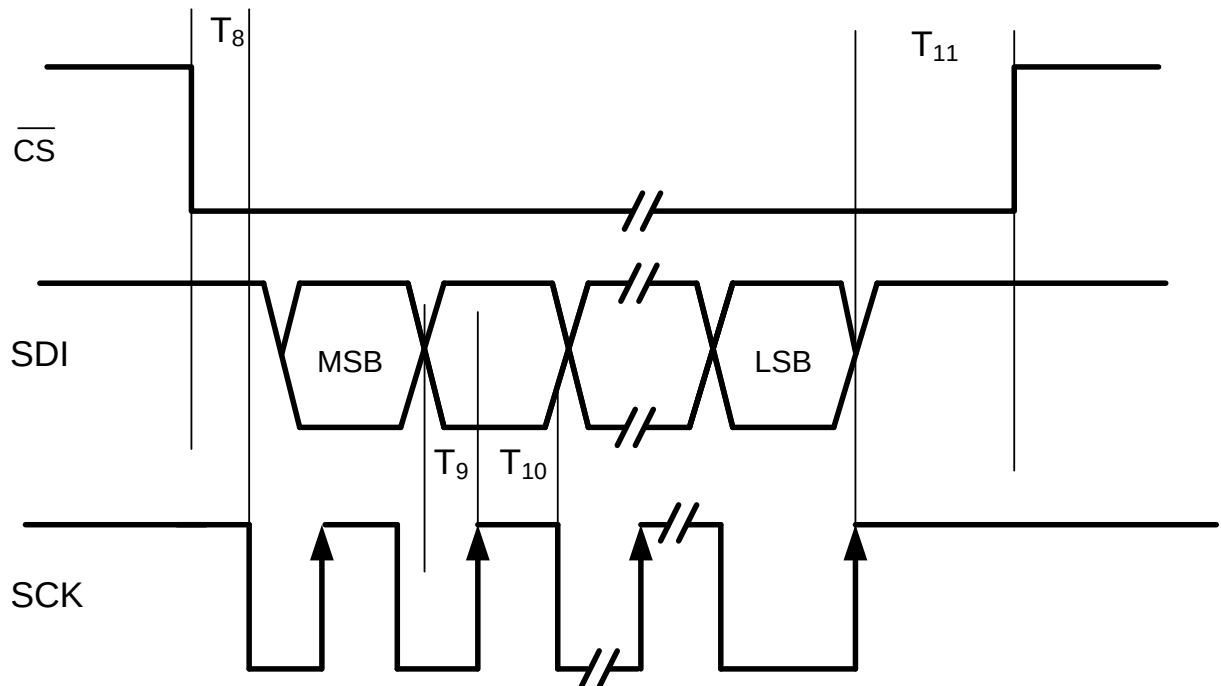
圖表 6 Continuous read mode



圖表 7 SPI IRQ signal.



圖表 8 Read Cycle, SDO timing



圖表 9 Write Cycle, SDI timing

HY3106/HY3102

24-Bit Analog-to-Digital Convert High Resolution $\Sigma\Delta$ ADC

Parameter	Limit at TMIN to TMAX	Units	Conditions/Comments
T ₁	0 IRQ time	ns, min. ns, max.	CS low to SDO low(data out) setup time
T ₂	0 80	ns, min. ns, max.	SCK low to data valid delay
T ₃	100	ns, min.	SCK high Pulse width
T ₄	100	ns, min.	SCK Low Pulse width
T ₅	10	ns, min.	SCK high to SDO high
T ₆	10	ns, min.	SCK high to CS high
T ₇	10 80	ns, min. ns, max.	CS pull high after SDO done
T ₈	10	ns, min.	CS low to SCK high setup time
T ₉	30	ns, min.	Data valid to SCK edge setup time
T ₁₀	30	ns, min.	Data valid to SCK edge hold time
T ₁₁	10	ns, min.	CS high hold time before SDI done
Note: IRQ Time mean ADC's interrupt time.			

表格 2

10. Overview

10.1. Input Channel Multiplex

HY3106 有兩組 比輸入提供選擇，兩組 比輸入經過轉換後存在不同的記憶體中。當切換輸入後等到 ADC 穩定後才會把更新過後的資料寫入記憶體，並且送出 IRQ 訊號。這兩組輸入都可以選擇，正網路輸入、負輸入短路、正輸入短路及負網路輸入。切換過 Channel Multiplex 都需要時間 ADC 才會穩定。在 ADC 穩定後才會把更新過後的資料寫入記憶體。

10.2. Low-Noise PGA

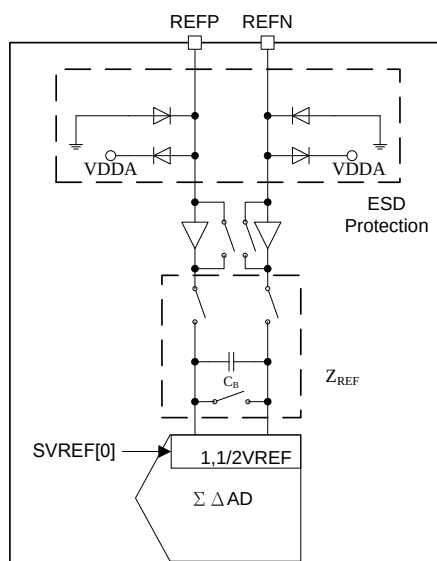
HY310x 內建一組低飄移(Low-Drift)，低噪聲(Low-Noise) 可編程放大器(PGA)，可完提供僑式傳感器前置預放大。可參考簡單的方塊表格 3 (傳感器最大輸出電阻)。它最小的分變訊號為 50nV，是由 PGA Module 選擇放大 8、16、32 倍率輸入到 ADC。不同的放大倍率有不同的輸入阻抗，在傳感器的選擇必須考慮的電阻匹配才能得到最穩定的值。

Gain	Sensor Output Impedance (Ohm)
8	4000
16	2000
32	1000

表格 3 (傳感器最大輸出電阻)

10.3. 參考電壓輸入

參考電壓由 REFP 與 REFN 兩端輸入到內部參考電壓模組， $V_{REF} = REFP - REFN$ 。透過 SVREF 可選擇 1 或 1/2 倍的 V_{REF} ；如果考慮到輸入阻抗 HY310x 可選擇使用 Buffer，使用 Buffer 必須考慮 REFP 跟 REFN 的值。REFP 不得小於 1.2V，而 REFN 不得大於 $V_{DDA}-1.2V$ 。如果不使用內部的 Buffer 須考慮到輸入阻抗，才能達到 ADC 的性能。參考電壓的輸入阻抗為 500K。

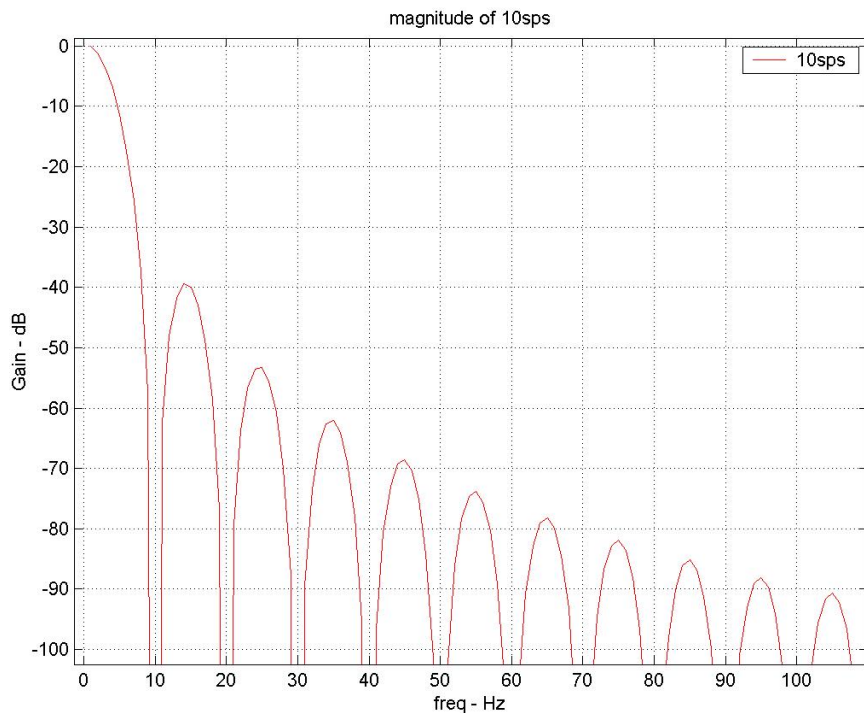


由於輸入端有 ESD 的保護二極體，所以須確定 REFP 或 REFN 的輸入電壓不可小於 -100mV，也不可超過 $V_{DDA} + 100mV$ 以上，如下所式

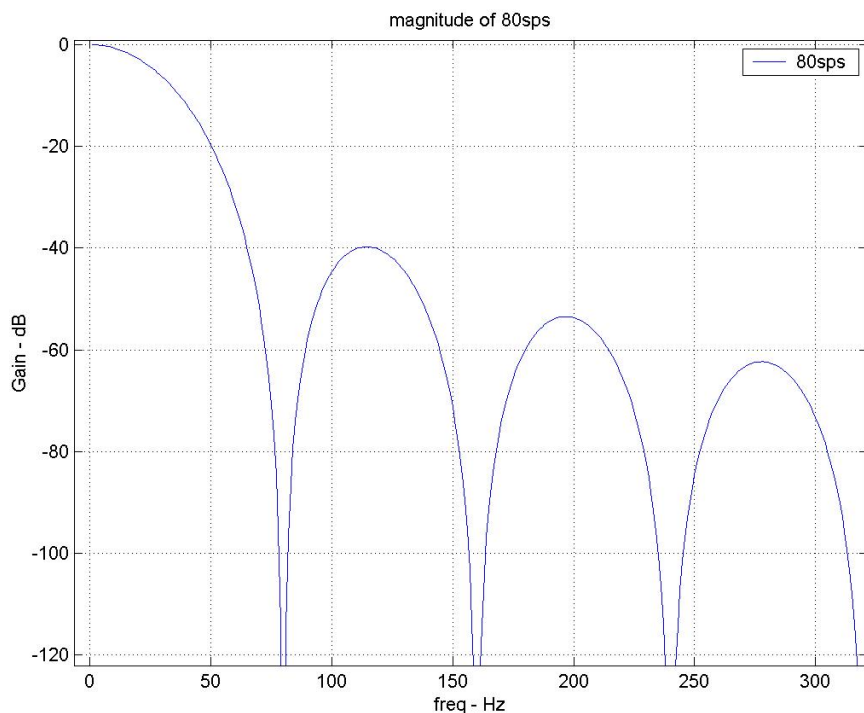
$$VSS - 100mV < REFP \text{ or } REFN < VDDA + 100mV$$

10.4. COMB Filter

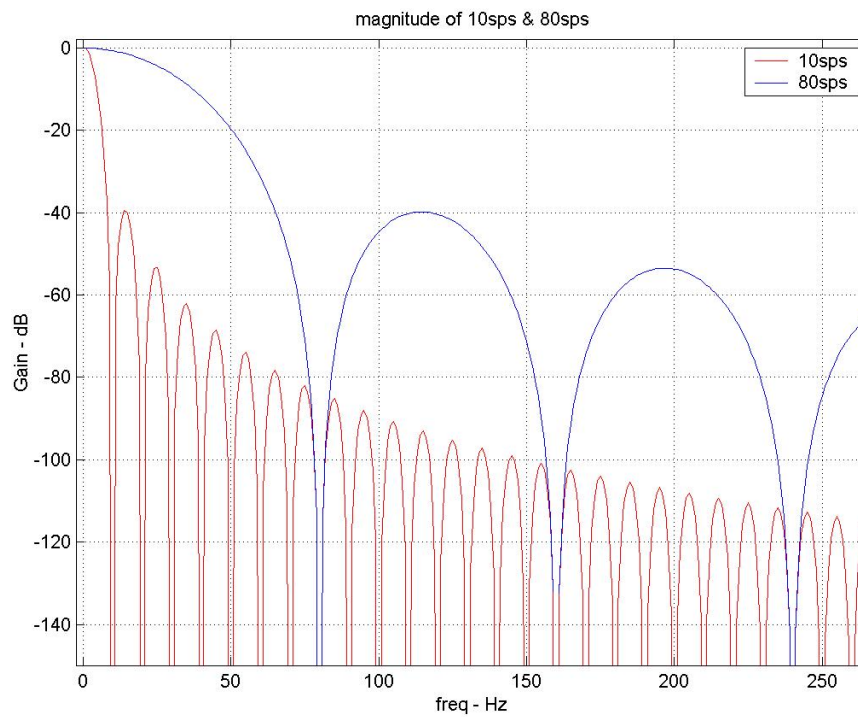
HY310x 採用 3 階的數位濾波器輸出, 有不同的輸出頻率可以選擇, 如果使用 4.9152MHz 的震盪器則有 2560, 640, 80 和 10Hz 的輸出頻率。圖表 12 的頻率響應輸出到 100Hz, 當 Data Rate = 10SPS, 注意輸出訊號 10Hz 是被抑制掉的。因此同時可抑制掉 50Hz 與 60Hz 的頻率訊號。



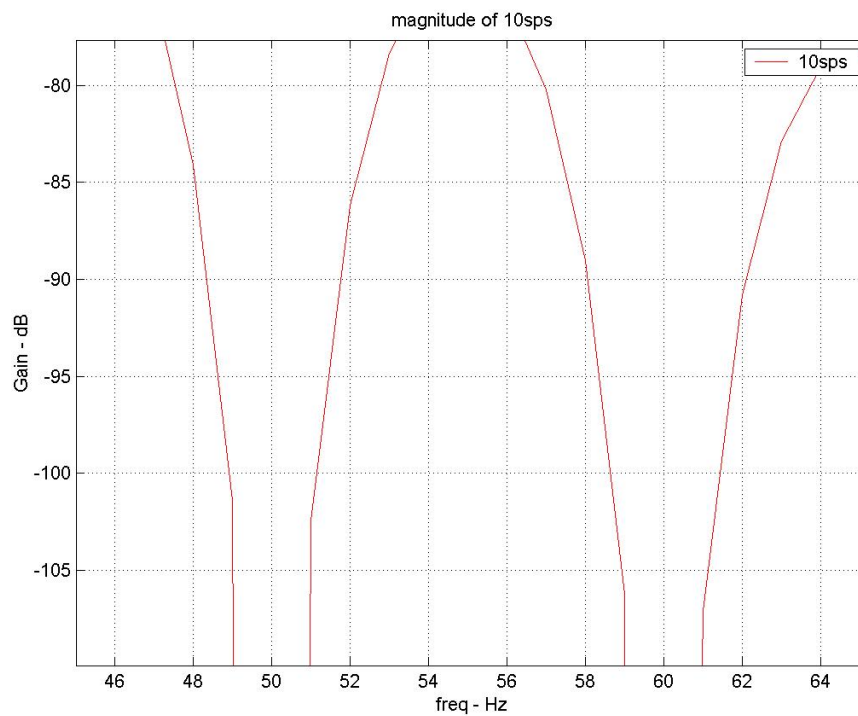
圖表 10



圖表 11



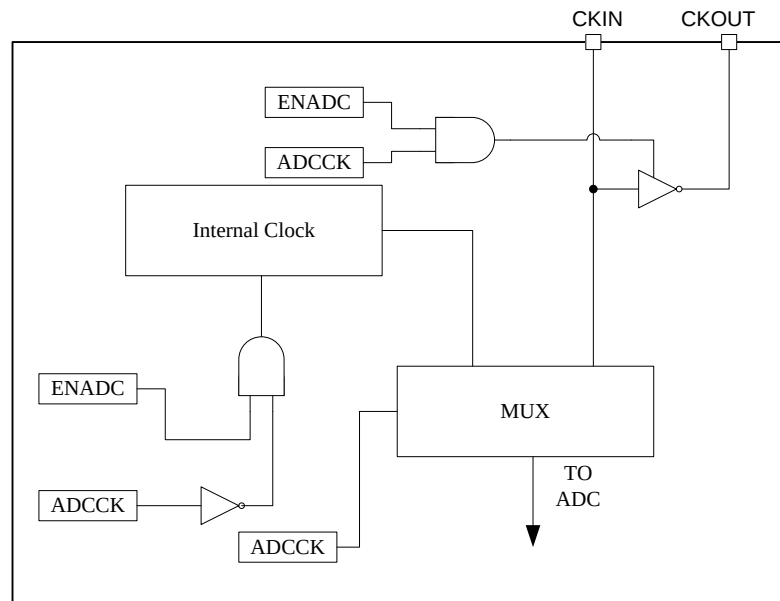
圖表 12



圖表 13

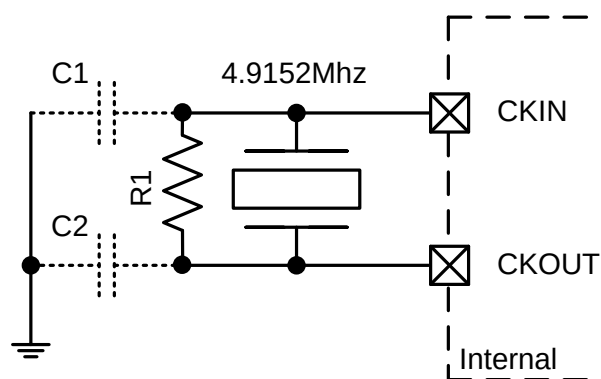
10.5. 系統頻率

當 $ENADC = 0$ 時，同時關閉 External 與 Internal 的 Clock，此時系統的耗電流小於 $1\mu A$ 。
當 $ENADC = 1$ 且 $ADCCK = 0$ ，選擇內部 RC 震盪頻率輸出，但有 5% 的誤差，如果需要抑制 50Hz/60Hz 的干擾，建議不要使用內部 RC 震盪頻率。使用 Crystal 的誤差較小
當 $ENADC = 1$ 且 $ADCCK = 1$ ，選擇外部 Clock 輸入或是接 Crystal，如果需要抑制 50Hz/60Hz 的干擾，需選擇 4.9152Mhz 的 Clock 或 Crystal。



圖表 14

如下圖所示，當外接晶體震盪器時，R1 零件須隨外接不同頻率的晶體震盪器或諧振器而改變，震盪器線路才能正常啓動。因此當外掛震盪器 4.9152Mhz 時，則建議 R1 阻值為 $1M\Omega$ 。相同的震盪器又會因電路板佈局不同而導致電容值有些微差異。在無特別考慮情況下，C1 與 C2 電容是可以省略。而外掛震盪器 4.9152Mhz， $R1=1M\Omega$ 設定下，震盪器理想起振時間為 30 毫秒時間。



圖表 15 外部震盪器方塊圖

10.6. 溫度感應器

當 ENADC = 1 時，可以使用內部的溫度感應器來量測溫度。只要把 TS register 設為 1 後，在大約 3.2ms (使用 4.9512Mhz Crystal 或內部 RC OSC)後，晶片會送出一個 IRQ。此時溫度的值會儲存於 TSO Register，然後會 ADC 的量測會變回原來的設定。切回原本的設定後，然後 TS register 會自動設成 0。當 ADC 的穩定後才會繼續更新 ADOx Register 此溫度感應器做單點溫度的校正後溫度的誤差在 +/- 2C。

在溫度 TA 下測得 TPS 相對應的電壓值 $V_{TPS@TA}$ ，TPS 的輸出電壓 V_{TPS} 對溫度變化為一線性曲線，故可推導出其增益值 G_{TPS} (或稱斜率)如下：

$$G_{TPS} = \frac{V_{TPS@TA} - V_{TPS@0^{\circ}K}}{(273.15 + T_{offset} + T_A) - (0)}$$
$$= \frac{V_{TPS@TA}}{275 + T_A}$$

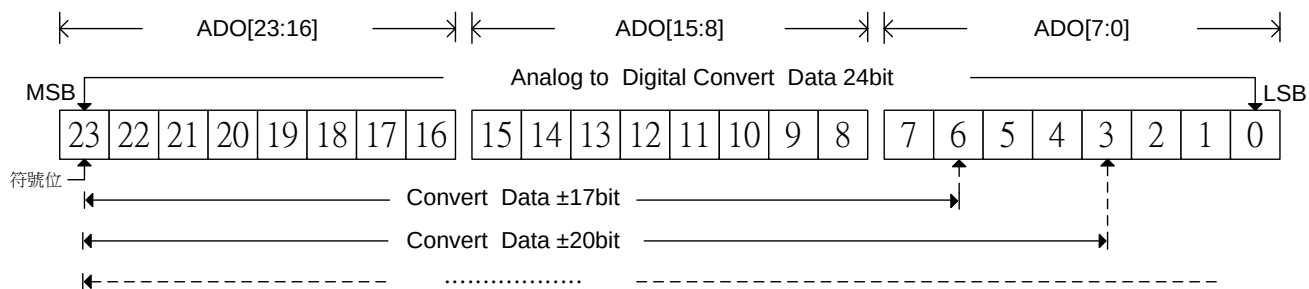
10.7. 數據格式

ADO0, ADO1 分別為輸入通道 1 與輸入通道 2 的 比數位轉換資料暫存器，共包含 Bit[23:0]數據資料組成，其用於存放 Comb Filter 輸出的 24-bit 資料。Comb Filter 的數據格式組成如下所示。

+FSR/-FSR：正相與負相最大量測範圍

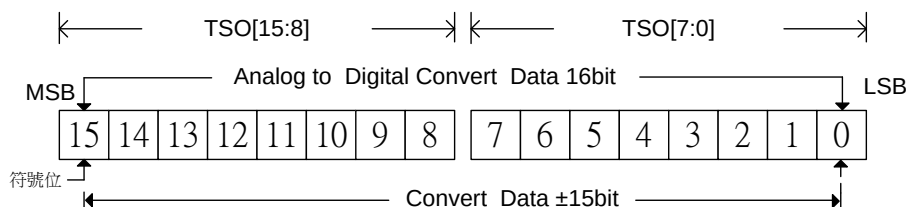
	等效待測訊號	ADO[23:0]	
		十六進制	二進制
兩極性輸出 二補數格式	ΔVR_I	7FFFFFFF	0111-1111-1111-1111-1111
	$\Delta VR_I \times \frac{1}{2^{23}}$	000001	0000-0000-0000-0000-0001
	0	000000	0000-0000 0000-0000 0000-0000
	$-\Delta VR_I \times \frac{1}{2^{23}}$	FFFFFFF	1111-1111-1111-1111-1111
	$-\Delta VR_I$	800000	1000-0000 0000-0000 0000-0000

圖表 16 ADO[23:0]與輸入信號關係表



圖表 17 ADO[23:0]解析度示意圖

TSO 為晶片內部溫度感應器的數據轉換資料暫存器，共包含 Bit[15:0]數據資料組成，其用於存放 Comb Filter 輸出的 16-bit 資料。Comb Filter 的數據格式組成如下所示。



圖表 18 TSO[15:0]解析度示意圖

11. 訂貨資訊

下單品名 ¹	封裝型式	引腳數	封裝型式 描述方式		出貨包裝 形式	個裝 數量	材料 組成	MSL ²
HY3106-E016	SSOP	16	E	16	Tube	100	Green ³	MSL-3
HY3106-E016	SSOP	16	E	16	Tape & Reel	2500	Green ³	MSL-3
HY3102-E016	SSOP	16	E	16	Tube	100	Green ³	MSL-3
HY3102-E016	SSOP	16	E	16	Tape & Reel	2500	Green ³	MSL-3

¹ 產品名稱 – 封裝型式描述方式（標準品）

例如：您的需求是 HY3106 封裝片 SSOP16 出貨，則下單品名為 HY3106-E016，
且需以 Tube 出貨，則除下單品名外，請特別註明出貨包裝形式為 Tube

例如：您的需求是 HY3102 封裝片 SSOP16 出貨，則下單品名為 HY3102-E016，
且需以 Tape & Reel 出貨，則除下單品名外，請特別註明出貨包裝形式為 Tape
& Reel

² MSL:

濕度敏感性等級係依據 IPC/JEDEC J-STD-020 的規範加以試驗分級，並參考
IPC/JEDEC J-STD-033 的標準處理、包裝、運輸與使用。

³ Green (RoHS & no Cl/Br):

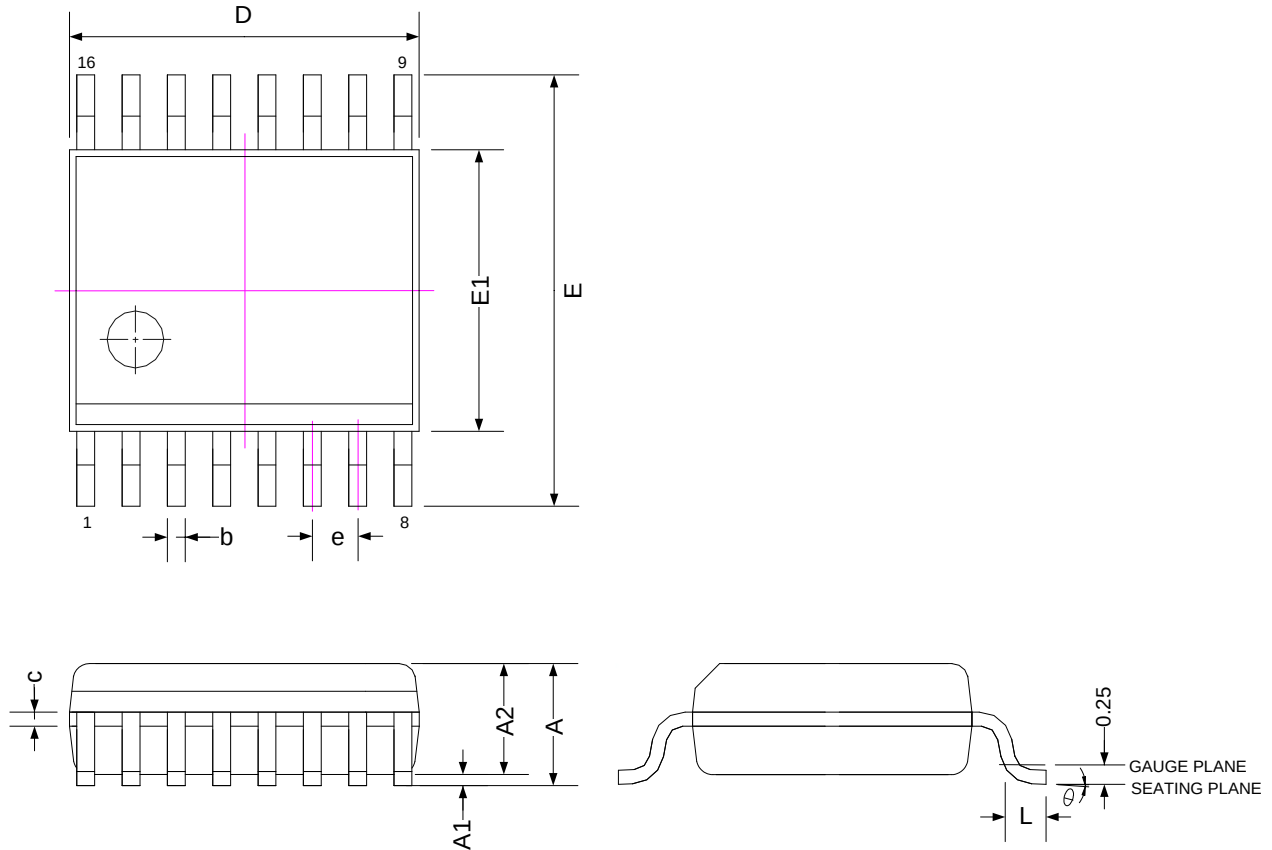
HYCON 產品皆為 Green Product，符合 RoHS 指令以及無鹵素規定(Br/Cl<0.1%)

HY3106/HY3102

24-Bit Analog-to-Digital Convert
High Resolution $\Sigma\Delta$ ADC

12. 封裝型式資訊

12.1. SSOP16(E016)



SYMBOLS	MIN	NOM	MAX
A	-	-	1.75
A1	0.10	0.15	0.25
A2	-	-	1.50
b	0.20	-	0.30
c	0.18	-	0.25
D	4.80	4.90	5.00
E1	3.81	3.91	3.99
E	5.79	5.99	6.20
L	0.41	-	1.27
e	0.635 BASIC		
θ°	0	-	8

Note:

1. All dimensions refer to JEDEC OUTLINE MO-137.
2. Do not include Mold Flash or Protrusions.
3. Unit : mm

13. 修訂記錄

以下描述本文件差異較大的地方，而標點符號與字形的改變不在此描述範圍。

版本	頁次	變更摘要
V01	All	初版發行
V02	4	修改特點內容
	5	修改簡介內容
	14~15	修改 7.2. ELECTRICAL CHARACTERISTICS
	16	修改圖表 5 $\Sigma\Delta$ ADC Noise Performance Table
	17~18	修改 RMS Noise Diagram
	19	增加 SPI 內容
	22	修改 10.2. Low-Noise PGA
	26	修改 10.6. 溫度感應器
	28	增加 10.7 數據格式內容
	29	修改訂貨資訊
	30	修改封裝型式資訊
V03	4	增加產品比較說明
	19	增加 SPI 說明
	29	增加訂貨資訊
V04	26	增加系統頻率說明
V05	30	更新封裝型式資訊
V06	22~23	更新 SPI Timing diagram
V07	All	移除 HY3104 相關資訊