



HY16F188

規格書

高精密混合信號處理控制器

65nV 高解析度 $\Sigma\Delta$ ADC

32-bit 低功耗微控制器

64Kb Flash ROM

目錄

1. 特性.....	4
2. 管腳名稱定義	5
2.1 HY16F18 系列管腳圖	5
2.2 管腳功能描述.....	9
2.2.1 HY16F188 LQFP48	9
2.2.2 HY16F187/184 LQFP48	13
2.2.3 HY16F187/184 QFN33.....	16
2.2.4 HY16F184 TSSOP28	19
2.2.5 管腳複用功能及複用功能優先級	22
2.3 封裝片標記信息	23
2.3.1 HY16F184/187/188 LQFP封裝片標記信息.....	23
2.3.2 HY16F184 /187QFN封裝片標記信息.....	24
2.3.3 HY16F184 TSSOP封裝片標記信息	24
3. 應用電路	25
3.1 橋式傳感器應用電路	25
3.2 測量血壓傳感器應用電路	26
3.3 電化學傳感器應用電路	27
3.4 觸控按鍵測量應用電路	28
4. 功能概述	29
4.1 內部框圖	29
4.2 編譯方框圖	30
4.3 相關的支援文檔	30
4.4 時鐘系統網絡.....	31
4.5 電源系統網絡.....	32
4.6 24-bit ΣΔADC 網絡	33
4.7 軌對軌運算放大器OPAMP網絡.....	34
4.8 8-bit Resistance Ladders 網絡.....	35
4.9 多功能比較器CMP網絡.....	36
4.10 看門狗(WDT)網絡.....	37
4.11 定時計數器 A 網絡.....	38
4.12 定時計數器B 網絡	39
4.13 定時計數器C 網絡.....	40
4.14 32-bit SPI 網絡	41
4.15 UART 網絡	42
4.16 I2C 網絡.....	43
4.17 硬體時鐘RTC網絡.....	43

5. 訂貨資訊	44
5.1 HY16F18X系列選型編碼	44
5.2 HY16F18X系列選型指南	45
6. 封裝尺寸資訊	46
6.1 LQFP48 封裝圖	46
6.2 QFN33 封裝圖	47
6.3 TSSOP28 封裝圖	49
7. Electrical Characteristics	51
7.1 Recommended Operating Conditions	51
7.2 Clock System	52
7.3 Power Management System	53
7.4 Reset Management System	54
7.5 ΣΔADC ENOB and RMS Noise	54
7.6 ADC Management System	57
7.7 Internal Temperature Sensor	58
7.8 8-bit Resistance Ladders Management System	58
7.9 OPAMP Management System	59
7.10 CMP Management System	60
8. 修改記錄	60

1. 特性

數字量

- 32-bit Andes Core N801 內核
- C 開發環境&易用開發工具
- 寬工作電壓 2.2V to 3.6V.
- 工作溫度-40 to 85°C
- 低功耗:
 - 運行模式: 350uA/MIPS@3.3V
 - 低速運行模式: 10uA@35KHz/2&3.3V
 - 休眠模式: 2.5uA@3.3V
- 64Kb Flash ROM
- 8Kb SRAM
- 16-bit PWM 控制器
- 硬體實現 I2C/SPI/ UART 通訊介面
- 硬體實現實時時鐘 RTC
- 低電壓檢測/欠壓復位電路
- 可編程通用 IO 口

模擬量

- 內建低雜訊 24-bit Σ ADC
 - 輸入參考雜訊低至 65nVrms
 - 轉換率高達 350KSPS
 - 輸入放大倍率高達 128
 - 工作電壓為 2.4V to 3.6V
- 外部高速晶震頻率高達 16MHz
- 外部低速晶震低至 32768Hz
- 內建 RC 高速震盪器頻率高達 10MHz
- 內建 RC 低速震盪器頻率低至 33KHz
- 電源模塊
 - 電荷泵升壓電路
 - 內建可選 VDDA 穩壓 LDO
 - 1.2V 帶隙參考電壓輸出
- 8-bit Resistance Ladders
 - 可編程電阻分壓計
 - 電阻保證單調性
- 軌對軌運算放大器 OPAMP
 - CMOS 輸入, 1MHz 增益帶寬
 - 可用作比較器
- 多功能比較器 CMP
 - 支持觸控按鍵測量

2. 管腳名稱定義

2.1 HY16F188 系列管腳圖

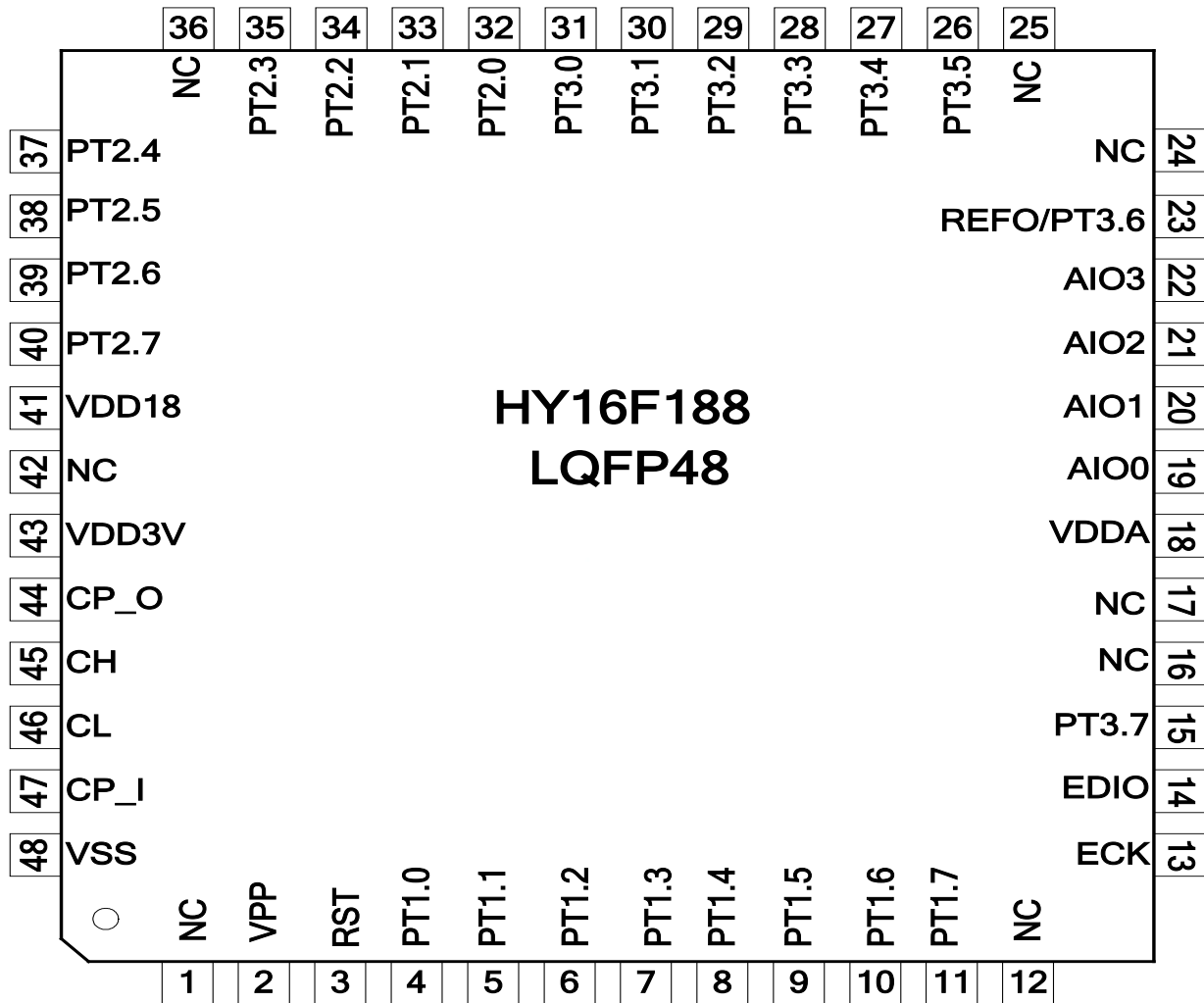


圖 2-1 HY16F188 LQFP 48 管腳圖

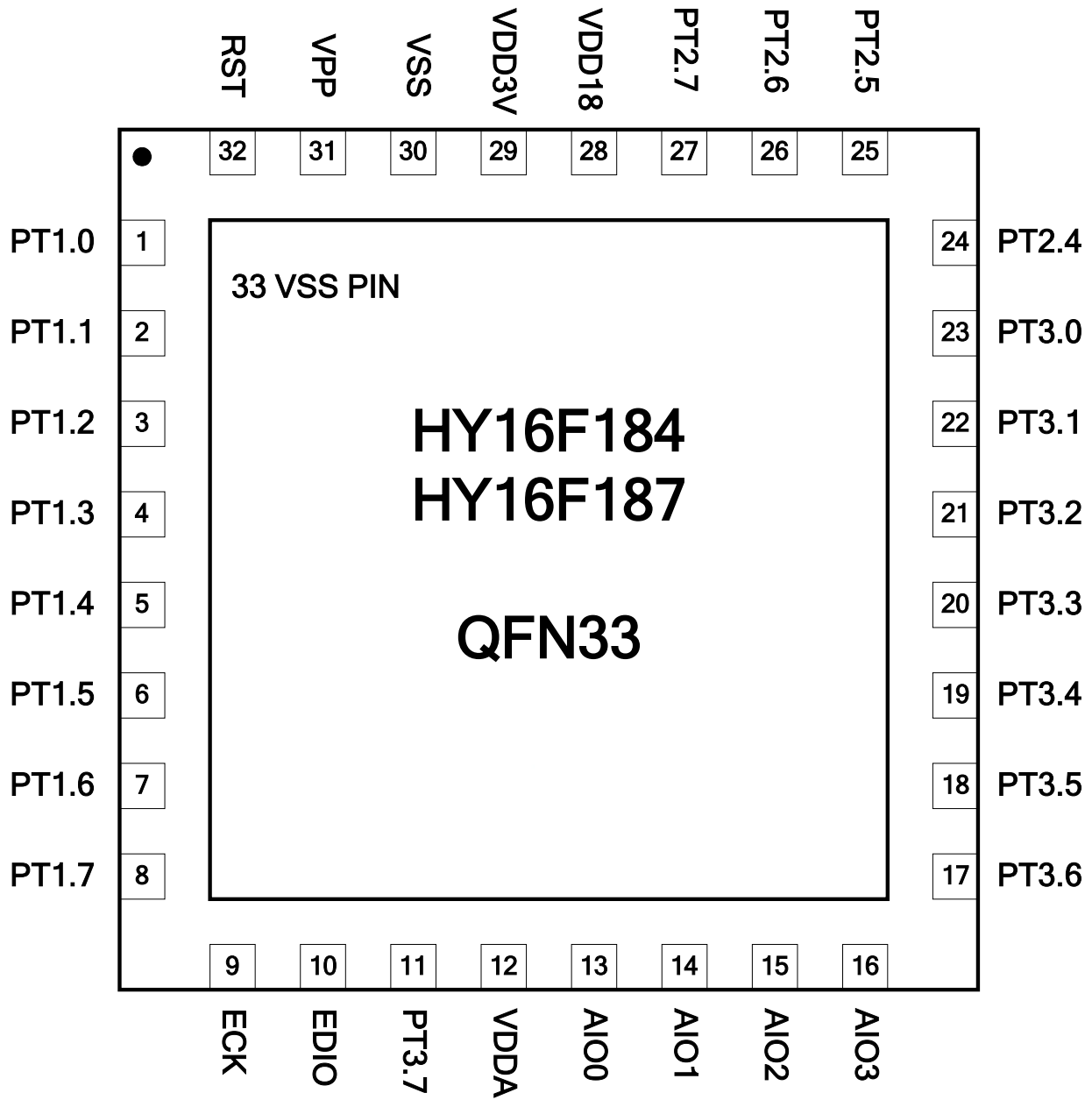


圖 2-3 HY16F187/184 QFN 33 管腳圖

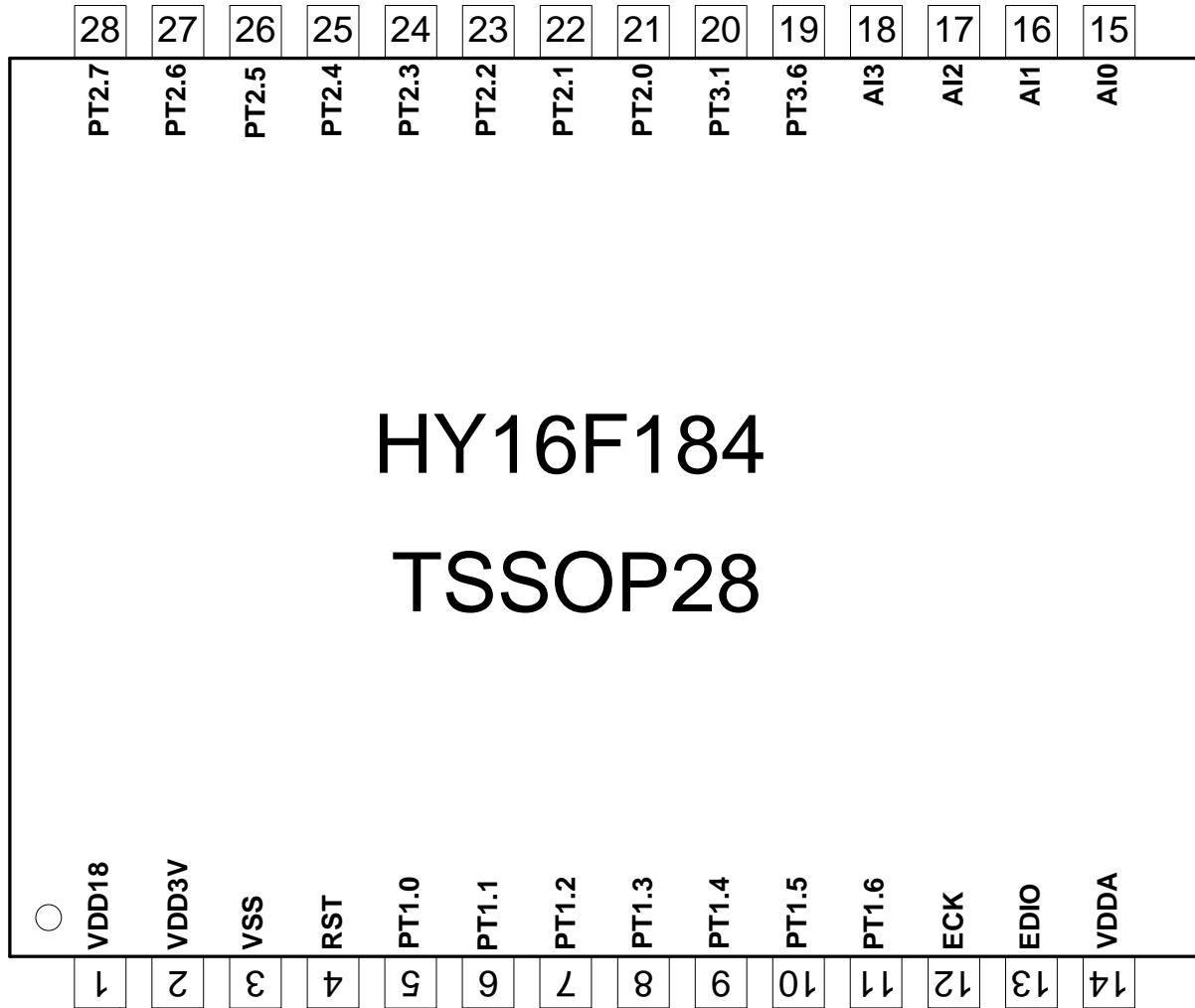


圖 2-4 HY16F184 TSSOP 28 管腳圖

2.2 管腳功能描述

2.2.1 HY16F188 LQFP48

管腳號	管腳類型 ⁽¹⁾	管腳名稱	描述
1	NC	NC	NC
2	PI	VPP	保留（不能連接到任何引腳）
3	I	RST	復位引腳
4	IO	PT1.0	通用數字輸入/輸出引腳
	AI	CH1	比較器模擬輸入引腳 CH1
	I	INT1.0	外部中斷源 INT1.0 輸入引腳
	O	PWM0_1	PWM0_1 輸出引腳
	I	CS_1	SPI 通訊使能線引腳 CS_1
	IO	TX_1	EUART 通訊發送線引腳 TX_1
	I	TCI1_1	捕捉比較器輸入源引腳 TCI1_1
	IO	SCL_1	I2C 通訊時鐘線引腳 SCL_1
5	IO	PT1.1	通用數字輸入/輸出引腳
	AI	CH2	比較器模擬輸入引腳 CH2
	I	INT1.1	外部中斷源 INT1.1 輸入引腳
	O	PWM1_1	PWM1_1 輸出引腳
	I	CK_1	SPI 通訊時鐘線引腳 CK_1
	I	RX_1	EUART 通訊接收線引腳 RX_1
	I	TCI2_1	捕捉比較器輸入源引腳 TCI2_1
	IO	SDA_1	I2C 通訊數據線引腳 SDA_1
6	IO	PT1.2	通用數字輸入/輸出引腳
	AI	CH3	比較器模擬輸入引腳 CH3
	I	INT1.2	外部中斷源 INT1.2 輸入引腳
	O	PWM0_2	PWM0_2 輸出引腳
	I	MISO_1	SPI 通訊數據線引腳 MISO_1(主機輸入，從機輸出)
	IO	TX_2	EUART 通訊發送線引腳 TX_2
	I	TCI1_2	捕捉比較器輸入源引腳 TCI1_2
	IO	SCL_2	I2C 通訊時鐘線引腳 SCL_2
7	IO	PT1.3	通用數字輸入/輸出引腳
	AI	CL1	觸控按鍵輸入引腳 CL1
	I	INT1.3	外部中斷源 INT1.3 輸入引腳
	O	PWM1_2	PWM1_2 輸出引腳
	O	MOSI_1	SPI 通訊數據線引腳 MOSI_1(主機輸出，從機輸入)
	I	RX_2	EUART 通訊接收線引腳 TX_2
	I	TCI2_2	捕捉比較器輸入源引腳 TCI2_2
	IO	SDA_2	I2C 通訊數據線引腳 SDA_2
8	IO	PT1.4	通用數字輸入/輸出引腳
	AI	CL2	觸控按鍵輸入引腳 CL2
	I	INT1.4	外部中斷源 INT1.4 輸入引腳
	O	PWM0_3	PWM0_3 輸出引腳
	I	CS_2	SPI 通訊使能線引腳 CS_2
	IO	TX_3	EUART 通訊發送線引腳 TX_3
	I	TCI1_3	捕捉比較器輸入源引腳 TCI1_3

管腳號	管腳類型 ⁽¹⁾	管腳名稱	描述
	IO	SCL_3	I2C 通訊時鐘線引腳 SCL_3
9	IO	PT1.5	通用數字輸入/輸出引腳
	AI	CL3	觸控按鍵輸入引腳 CL3
	I	INT1.5	外部中斷源 INT1.5 輸入引腳
	O	PWM1_3	PWM1_3 輸出引腳
	I	CK_2	SPI 通訊時鐘線引腳 CK_2
	I	RX_3	EUART 通訊接收線引腳 RX_3
	I	TCI2_3	捕捉比較器輸入源引腳 TCI2_3
	IO	SDA_3	I2C 通訊數據線引腳 SDA_3
10	IO	PT1.6	通用數字輸入/輸出引腳
	AI	CL4	觸控按鍵輸入引腳 CL4
	I	INT1.6	外部中斷源 INT1.6 輸入引腳
	O	PWM0_4	PWM0_4 輸出引腳
	I	MISO_2	SPI 通訊數據線引腳 MISO_2 (主機輸入, 從機輸出)
	IO	TX_4	EUART 通訊發送線引腳 TX_4
	I	TCI1_4	捕捉比較器輸入源引腳 TCI1_4
	IO	SCL_4	I2C 通訊時鐘線引腳 SCL_4
11	IO	PT1.7	通用數字輸入/輸出引腳
	AO	CMPO1	比較器比較結果輸出引腳
	I	INT1.7	外部中斷源 INT1.7 輸入引腳
	O	PWM1_4	PWM1_4 輸出引腳
	O	MOSI_2	SPI 通訊數據線引腳 MOSI_2(主機輸出, 從機輸入)
	I	RX_4	EUART 通訊接收線引腳 RX_4
	I	TCI2_4	捕捉比較器輸入源引腳 TCI2_4
	IO	SDA_4	I2C 通訊數據線引腳 SDA_4
12	NC	NC	NC
13	I	ECK	開發調試通訊口(EDM)時鐘線引腳
14	IO	EDIO	開發調試通訊口(EDM)數據線輸入/輸出引腳
15	IO	PT3.7	通用數字輸入/輸出引腳
	AO	OPO	運算放大器模擬輸出引腳
16	NC	NC	NC
17	NC	NC	NC
18	PIO	VDDA	模擬電源電壓/LDO 穩壓輸出端/模擬電源電壓輸入端
19	AI	AIO0	ADC 模擬輸入引腳 0
20	AI	AIO1	ADC 模擬輸入引腳 1
21	AI	AIO2	ADC 模擬輸入引腳 2
22	AI	AIO3	ADC 模擬輸入引腳 3
23	IO	PT3.6	通用數字輸入/輸出引腳
	PIO	REFO	模擬參考電壓輸出引腳
24	NC	NC	NC
25	NC	NC	NC
26	IO	PT3.5	通用數字輸入/輸出引腳
	AI	AIO7	ADC 模擬輸入引腳 7
27	IO	PT3.4	通用數字輸入/輸出引腳
	AI	AIO6	ADC 模擬輸入引腳 6
28	IO	PT3.3	通用數字輸入/輸出引腳
	AI	AIO5	ADC 模擬輸入引腳 5

管腳號	管腳類型 ⁽¹⁾	管腳名稱	描述
29	IO	PT3.2	通用數字輸入/輸出引腳
	AI	AIO4	ADC 模擬輸入引腳 4
30	IO	PT3.1	通用數字輸入/輸出引腳
	DO	OPOD2	運算放大器數字輸出引腳 2
	AO	DAO	8-bit Resistance Ladders 輸出引腳
31	IO	PT3.0	通用數字輸入/輸出引腳
	DO	OPOD1	運算放大器數字輸出引腳 1
32	IO	PT2.0	通用數字輸入/輸出引腳
	I	INT2.0	外部中斷源 INT2.0 輸入引腳
	O	PWM0_5	PWM0_5 輸出引腳
	I	CS_3	SPI 通訊使能引腳 CS_3
	IO	TX_5	EUART 通訊發送線引腳 TX_5
	I	TCI1_5	捕捉比較器輸入源引腳 TCI1_5
	IO	SCL_5	I2C 通訊時鐘線引腳 SCL_5
33	IO	PT2.1	通用數字輸入/輸出引腳
	I	INT2.1	外部中斷源 INT2.1 輸入引腳
	O	PWM1_5	PWM1_5 輸出引腳
	I	CK_3	SPI 通訊時鐘線引腳 CK_3
	I	RX_5	EUART 通訊接收線引腳 RX_5
	I	TCI2_5	捕捉比較器輸入源引腳 TCI2_5
	IO	SDA_5	I2C 通訊數據線引腳 SDA_5
34	IO	PT2.2	通用數字輸入/輸出引腳
	I	INT2.2	外部中斷源 INT2.2 輸入引腳
	O	PWM0_6	PWM0_6 輸出引腳
	I	MISO_3	SPI 通訊數據線引腳 MISO_3(主機輸入，從機輸出)
	IO	TX_6	EUART 通訊發送線引腳 TX_6
	I	TCI1_6	捕捉比較器輸入源引腳 TCI1_6
	IO	SCL_6	I2C 通訊時鐘線引腳 SCL_6
35	IO	PT2.3	通用數字輸入/輸出引腳
	I	INT2.3	外部中斷源 INT2.3 輸入引腳
	O	PWM1_6	PWM1_6 輸出引腳
	O	MOSI_3	SPI 通訊數據線引腳 MOSI_3(主機輸出，從機輸入)
	I	RX_6	EUART 通訊接收線引腳 RX_6
	I	TCI2_6	捕捉比較器輸入源引腳 TCI2_6
	IO	SDA_6	I2C 通訊數據線引腳 SDA_6
36	NC	NC	NC
37	IO	PT2.4	通用數字輸入/輸出引腳
	XI	LS_XIN	外部低速晶震 32768HZ 輸入引腳
	I	INT2.4	外部中斷源 INT2.4 輸入引腳
	O	PWM0_7	PWM0_7 輸出引腳
	I	CS_4	SPI 通訊使能引腳 CS_4
	IO	TX_7	EUART 通訊發送線引腳 TX_7
	I	TCI1_7	捕捉比較器輸入源引腳 TCI1_7
	IO	SCL_7	I2C 通訊時鐘線引腳 SCL_7

管腳號	管腳類型 ⁽¹⁾	管腳名稱	描述
38	IO	PT2.5	通用數字輸入/輸出引腳
	XO	LS_XOUT	外部低速晶震 32768HZ 輸出引腳
	I	INT2.5	外部中斷源 INT2.5 輸入引腳
	O	PWM1_7	PWM1_7 輸出引腳
	I	CK_4	SPI 通訊時鐘線引腳 CK_4
	I	RX_7	EUART 通訊接收線引腳 RX_7
	I	TCI2_7	捕捉比較器輸入源引腳 TCI2_7
	IO	SDA_7	I2C 通訊數據線引腳 SDA_7
39	IO	PT2.6	通用數字輸入/輸出引腳
	XI	HS_XIN	外部高速晶震 2~16MHZ 輸入引腳
	I	INT2.6	外部中斷源 INT2.6 輸入引腳
	O	PWM0_8	PWM0_8 輸出引腳
	I	MISO_4	SPI 通訊數據線引腳 MISO_4(主機輸入，從機輸出)
	IO	TX_8	EUART 通訊發送線引腳 TX_8
	I	TCI1_8	捕捉比較器輸入源引腳 TCI1_8
	IO	SCL_8	I2C 通訊時鐘線引腳 SCL_8
40	IO	PT2.7	通用數字輸入/輸出引腳
	XO	HS_XOUT	外部高速晶震 2~16MHZ 輸出引腳
	I	INT2.7	外部中斷源 INT2.7 輸入引腳
	O	PWM1_8	PWM1_8 輸出引腳
	O	MOSI_4	SPI 通訊數據線引腳 MOSI_4(主機輸出，從機輸入)
	I	RX_8	EUART 通訊接收線引腳 RX_8
	I	TCI2_8	捕捉比較器輸入源引腳 TCI2_8
	IO	SDA_8	I2C 通訊數據線引腳 SDA_8
41	PO	VDD18	數字電源電壓引腳，輸出 1.8V
42	NC	NC	NC
43	PI	VDD3V	晶片工作電源電壓輸入引腳
44	PO	CP_O	電荷泵升壓輸出引腳，輸出 3V
45	PIO	CH	電荷泵升壓電路輸入電容高電位接入引腳
46	PIO	CL	電荷泵升壓電路輸入電容低電位接入引腳
47	PI	CP_I	電荷泵升壓電路輸入電壓引腳
48	P	VSS	接地端引腳

表2-1 HY16F188 LQFP48 引腳定義及引腳功能描述

(1)管腳類型定義：

- I = 數字輸入
- O = 數字輸出
- OD = 開漏輸出
- AI = 模擬輸入
- AO = 模擬輸出
- P = 電源連接端

2.2.2 HY16F187/184 LQFP48

管腳號	管腳類型 ⁽¹⁾	管腳名稱	描述
1	NC	NC	NC
2	PI	VPP	保留（不能連接到任何引腳）
3	I	RST	復位引腳
4	IO	PT1.0	通用數字輸入/輸出引腳
	AI	CH1	比較器模擬輸入引腳 CH1
	I	INT1.0	外部中斷源 INT1.0 輸入引腳
	O	PWM0_1	PWM0_1 輸出引腳
	I	CS_1	SPI 通訊使能線引腳 CS_1
	IO	TX_1	EUART 通訊發送線引腳 TX_1
	I	TCI1_1	捕捉比較器輸入源引腳 TCI1_1
	IO	SCL_1	I2C 通訊時鐘線引腳 SCL_1
5	IO	PT1.1	通用數字輸入/輸出引腳
	AI	CH2	比較器模擬輸入引腳 CH2
	I	INT1.1	外部中斷源 INT1.1 輸入引腳
	O	PWM1_1	PWM1_1 輸出引腳
	I	CK_1	SPI 通訊時鐘線引腳 CK_1
	I	RX_1	EUART 通訊接收線引腳 RX_1
	I	TCI2_1	捕捉比較器輸入源引腳 TCI2_1
	IO	SDA_1	I2C 通訊數據線引腳 SDA_1
6	IO	PT1.2	通用數字輸入/輸出引腳
	AI	CH3	比較器模擬輸入引腳 CH3
	I	INT1.2	外部中斷源 INT1.2 輸入引腳
	O	PWM0_2	PWM0_2 輸出引腳
	I	MISO_1	SPI 通訊數據線引腳 MISO_1(主機輸入，從機輸出)
	IO	TX_2	EUART 通訊發送線引腳 TX_2
	I	TCI1_2	捕捉比較器輸入源引腳 TCI1_2
	IO	SCL_2	I2C 通訊時鐘線引腳 SCL_2
7	IO	PT1.3	通用數字輸入/輸出引腳
	AI	CL1	觸控按鍵輸入引腳 CL1
	I	INT1.3	外部中斷源 INT1.3 輸入引腳
	O	PWM1_2	PWM1_2 輸出引腳
	O	MOSI_1	SPI 通訊數據線引腳 MOSI_1(主機輸出，從機輸入)
	I	RX_2	EUART 通訊接收線引腳 TX_2
	I	TCI2_2	捕捉比較器輸入源引腳 TCI2_2
	IO	SDA_2	I2C 通訊數據線引腳 SDA_2
8	IO	PT1.4	通用數字輸入/輸出引腳
	AI	CL2	觸控按鍵輸入引腳 CL2
	I	INT1.4	外部中斷源 INT1.4 輸入引腳
	O	PWM0_3	PWM0_3 輸出引腳
	I	CS_2	SPI 通訊使能線引腳 CS_2
	IO	TX_3	EUART 通訊發送線引腳 TX_3
	I	TCI1_3	捕捉比較器輸入源引腳 TCI1_3
	IO	SCL_3	I2C 通訊時鐘線引腳 SCL_3

管腳號	管腳類型 ⁽¹⁾	管腳名稱	描述
9	IO	PT1.5	通用數字輸入/輸出引腳

管腳號	管腳類型 ⁽¹⁾	管腳名稱	描述	
	AI	CL3	觸控按鍵輸入引腳 CL3	
	I	INT1.5	外部中斷源 INT1.5 輸入引腳	
	O	PWM1_3	PWM1_3 輸出引腳	
	I	CK_2	SPI 通訊時鐘線引腳 CK_2	
	I	RX_3	EUART 通訊接收線引腳 RX_3	
	I	TCI2_3	捕捉比較器輸入源引腳 TCI2_3	
	IO	SDA_3	I2C 通訊數據線引腳 SDA_3	
10	IO	PT1.6	通用數字輸入/輸出引腳	
	AI	CL4	觸控按鍵輸入引腳 CL4	
	I	INT1.6	外部中斷源 INT1.6 輸入引腳	
	O	PWM0_4	PWM0_4 輸出引腳	
	I	MISO_2	SPI 通訊數據線引腳 MISO_2 (主機輸入, 從機輸出)	
	IO	TX_4	EUART 通訊發送線引腳 TX_4	
	I	TCI1_4	捕捉比較器輸入源引腳 TCI1_4	
11	IO	SCL_4	I2C 通訊時鐘線引腳 SCL_4	
	IO	PT1.7	通用數字輸入/輸出引腳	
	AO	CMPO1	比較器比較結果輸出引腳	
	I	INT1.7	外部中斷源 INT1.7 輸入引腳	
	O	PWM1_4	PWM1_4 輸出引腳	
	O	MOSI_2	SPI 通訊數據線引腳 MOSI_2(主機輸出, 從機輸入)	
	I	RX_4	EUART 通訊接收線引腳 RX_4	
12	I	TCI2_4	捕捉比較器輸入源引腳 TCI2_4	
	IO	SDA_4	I2C 通訊數據線引腳 SDA_4	
	12	NC	NC	
	13	I	ECK	開發調試通訊口(EDM)時鐘線引腳
	14	IO	EDIO	開發調試通訊口(EDM)數據線輸入/輸出引腳
	15	IO	PT3.7	通用數字輸入/輸出引腳
		AO	OPO	運算放大器模擬輸出引腳
16	NC	NC	NC	
17	NC	NC	NC	
18	PIO	VDDA	模擬電源電壓/LDO 穩壓輸出端/模擬電源電壓輸入端	
19	AI	AIO0	ADC 模擬輸入引腳 0	
20	AI	AIO1	ADC 模擬輸入引腳 1	
21	AI	AIO2	ADC 模擬輸入引腳 2	
22	AI	AIO3	ADC 模擬輸入引腳 3	
23	IO	PT3.6	通用數字輸入/輸出引腳	
	PIO	REFO	模擬參考電壓輸出引腳	
24	NC	NC	NC	
25	NC	NC	NC	
26	IO	PT3.5	通用數字輸入/輸出引腳	
	AI	AIO7	ADC 模擬輸入引腳 7	
27	IO	PT3.4	通用數字輸入/輸出引腳	
	AI	AIO6	ADC 模擬輸入引腳 6	
28	IO	PT3.3	通用數字輸入/輸出引腳	
	AI	AIO5	ADC 模擬輸入引腳 5	
29	IO	PT3.2	通用數字輸入/輸出引腳	
	AI	AIO4	ADC 模擬輸入引腳 4	
30	IO	PT3.1	通用數字輸入/輸出引腳	
	DO	OPOD2	運算放大器數字輸出引腳 2	
	AO	DAO	8-bit Resistance Ladders 輸出引腳	

管腳號	管腳類型 ⁽¹⁾	管腳名稱	描述
31	IO	PT3.0	通用數字輸入/輸出引腳
	DO	OPOD1	運算放大器數字輸出引腳 1
32	NC	NC	NC
33	NC	NC	NC
34	NC	NC	NC
35	NC	NC	NC
36	NC	NC	NC
37	IO	PT2.4	通用數字輸入/輸出引腳
	XI	LS_XIN	外部低速晶震 32768HZ 輸入引腳
	I	INT2.4	外部中斷源 INT2.4 輸入引腳
	O	PWM0_7	PWM0_7 輸出引腳
	I	CS_4	SPI 通訊使能引腳 CS_4
	IO	TX_7	EUART 通訊發送線引腳 TX_7
	I	TCI1_7	捕捉比較器輸入源引腳 TCI1_7
	IO	SCL_7	I2C 通訊時鐘線引腳 SCL_7
38	IO	PT2.5	通用數字輸入/輸出引腳
	XO	LS_XOUT	外部低速晶震 32768HZ 輸出引腳
	I	INT2.5	外部中斷源 INT2.5 輸入引腳
	O	PWM1_7	PWM1_7 輸出引腳
	I	CK_4	SPI 通訊時鐘線引腳 CK_4
	I	RX_7	EUART 通訊接收線引腳 RX_7
	I	TCI2_7	捕捉比較器輸入源引腳 TCI2_7
	IO	SDA_7	I2C 通訊數據線引腳 SDA_7
39	IO	PT2.6	通用數字輸入/輸出引腳
	XI	HS_XIN	外部高速晶震 2~16MHZ 輸入引腳
	I	INT2.6	外部中斷源 INT2.6 輸入引腳
	O	PWM0_8	PWM0_8 輸出引腳
	I	MISO_4	SPI 通訊數據線引腳 MISO_4(主機輸入，從機輸出)
	IO	TX_8	EUART 通訊發送線引腳 TX_8
	I	TCI1_8	捕捉比較器輸入源引腳 TCI1_8
	IO	SCL_8	I2C 通訊時鐘線引腳 SCL_8
40	IO	PT2.7	通用數字輸入/輸出引腳
	XO	HS_XOUT	外部高速晶震 2~16MHZ 輸出引腳
	I	INT2.7	外部中斷源 INT2.7 輸入引腳
	O	PWM1_8	PWM1_8 輸出引腳
	O	MOSI_4	SPI 通訊數據線引腳 MOSI_4(主機輸出，從機輸入)
	I	RX_8	EUART 通訊接收線引腳 RX_8
	I	TCI2_8	捕捉比較器輸入源引腳 TCI2_8
	IO	SDA_8	I2C 通訊數據線引腳 SDA_8
41	PO	VDD18	數字電源電壓引腳，輸出 1.8V
42	NC	NC	NC
43	PI	VDD3V	晶片工作電源電壓輸入引腳
44	NC	NC	NC
45	NC	NC	NC
46	NC	NC	NC
47	NC	NC	NC
48	P	VSS	接地端引腳

表2-2 HY16F187/184 LQFP48 引腳定義及引腳功能描述

2.2.3 HY16F187/184 QFN33

管腳號	管腳類型 ⁽¹⁾	管腳名稱	描述
1	IO	PT1.0	通用數字輸入/輸出引腳
	AI	CH1	比較器模擬輸入引腳 CH1
	I	INT1.0	外部中斷源 INT1.0 輸入引腳
	O	PWM0_1	PWM0_1 輸出引腳
	I	CS_1	SPI 通訊使能線引腳 CS_1
	IO	TX_1	EUART 通訊發送線引腳 TX_1
	I	TCI1_1	捕捉比較器輸入源引腳 TCI1_1
	IO	SCL_1	I2C 通訊時鐘線引腳 SCL_1
2	IO	PT1.1	通用數字輸入/輸出引腳
	AI	CH2	比較器模擬輸入引腳 CH2
	I	INT1.1	外部中斷源 INT1.1 輸入引腳
	O	PWM1_1	PWM1_1 輸出引腳
	I	CK_1	SPI 通訊時鐘線引腳 CK_1
	I	RX_1	EUART 通訊接收線引腳 RX_1
	I	TCI2_1	捕捉比較器輸入源引腳 TCI2_1
	IO	SDA_1	I2C 通訊數據線引腳 SDA_1
3	IO	PT1.2	通用數字輸入/輸出引腳
	AI	CH3	比較器模擬輸入引腳 CH3
	I	INT1.2	外部中斷源 INT1.2 輸入引腳
	O	PWM0_2	PWM0_2 輸出引腳
	I	MISO_1	SPI 通訊數據線引腳 MISO_1(主機輸入，從機輸出)
	IO	TX_2	EUART 通訊發送線引腳 TX_2
	I	TCI1_2	捕捉比較器輸入源引腳 TCI1_2
	IO	SCL_2	I2C 通訊時鐘線引腳 SCL_2
4	IO	PT1.3	通用數字輸入/輸出引腳
	AI	CL1	觸控按鍵輸入引腳 CL1
	I	INT1.3	外部中斷源 INT1.3 輸入引腳
	O	PWM1_2	PWM1_2 輸出引腳
	O	MOSI_1	SPI 通訊數據線引腳 MOSI_1(主機輸出，從機輸入)
	I	RX_2	EUART 通訊接收線引腳 TX_2
	I	TCI2_2	捕捉比較器輸入源引腳 TCI2_2
	IO	SDA_2	I2C 通訊數據線引腳 SDA_2
5	IO	PT1.4	通用數字輸入/輸出引腳
	AI	CL2	觸控按鍵輸入引腳 CL2
	I	INT1.4	外部中斷源 INT1.4 輸入引腳
	O	PWM0_3	PWM0_3 輸出引腳
	I	CS_2	SPI 通訊使能線引腳 CS_2
	IO	TX_3	EUART 通訊發送線引腳 TX_3
	I	TCI1_3	捕捉比較器輸入源引腳 TCI1_3
	IO	SCL_3	I2C 通訊時鐘線引腳 SCL_3

管腳號	管腳類型 ⁽¹⁾	管腳名稱	描述
6	IO	PT1.5	通用數字輸入/輸出引腳
	AI	CL3	觸控按鍵輸入引腳 CL3
	I	INT1.5	外部中斷源 INT1.5 輸入引腳
	O	PWM1_3	PWM1_3 輸出引腳
	I	CK_2	SPI 通訊時鐘線引腳 CK_2
	I	RX_3	EUART 通訊接收線引腳 RX_3
	I	TCI2_3	捕捉比較器輸入源引腳 TCI2_3
	IO	SDA_3	I2C 通訊數據線引腳 SDA_3
7	IO	PT1.6	通用數字輸入/輸出引腳
	AI	CL4	觸控按鍵輸入引腳 CL4
	I	INT1.6	外部中斷源 INT1.6 輸入引腳
	O	PWM0_4	PWM0_4 輸出引腳
	I	MISO_2	SPI 通訊數據線引腳 MISO_2
	IO	TX_4	EUART 通訊接收線引腳 TX_4
	I	TCI1_4	捕捉比較器輸入源引腳 TCI1_4
	IO	SCL_4	I2C 通訊時鐘線引腳 SCL_4
8	IO	PT1.7	通用數字輸入/輸出引腳
	AO	CMPO1	比較器比較結果輸出引腳
	I	INT1.7	外部中斷源 INT1.7 輸入引腳
	O	PWM1_4	PWM1_4 輸出引腳
	O	MOSI_2	SPI 通訊數據線引腳 MOSI_2(主機輸出，從機輸入)
	I	RX_4	EUART 通訊接收線引腳 RX_4
	I	TCI2_4	捕捉比較器輸入源引腳 TCI2_4
	IO	SDA_4	I2C 通訊數據線引腳 SDA_4
9	I	ECK	開發調試通訊口(EDM)時鐘線引腳
10	IO	EDIO	開發調試通訊口(EDM)數據線輸入/輸出引腳
11	IO	PT3.7	通用數字輸入/輸出引腳
	AO	OPO	運算放大器模擬輸出引腳
12	PIO	VDDA	模擬電源電壓/LDO 穩壓輸出端/模擬電源電壓輸入端
13	AI	AIO0	ADC 模擬輸入引腳 0
14	AI	AIO1	ADC 模擬輸入引腳 1
15	AI	AIO2	ADC 模擬輸入引腳 2
16	AI	AIO3	ADC 模擬輸入引腳 3
17	IO	PT3.6	通用數字輸入/輸出引腳
	PIO	REFO	模擬參考電壓輸出引腳
18	IO	PT3.5	通用數字輸入/輸出引腳
	AI	AIO7	ADC 模擬輸入引腳 7
19	IO	PT3.4	通用數字輸入/輸出引腳
	AI	AIO6	ADC 模擬輸入引腳 6
20	IO	PT3.3	通用數字輸入/輸出引腳
	AI	AIO5	ADC 模擬輸入引腳 5

管腳號	管腳類型 ⁽¹⁾	管腳名稱	描述
21	IO	PT3.2	通用數字輸入/輸出引腳
	AI	AIO4	ADC 模擬輸入引腳 4
22	IO	PT3.1	通用數字輸入/輸出引腳
	DO	OPOD2	運算放大器數字輸出引腳 2
	AO	DAO	8-bit Resistance Ladders 輸出引腳
23	IO	PT3.0	通用數字輸入/輸出引腳
	DO	OPOD1	運算放大器數字輸出引腳 1
24	IO	PT2.4	通用數字輸入/輸出引腳
	XI	LS_XIN	外部低速晶震 32768HZ 輸入引腳
	I	INT2.4	外部中斷源 INT2.4 輸入引腳
	O	PWM0_7	PWM0_7 輸出引腳
	I	CS_4	SPI 通訊使能引腳 CS_4
	IO	TX_7	EUART 通訊發送線引腳 TX_7
	I	TCI1_7	捕捉比較器輸入源引腳 TCI1_7
	IO	SCL_7	I2C 通訊時鐘線引腳 SCL_7
	25	IO	PT2.5
XO		LS_XOUT	外部低速晶震 32768HZ 輸出引腳
I		INT2.5	外部中斷源 INT2.5 輸入引腳
O		PWM1_7	PWM1_7 輸出引腳
I		CK_4	SPI 通訊時鐘線引腳 CK_4
I		RX_7	EUART 通訊接收線引腳 RX_7
I		TCI2_7	捕捉比較器輸入源引腳 TCI2_7
IO		SDA_7	I2C 通訊數據線引腳 SDA_7
26	IO	PT2.6	通用數字輸入/輸出引腳
	XI	HS_XIN	外部高速晶震 2~16MHZ 輸入引腳
	I	INT2.6	外部中斷源 INT2.6 輸入引腳
	O	PWM0_8	PWM0_8 輸出引腳
	I	MISO_4	SPI 通訊數據線引腳 MISO_4(主機輸入，從機輸出)
	IO	TX_8	EUART 通訊發送線引腳 TX_8
	I	TCI1_8	捕捉比較器輸入源引腳 TCI1_8
	IO	SCL_8	I2C 通訊時鐘線引腳 SCL_8
27	IO	PT2.7	通用數字輸入/輸出引腳
	XO	HS_XOUT	外部高速晶震 2~16MHZ 輸出引腳
	I	INT2.7	外部中斷源 INT2.7 輸入引腳
	O	PWM1_8	PWM1_8 輸出引腳
	O	MOSI_4	SPI 通訊數據線引腳 MOSI_4(主機輸出，從機輸入)
	I	RX_8	EUART 通訊接收線引腳 RX_8
	I	TCI2_8	捕捉比較器輸入源引腳 TCI2_8
	IO	SDA_8	I2C 通訊數據線引腳 SDA_8
28	PO	VDD18	數字電源電壓引腳，輸出 1.8V
29	PI	VDD3V	晶片工作電源電壓輸入引腳
30	P	VSS	接地端引腳
31	PI	VPP	保留（不能連接到任何引腳）
32	I	RST	復位引腳
33	P	VSS	接地端引腳

表2-3 HY16F187/184 QFN33 引腳定義及引腳功能描述

2.2.4 HY16F184 TSSOP28

管腳號	管腳類型 ⁽¹⁾	管腳名稱	描述
1	PO	VDD18	數字電源電壓引腳，輸出 1.8V
2	PI	VDD3V	晶片工作電源電壓輸入引腳
3	P	VSS	接地端引腳
4	I	RST	復位引腳
5	IO	PT1.0	通用數字輸入/輸出引腳
	AI	CH1	比較器模擬輸入引腳 CH1
	I	INT1.0	外部中斷源 INT1.0 輸入引腳
	O	PWM0_1	PWM0_1 輸出引腳
	I	CS_1	SPI 通訊使能線引腳 CS_1
	IO	TX_1	EUART 通訊發送線引腳 TX_1
	I	TCI1_1	捕捉比較器輸入源引腳 TCI1_1
	IO	SCL_1	I2C 通訊時鐘線引腳 SCL_1
6	IO	PT1.1	通用數字輸入/輸出引腳
	AI	CH2	比較器模擬輸入引腳 CH2
	I	INT1.1	外部中斷源 INT1.1 輸入引腳
	O	PWM1_1	PWM1_1 輸出引腳
	I	CK_1	SPI 通訊時鐘線引腳 CK_1
	I	RX_1	EUART 通訊接收線引腳 RX_1
	I	TCI2_1	捕捉比較器輸入源引腳 TCI2_1
	IO	SDA_1	I2C 通訊數據線引腳 SDA_1
7	IO	PT1.2	通用數字輸入/輸出引腳
	AI	CH3	比較器模擬輸入引腳 CH3
	I	INT1.2	外部中斷源 INT1.2 輸入引腳
	O	PWM0_2	PWM0_2 輸出引腳
	I	MISO_1	SPI 通訊數據線引腳 MISO_1(主機輸入，從機輸出)
	IO	TX_2	EUART 通訊發送線引腳 TX_2
	I	TCI1_2	捕捉比較器輸入源引腳 TCI1_2
	IO	SCL_2	I2C 通訊時鐘線引腳 SCL_2
8	IO	PT1.3	通用數字輸入/輸出引腳
	AI	CL1	觸控按鍵輸入引腳 CL1
	I	INT1.3	外部中斷源 INT1.3 輸入引腳
	O	PWM1_2	PWM1_2 輸出引腳
	O	MOSI_1	SPI 通訊數據線引腳 MOSI_1(主機輸出，從機輸入)
	I	RX_2	EUART 通訊接收線引腳 TX_2
	I	TCI2_2	捕捉比較器輸入源引腳 TCI2_2
	IO	SDA_2	I2C 通訊數據線引腳 SDA_2
9	IO	PT1.4	通用數字輸入/輸出引腳
	AI	CL2	觸控按鍵輸入引腳 CL2
	I	INT1.4	外部中斷源 INT1.4 輸入引腳
	O	PWM0_3	PWM0_3 輸出引腳
	I	CS_2	SPI 通訊使能線引腳 CS_2
	IO	TX_3	EUART 通訊發送線引腳 TX_3
	I	TCI1_3	捕捉比較器輸入源引腳 TCI1_3
	IO	SCL_3	I2C 通訊時鐘線引腳 SCL_3

管腳號	管腳類型 ⁽¹⁾	管腳名稱	描述
10	IO	PT1.5	通用數字輸入/輸出引腳
	AI	CL3	觸控按鍵輸入引腳 CL3
	I	INT1.5	外部中斷源 INT1.5 輸入引腳
	O	PWM1_3	PWM1_3 輸出引腳
	I	CK_2	SPI 通訊時鐘線引腳 CK_2
	I	RX_3	EUART 通訊接收線引腳 RX_3
	I	TCI2_3	捕捉比較器輸入源引腳 TCI2_3
	IO	SDA_3	I2C 通訊數據線引腳 SDA_3
11	IO	PT1.6	通用數字輸入/輸出引腳
	AI	CL4	觸控按鍵輸入引腳 CL4
	I	INT1.6	外部中斷源 INT1.6 輸入引腳
	O	PWM0_4	PWM0_4 輸出引腳
	I	MISO_2	SPI 通訊數據線引腳 MISO_2
	IO	TX_4	EUART 通訊接收線引腳 TX_4
	I	TCI1_4	捕捉比較器輸入源引腳 TCI1_4
	IO	SCL_4	I2C 通訊時鐘線引腳 SCL_4
12	I	ECK	開發調試通訊口(EDM)時鐘線引腳
13	IO	EDIO	開發調試通訊口(EDM)數據線輸入/輸出引腳
14	PIO	VDDA	模擬電源電壓/LDO 穩壓輸出端/模擬電源電壓輸入端
15	AI	AIO0	ADC 模擬輸入引腳 0
16	AI	AIO1	ADC 模擬輸入引腳 1
17	AI	AIO2	ADC 模擬輸入引腳 2
18	AI	AIO3	ADC 模擬輸入引腳 3
19	IO	PT3.6	通用數字輸入/輸出引腳
	PIO	REFO	模擬參考電壓輸出引腳
20	IO	PT3.1	通用數字輸入/輸出引腳
	DO	OPOD2	運算放大器數字輸出引腳 2
	AO	DAO	8-bit Resistance Ladders 輸出引腳
21	IO	PT2.0	通用數字輸入/輸出引腳
	I	INT2.0	外部中斷源 INT2.0 輸入引腳
	O	PWM0_5	PWM0_5 輸出引腳
	I	CS_3	SPI 通訊使能引腳 CS_3
	IO	TX_5	EUART 通訊發送線引腳 TX_5
	I	TCI1_5	捕捉比較器輸入源引腳 TCI1_5
	IO	SCL_5	I2C 通訊時鐘線引腳 SCL_5
22	IO	PT2.1	通用數字輸入/輸出引腳
	I	INT2.1	外部中斷源 INT2.1 輸入引腳
	O	PWM1_5	PWM1_5 輸出引腳
	I	CK_3	SPI 通訊時鐘線引腳 CK_3
	I	RX_5	EUART 通訊接收線引腳 RX_5
	I	TCI2_5	捕捉比較器輸入源引腳 TCI2_5
	IO	SDA_5	I2C 通訊數據線引腳 SDA_5
23	IO	PT2.2	通用數字輸入/輸出引腳
	I	INT2.2	外部中斷源 INT2.2 輸入引腳
	O	PWM0_6	PWM0_6 輸出引腳
	I	MISO_3	SPI 通訊數據線引腳 MISO_3(主機輸入，從機輸出)
	IO	TX_6	EUART 通訊發送線引腳 TX_6
	I	TCI1_6	捕捉比較器輸入源引腳 TCI1_6
	IO	SCL_6	I2C 通訊時鐘線引腳 SCL_6
24	IO	PT2.3	通用數字輸入/輸出引腳
	I	INT2.3	外部中斷源 INT2.3 輸入引腳
	O	PWM1_6	PWM1_6 輸出引腳

管腳號	管腳類型 ⁽¹⁾	管腳名稱	描述	
	O	MOSI_3	SPI 通訊數據線引腳 MOSI_3(主機輸出，從機輸入)	
	I	RX_6	EUART 通訊接收線引腳 RX_6	
	I	TCI2_6	捕捉比較器輸入源引腳 TCI2_6	
	IO	SDA_6	I2C 通訊數據線引腳 SDA_6	
25	IO	PT2.4	通用數字輸入/輸出引腳	
	XI	LS_XIN	外部低速晶震 32768HZ 輸入引腳	
	I	INT2.4	外部中斷源 INT2.4 輸入引腳	
	O	PWM0_7	PWM0_7 輸出引腳	
	I	CS_4	SPI 通訊使能引腳 CS_4	
	IO	TX_7	EUART 通訊發送線引腳 TX_7	
	I	TCI1_7	捕捉比較器輸入源引腳 TCI1_7	
	IO	SCL_7	I2C 通訊時鐘線引腳 SCL_7	
	26	IO	PT2.5	通用數字輸入/輸出引腳
		XO	LS_XOUT	外部低速晶震 32768HZ 輸出引腳
		I	INT2.5	外部中斷源 INT2.5 輸入引腳
O		PWM1_7	PWM1_7 輸出引腳	
I		CK_4	SPI 通訊時鐘線引腳 CK_4	
I		RX_7	EUART 通訊接收線引腳 RX_7	
I		TCI2_7	捕捉比較器輸入源引腳 TCI2_7	
IO		SDA_7	I2C 通訊數據線引腳 SDA_7	
27	IO	PT2.6	通用數字輸入/輸出引腳	
	XI	HS_XIN	外部高速晶震 2~16MHZ 輸入引腳	
	I	INT2.6	外部中斷源 INT2.6 輸入引腳	
	O	PWM0_8	PWM0_8 輸出引腳	
	I	MISO_4	SPI 通訊數據線引腳 MISO_4(主機輸入，從機輸出)	
	IO	TX_8	EUART 通訊發送線引腳 TX_8	
	I	TCI1_8	捕捉比較器輸入源引腳 TCI1_8	
	IO	SCL_8	I2C 通訊時鐘線引腳 SCL_8	
28	IO	PT2.7	通用數字輸入/輸出引腳	
	XO	HS_XOUT	外部高速晶震 2~16MHZ 輸出引腳	
	I	INT2.7	外部中斷源 INT2.7 輸入引腳	
	O	PWM1_8	PWM1_8 輸出引腳	
	O	MOSI_4	SPI 通訊數據線引腳 MOSI_4(主機輸出，從機輸入)	
	I	RX_8	EUART 通訊接收線引腳 RX_8	
	I	TCI2_8	捕捉比較器輸入源引腳 TCI2_8	
	IO	SDA_8	I2C 通訊數據線引腳 SDA_8	

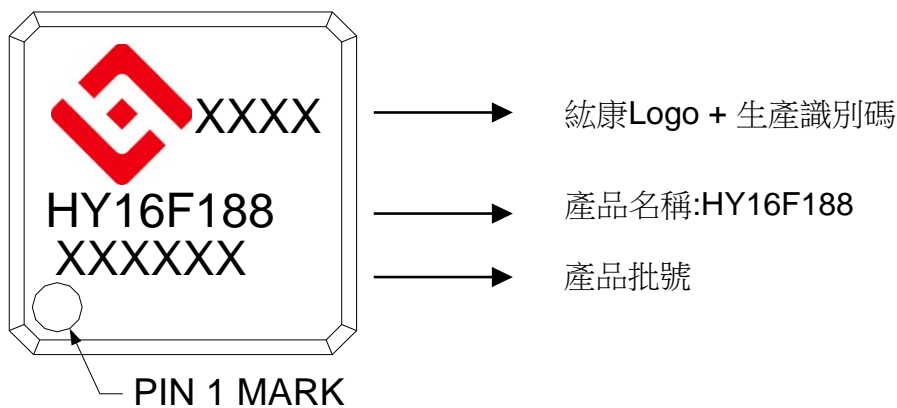
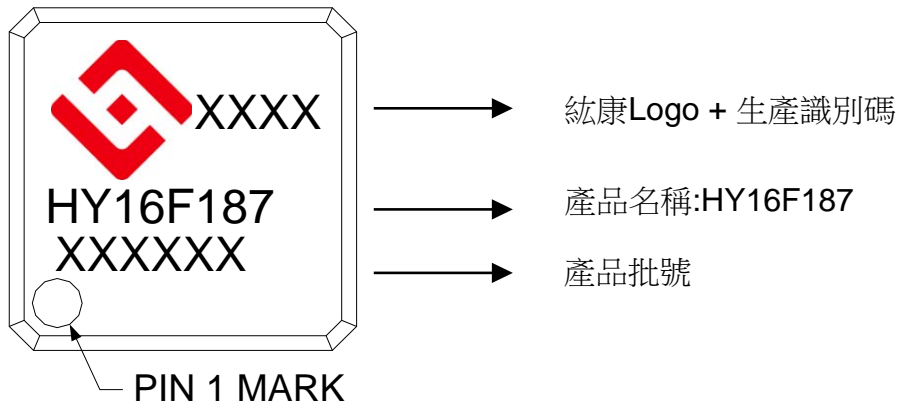
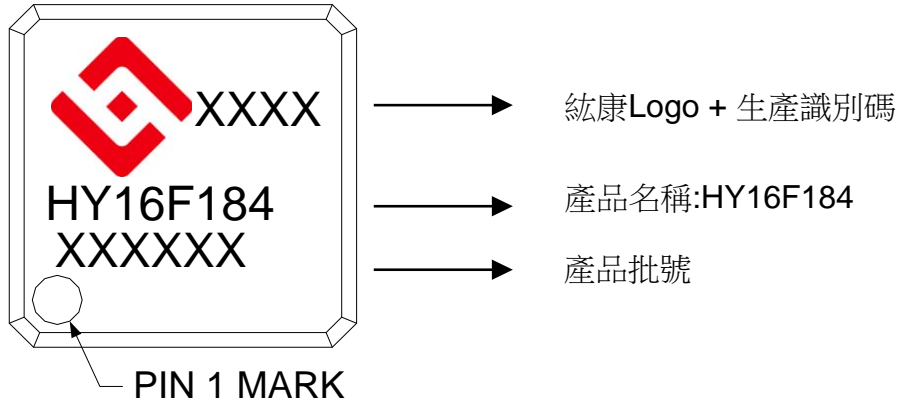
表2-4 HY16F184 TSSOP28 引腳定義及引腳功能描述

2.2.5 管腳複用功能及複用功能優先級

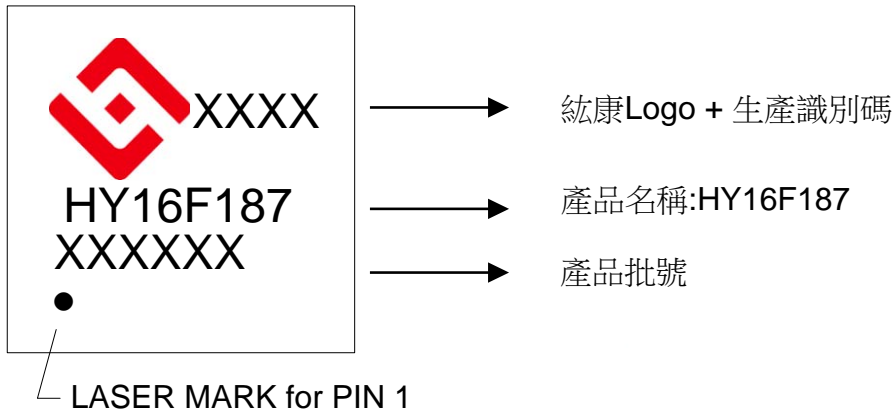
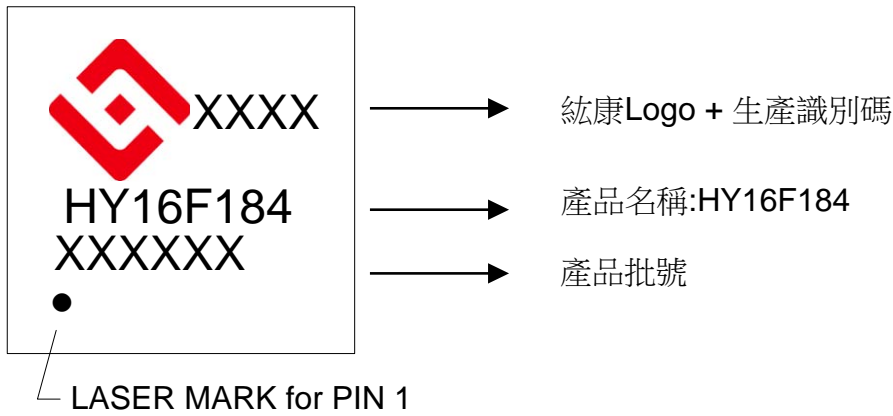
GPIO Port	OSC	Interrupt	Timer C Capture	SPI	IIC	UART	CMP	Analog	Timer B PWM
Priority	0	0	0	1	2	3	4	5	6
PT1.0		INT1.0	TCI1_1	CS_1	SCL_1	TX_1	CH1		PWM0_1
PT1.1		INT1.1	TCI2_1	CK_1	SDA_1	RX_1	CH2		PWM1_1
PT1.2		INT1.2	TCI1_2	MISO_1	SCL_2	TX_2	CH3		PWM0_2
PT1.3		INT1.3	TCI2_2	MOSI_1	SDA_2	RX_2	CL1		PWM1_2
PT1.4		INT1.4	TCI1_3	CS_2	SCL_3	TX_3	CL2		PWM0_3
PT1.5		INT1.5	TCI2_3	CK_2	SDA_3	RX_3	CL3		PWM1_3
PT1.6		INT1.6	TCI1_4	MISO_2	SCL_4	TX_4	CL4		PWM0_4
PT1.7		INT1.7	TCI2_4	MOSI_2	SDA_4	RX_4	CMPO1		PWM1_4
PT2.0		INT2.0	TCI1_5	CS_3	SCL_5	TX_5			PWM0_5
PT2.1		INT2.1	TCI2_5	CK_3	SDA_5	RX_5			PWM1_5
PT2.2		INT2.2	TCI1_6	MISO_3	SCL_6	TX_6			PWM0_6
PT2.3		INT2.3	TCI2_6	MOSI_3	SDA_6	RX_6			PWM1_6
PT2.4	LSXT1	INT2.4	TCI1_7	CS_4	SCL_7	TX_7			PWM0_7
PT2.5	LSXT2	INT2.5	TCI2_7	CK_4	SDA_7	RX_7			PWM1_7
PT2.6	HSXT1	INT2.6	TCI1_8	MISO_4	SCL_8	TX_8			PWM0_8
PT2.7	HSXT2	INT2.7	TCI2_8	MOSI_4	SDA_8	RX_8			PWM1_8
PT3.0							OPOD1		
PT3.1							OPOD2	DAO	
PT3.2								AIO4	
PT3.3								AIO5	
PT3.4								AIO6	
PT3.5								AIO7	
PT3.6								REFO	
PT3.7								OPO	
AIO0								AIO0	
AIO1								AIO1	
AIO2								AIO2	
AIO3								AIO3	

2.3 封裝片標記信息

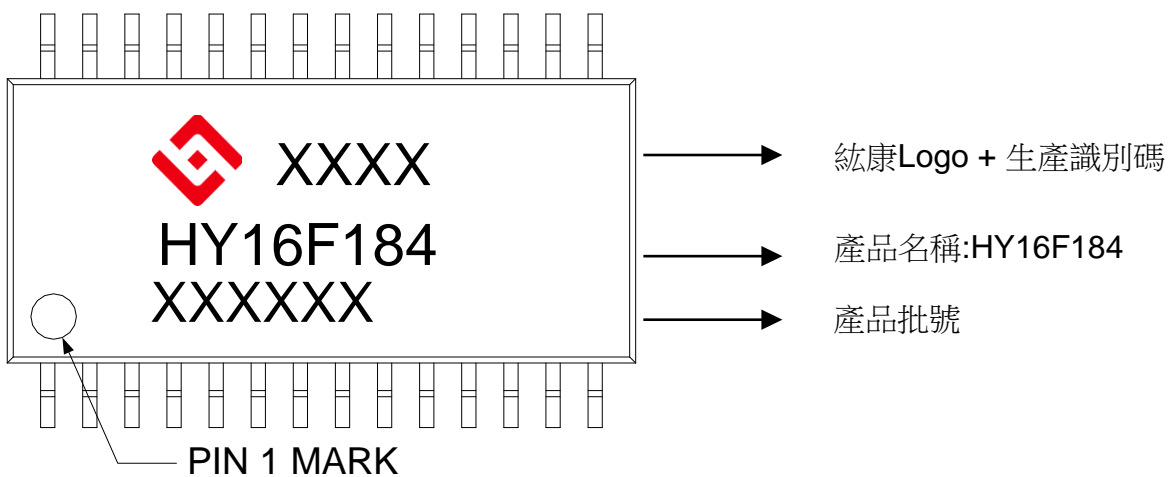
2.3.1 HY16F184/187/188 LQFP 封裝片標記信息



2.3.2 HY16F184 /187QFN 封裝片標記信息



2.3.3 HY16F184 TSSOP 封裝片標記信息



3. 應用電路

3.1 橋式傳感器應用電路

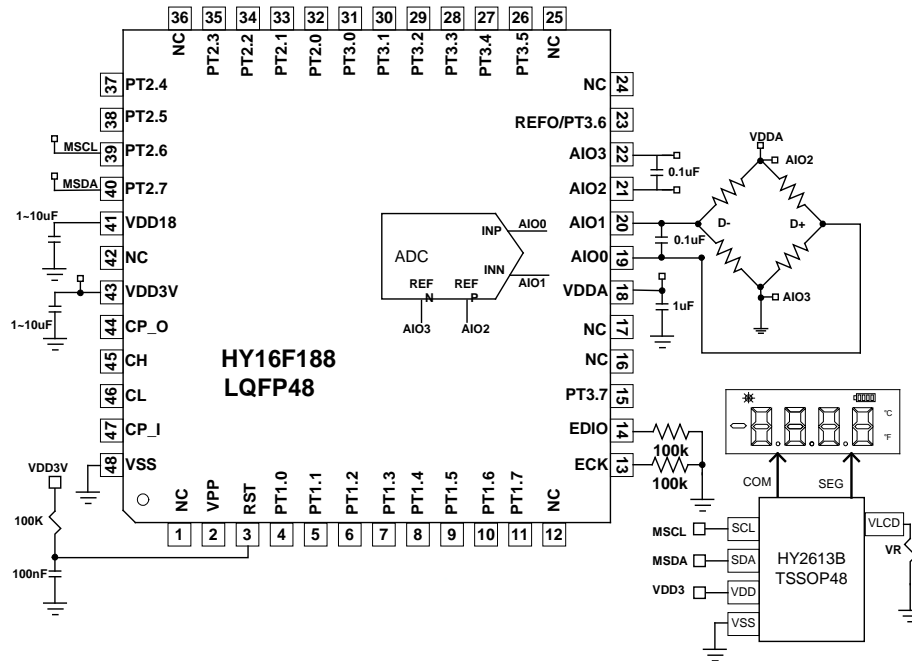


圖3-1 橋式傳感器應用電路

3.2 測量血壓傳感器應用電路

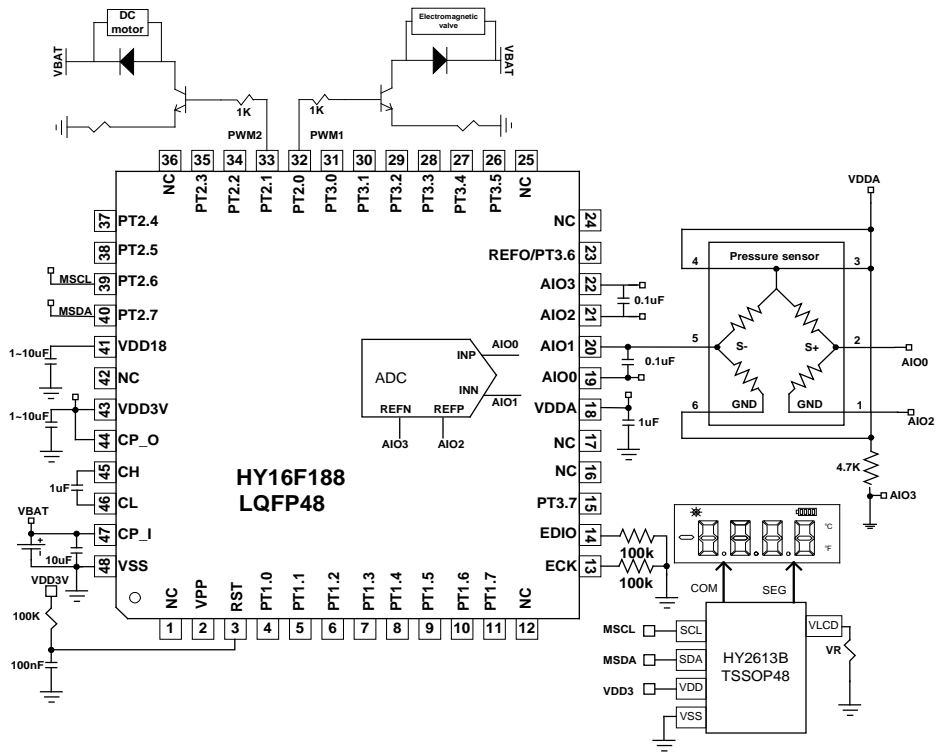


圖 3-2 測量血壓傳感器應用電路

3.3 電化學傳感器應用電路

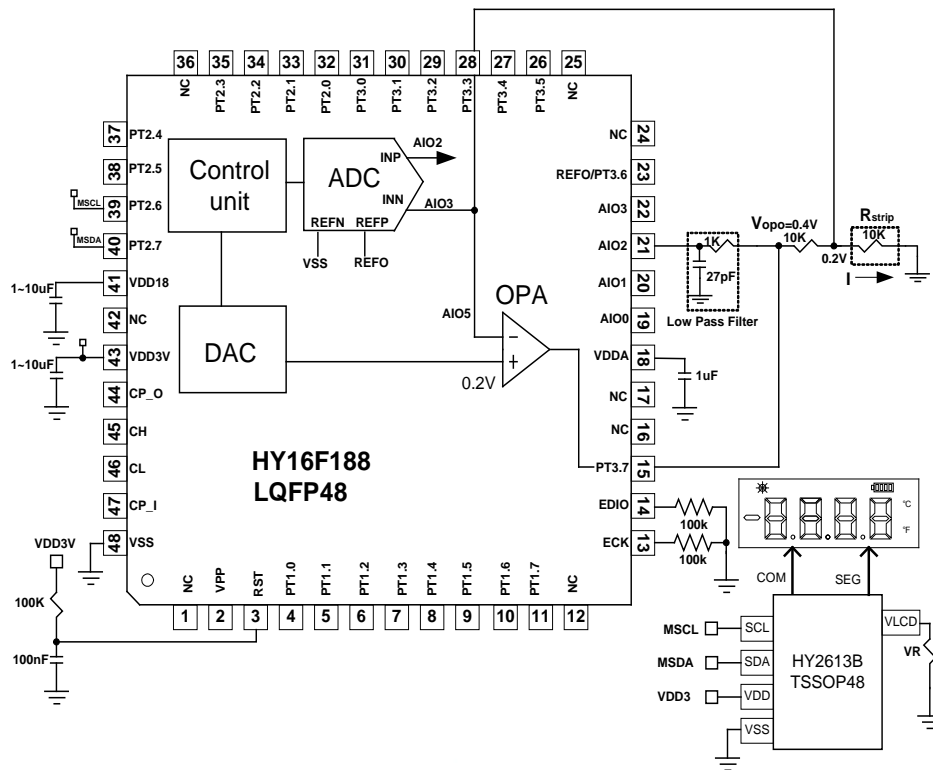


圖 3-3 電化學傳感器應用電路

3.4 觸控按鍵測量應用電路

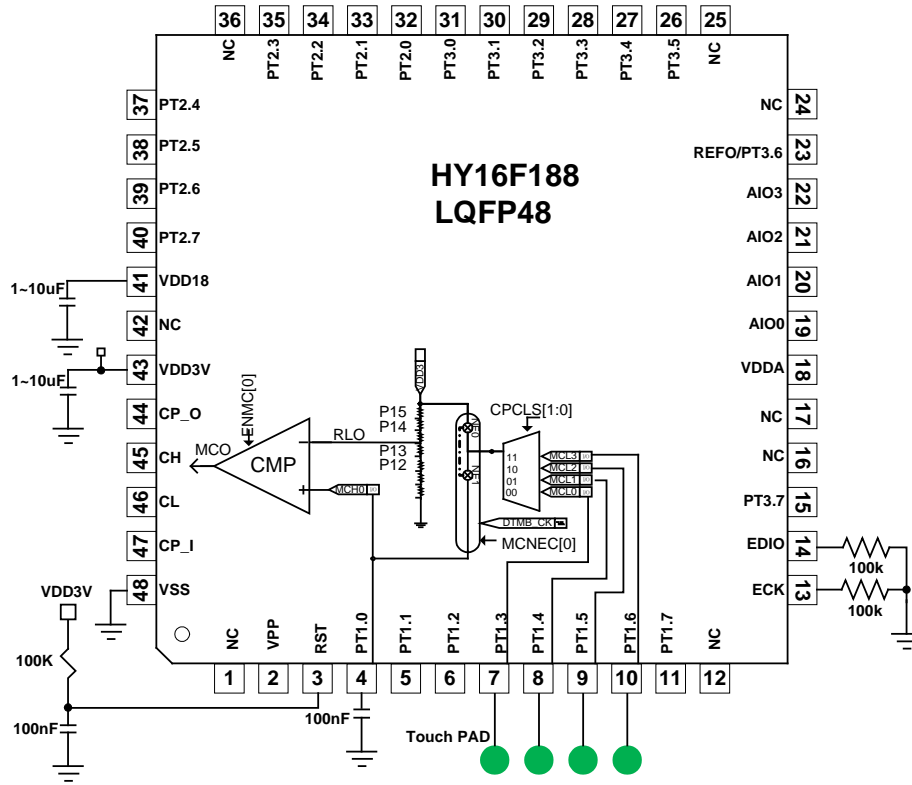


圖 3-4 觸控按鍵測量應用電路

4. 功能概述

4.1 内部框图

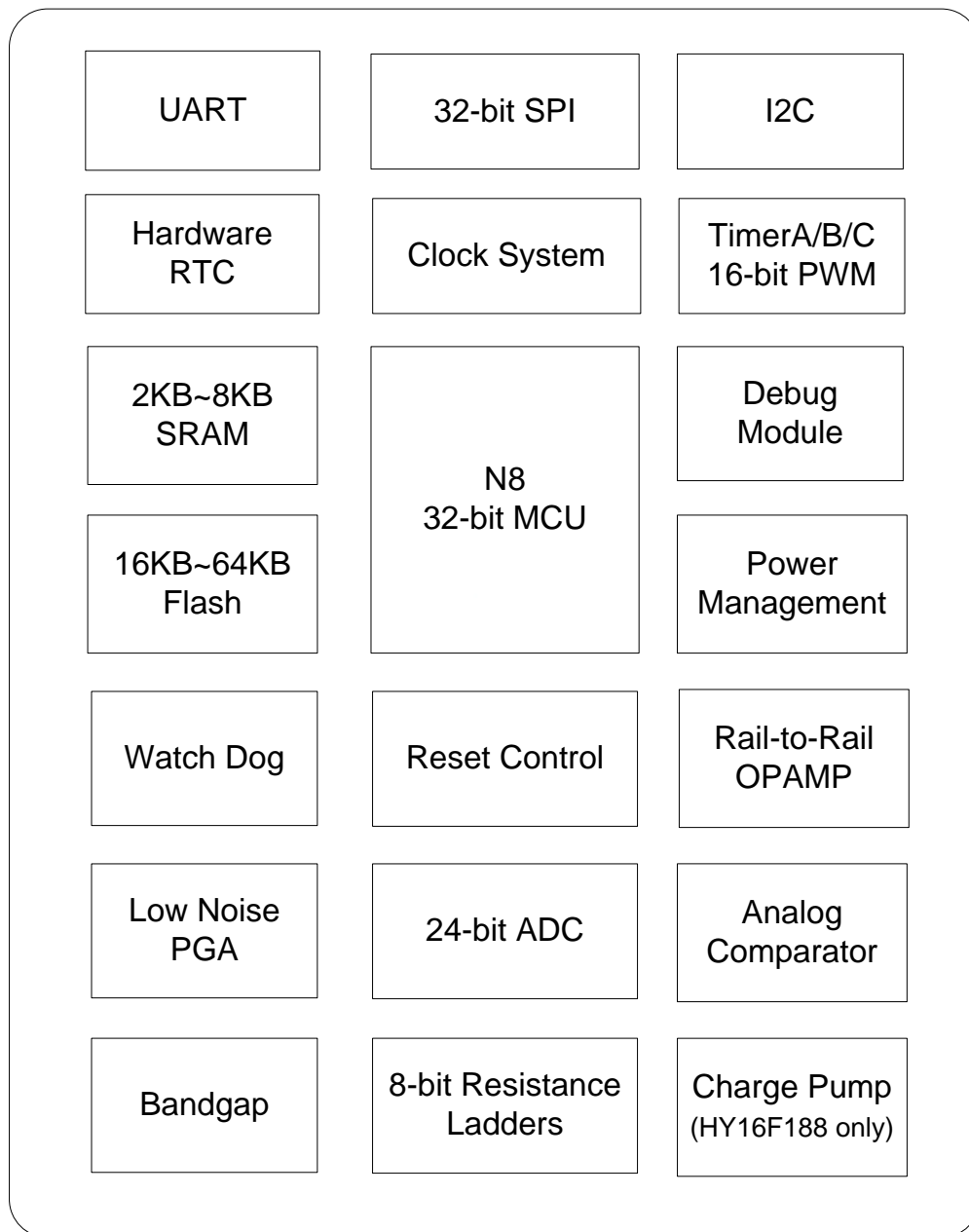


圖 4-1 HY16F188/HY16F187/HY16F184 内部框图

4.2 編譯方框圖

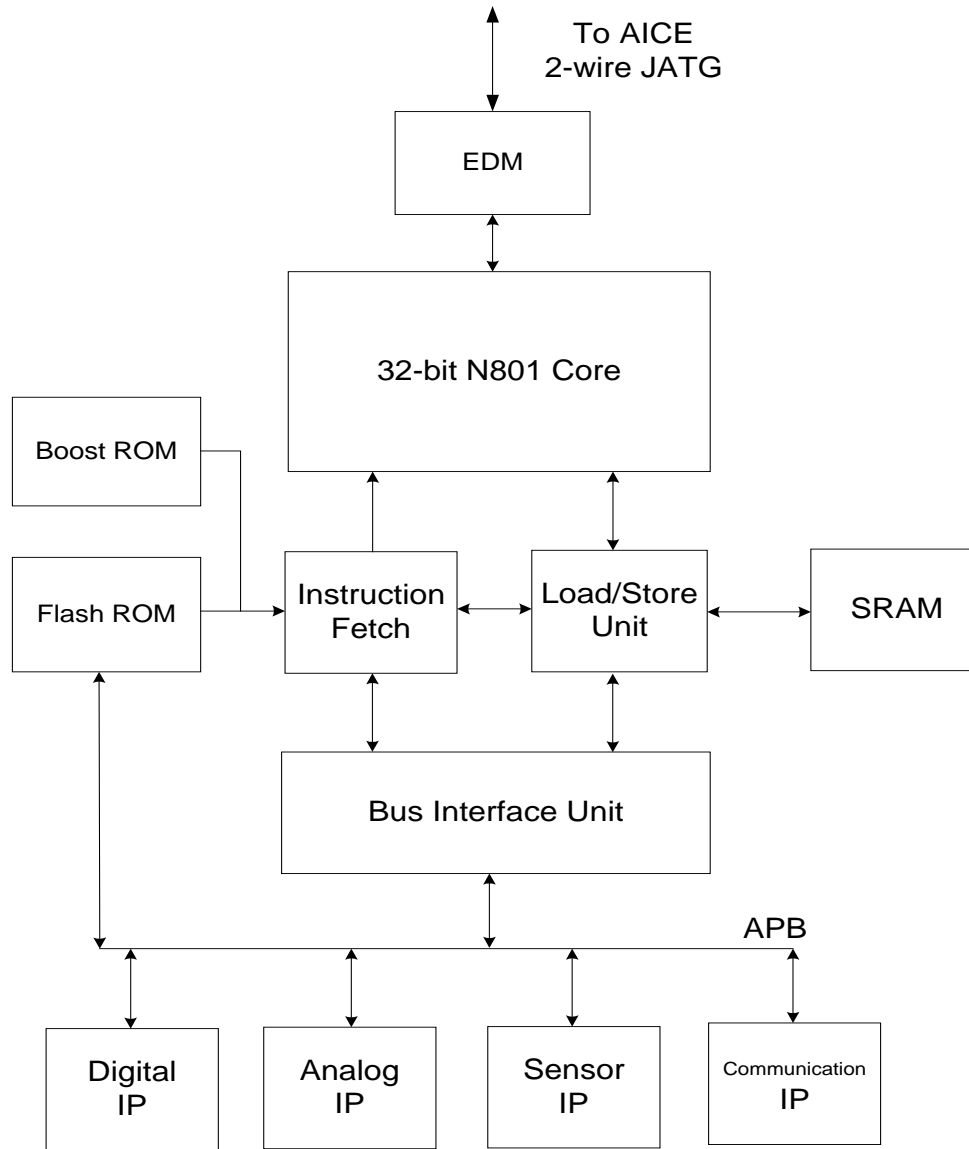
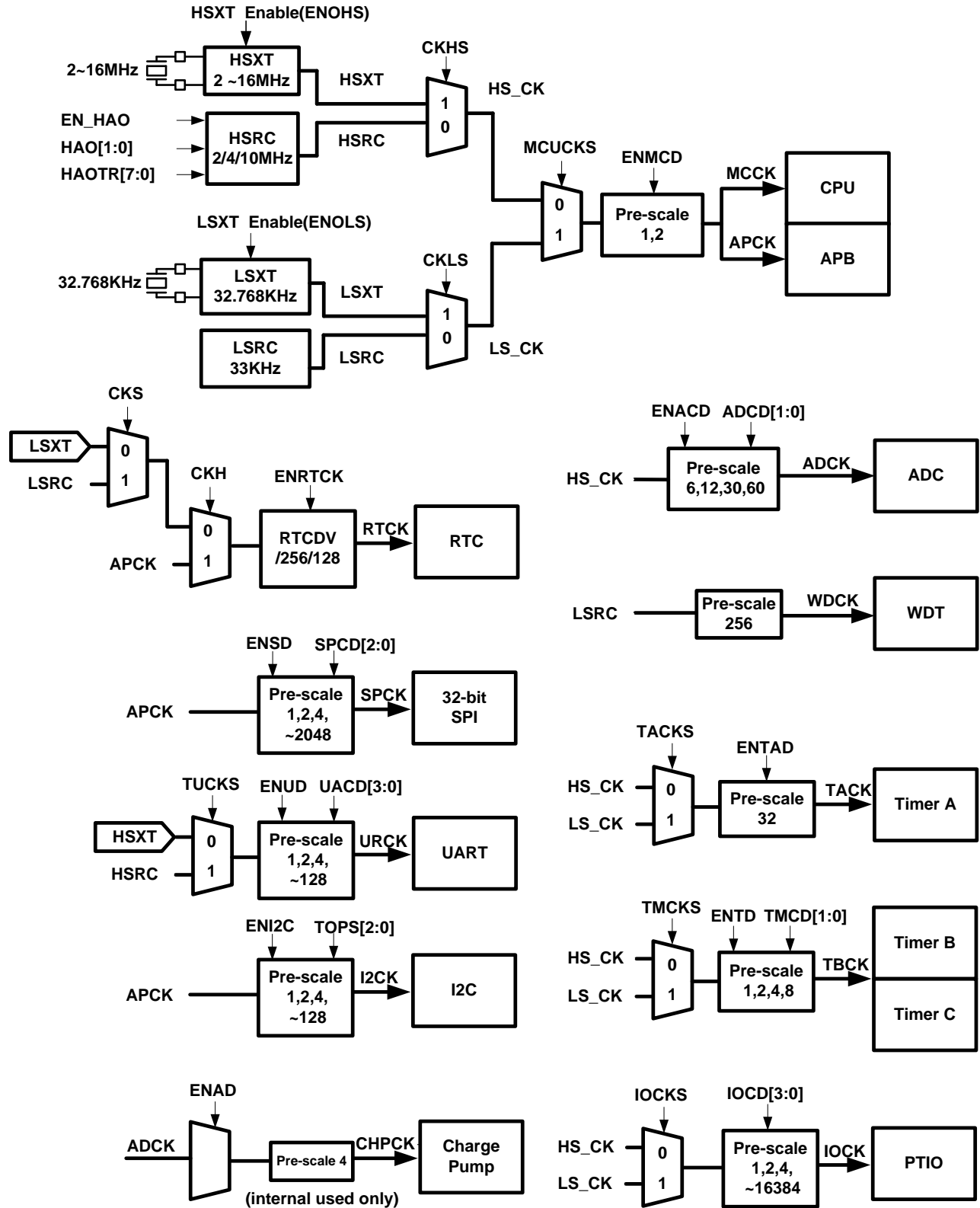


圖 4-2 Build Block Diagram

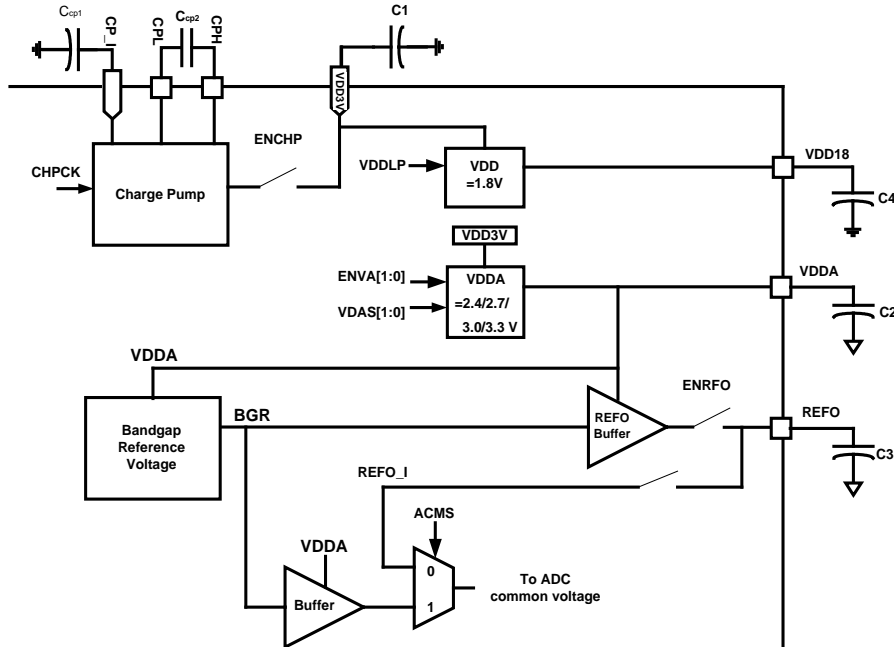
4.3 相關的支援文檔

序號	檔案名稱	描述
1	UG-HY16F188	HY16F188 用戶手冊
2	APD-HY16IDE001	HY16F18x 系列 IDE 軟體使用說明書
3	APD-HY16IDE002	HY16F18x 系列 IDE 硬體使用說明書
4	APD-HY16IDE004	HY16F18X C 函數庫手冊
5	APD-HY16IDE006	HY16F 系列燒錄器使用說明書
6	APD-HY16F003	HY16F18X 各 IP 使用說明書

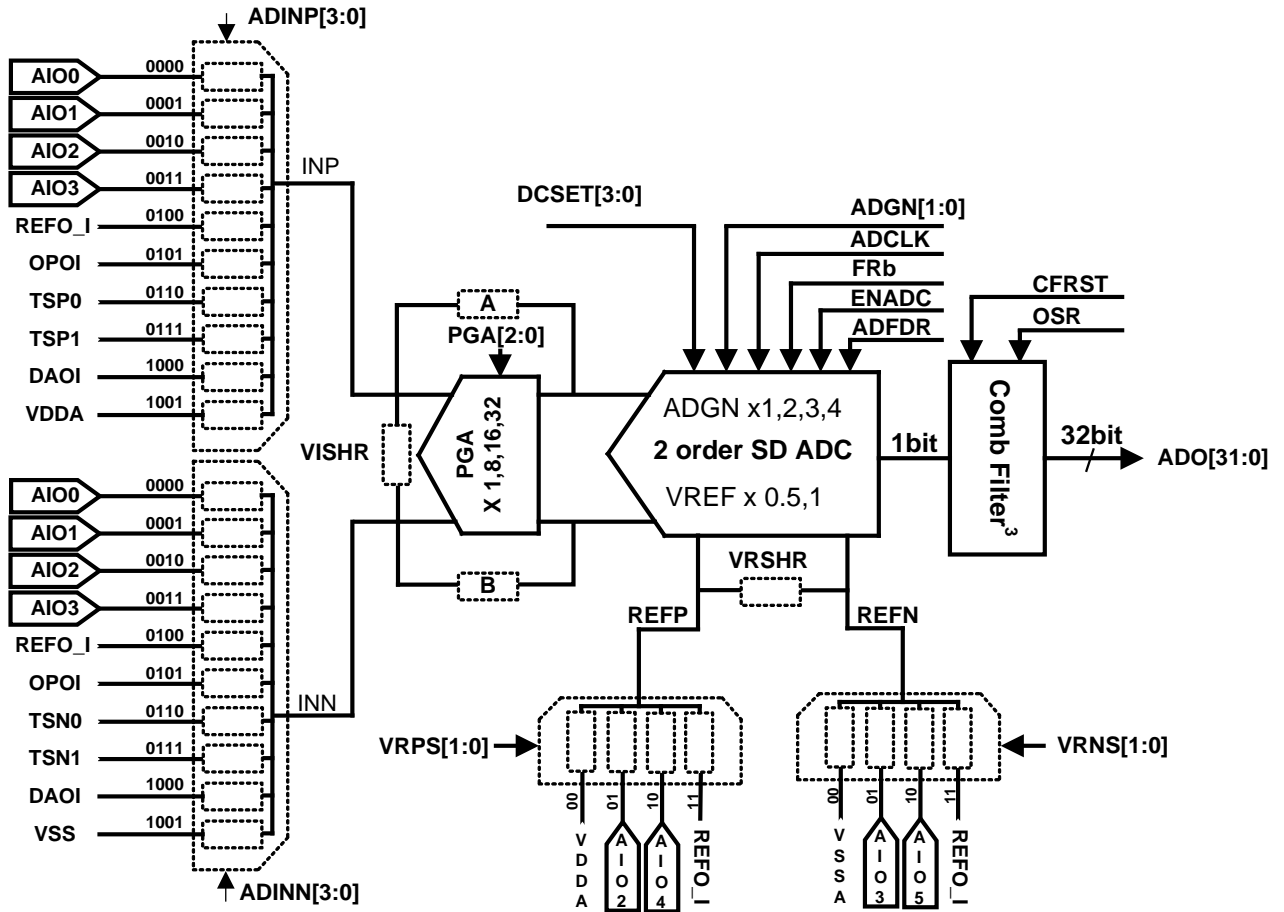
4.4 時鐘系統網絡



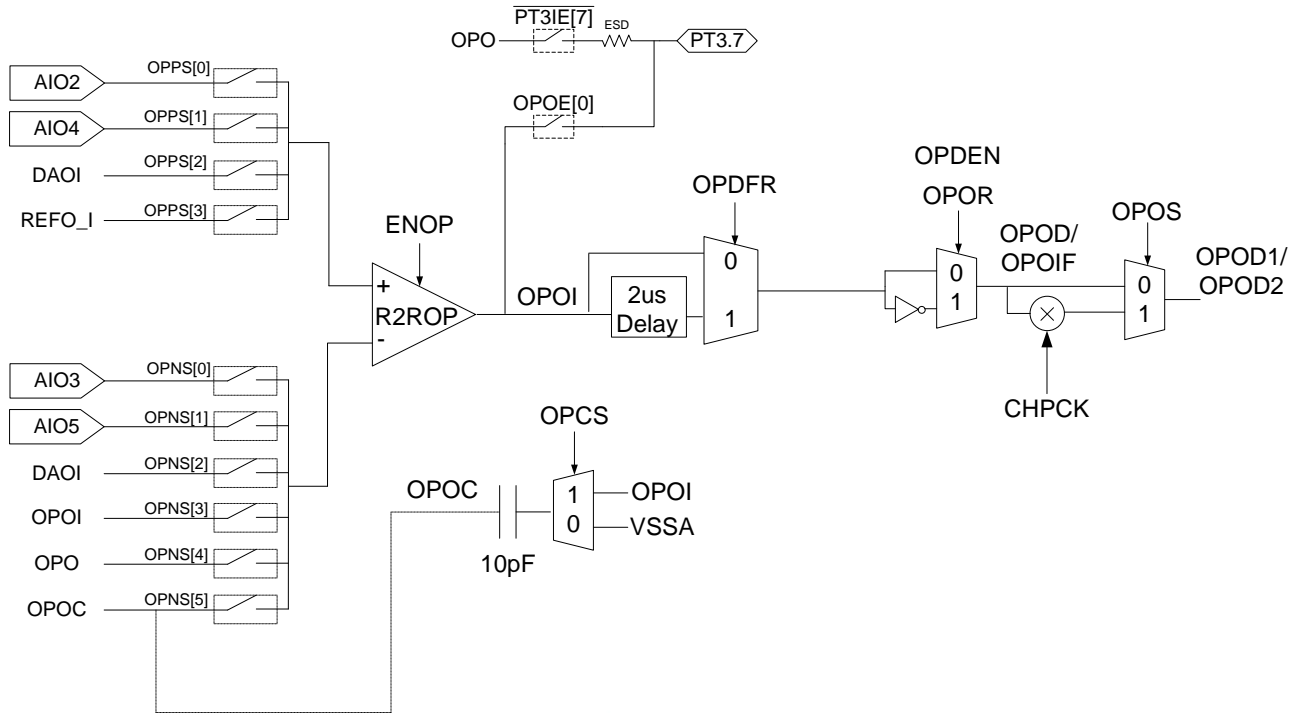
4.5 電源系統網絡



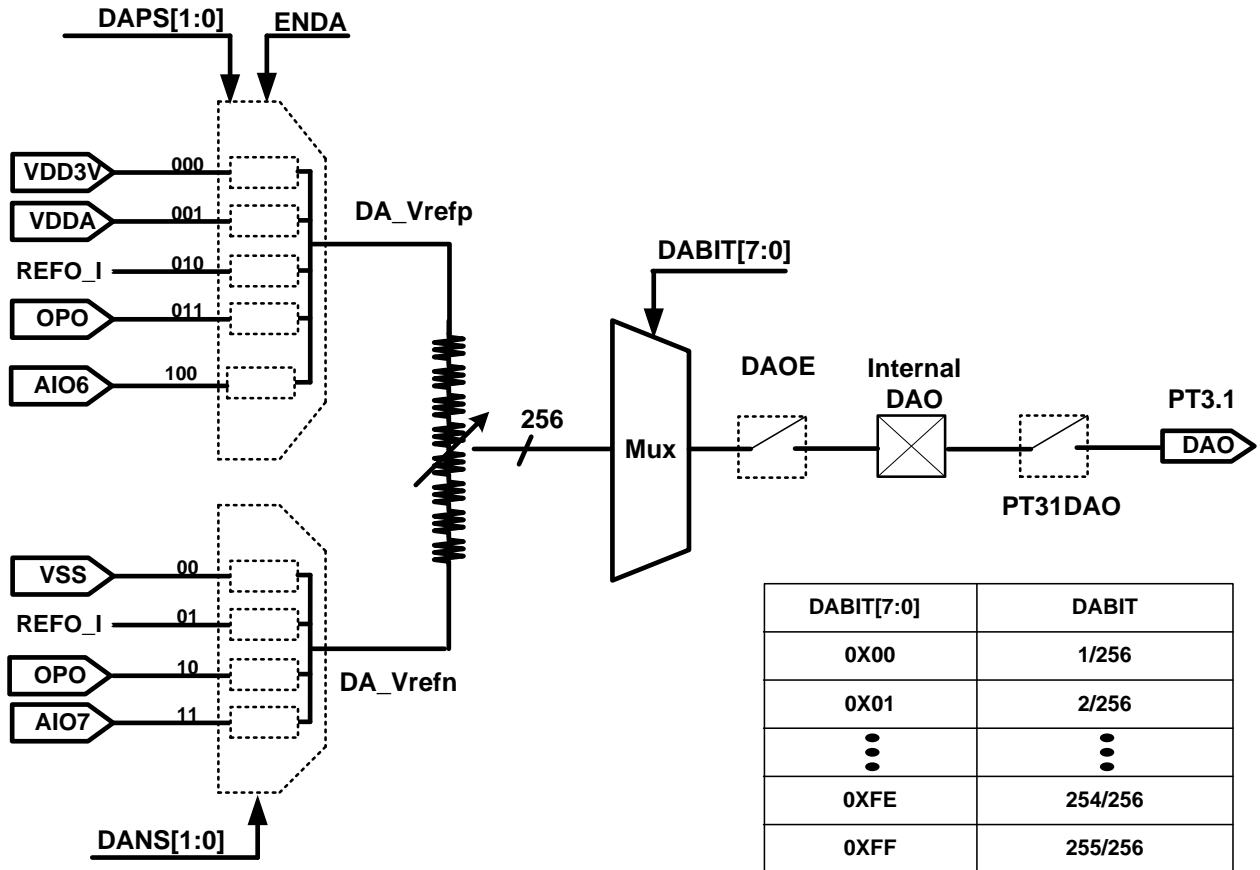
4.6 24-bit ΣΔADC 網絡



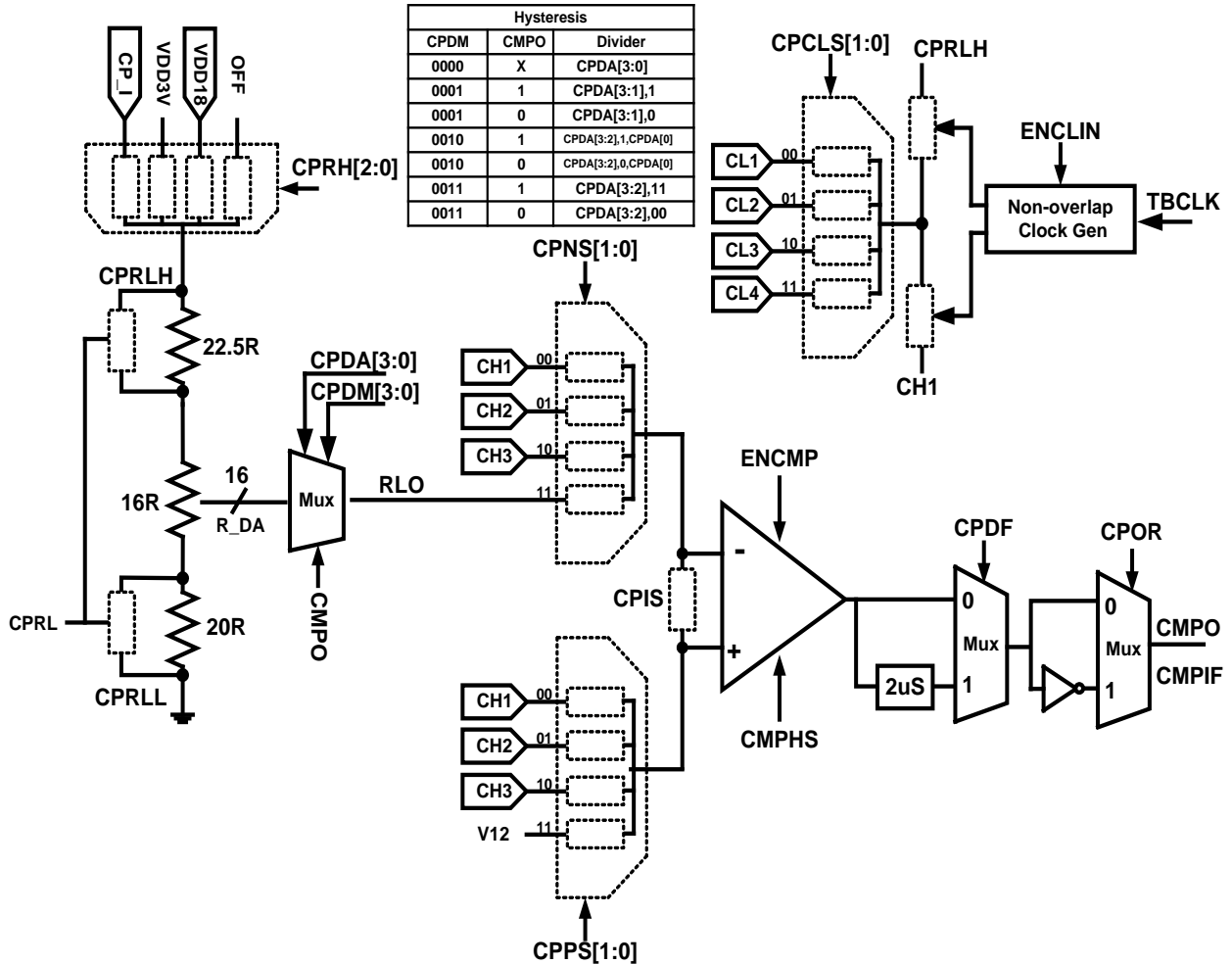
4.7 軌對軌運算放大器 OPAMP 網絡



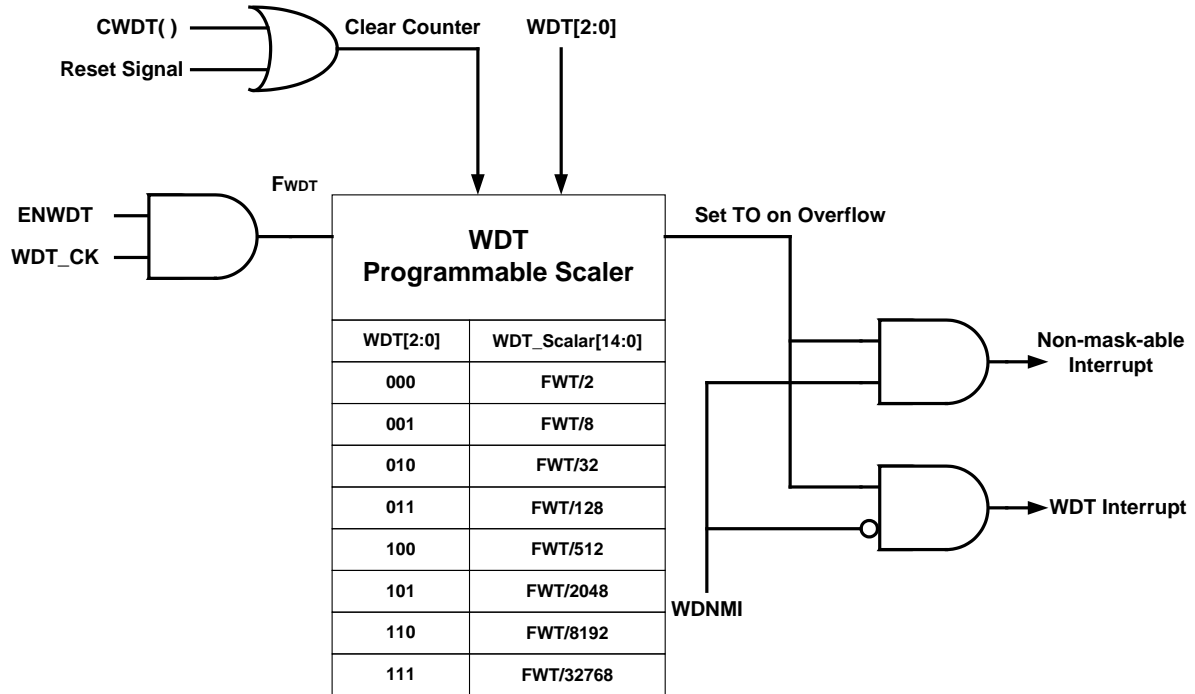
4.8 8-bit Resistance Ladders 網絡



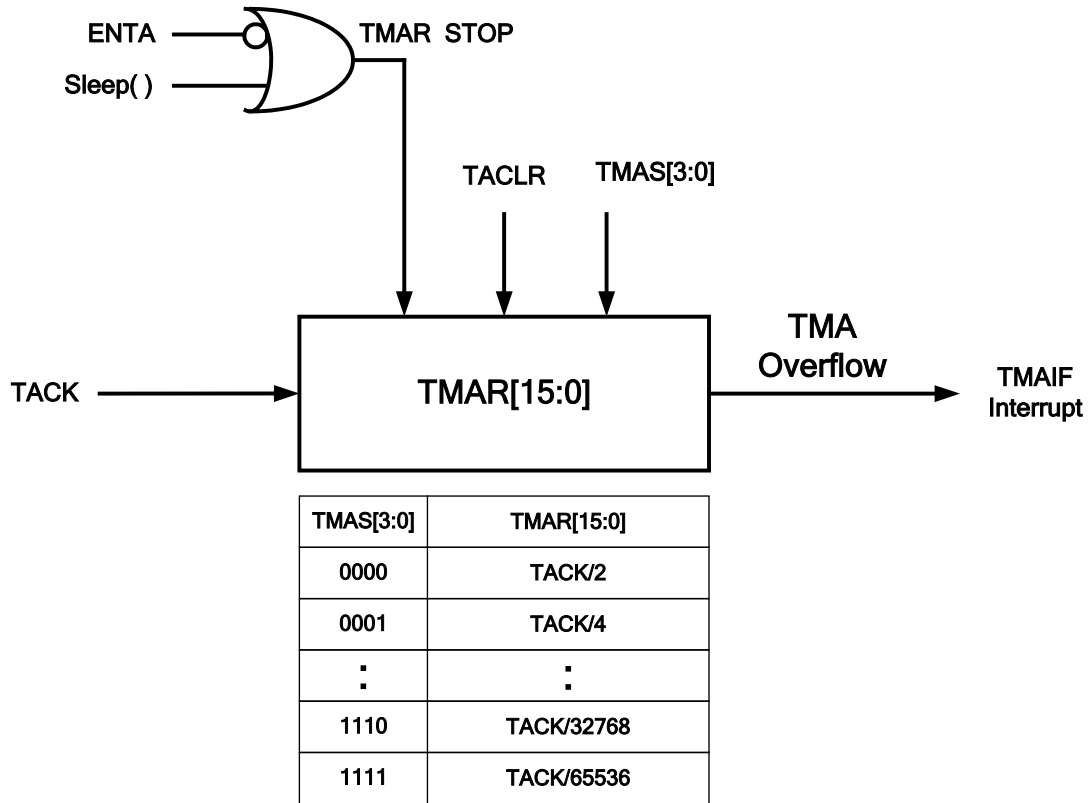
4.9 多功能比較器 CMP 網絡



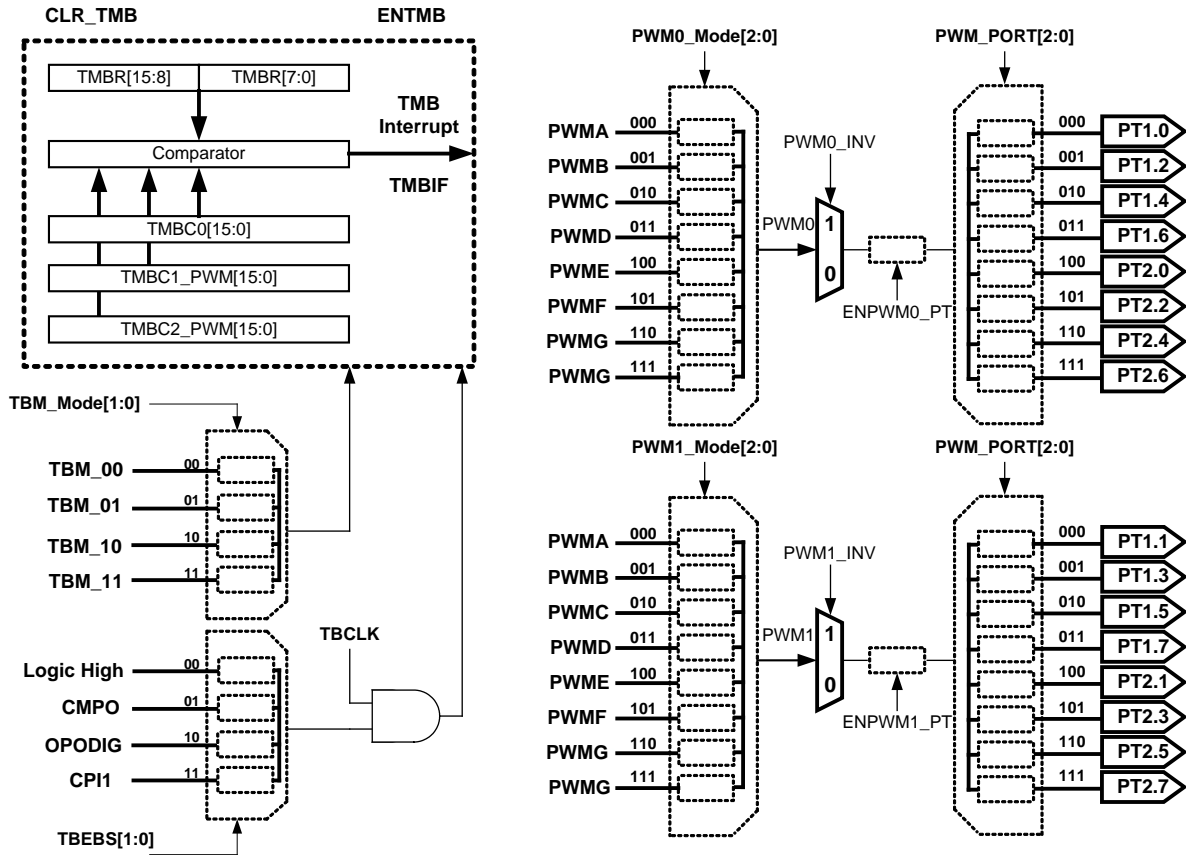
4.10 看門狗(WDT)網絡



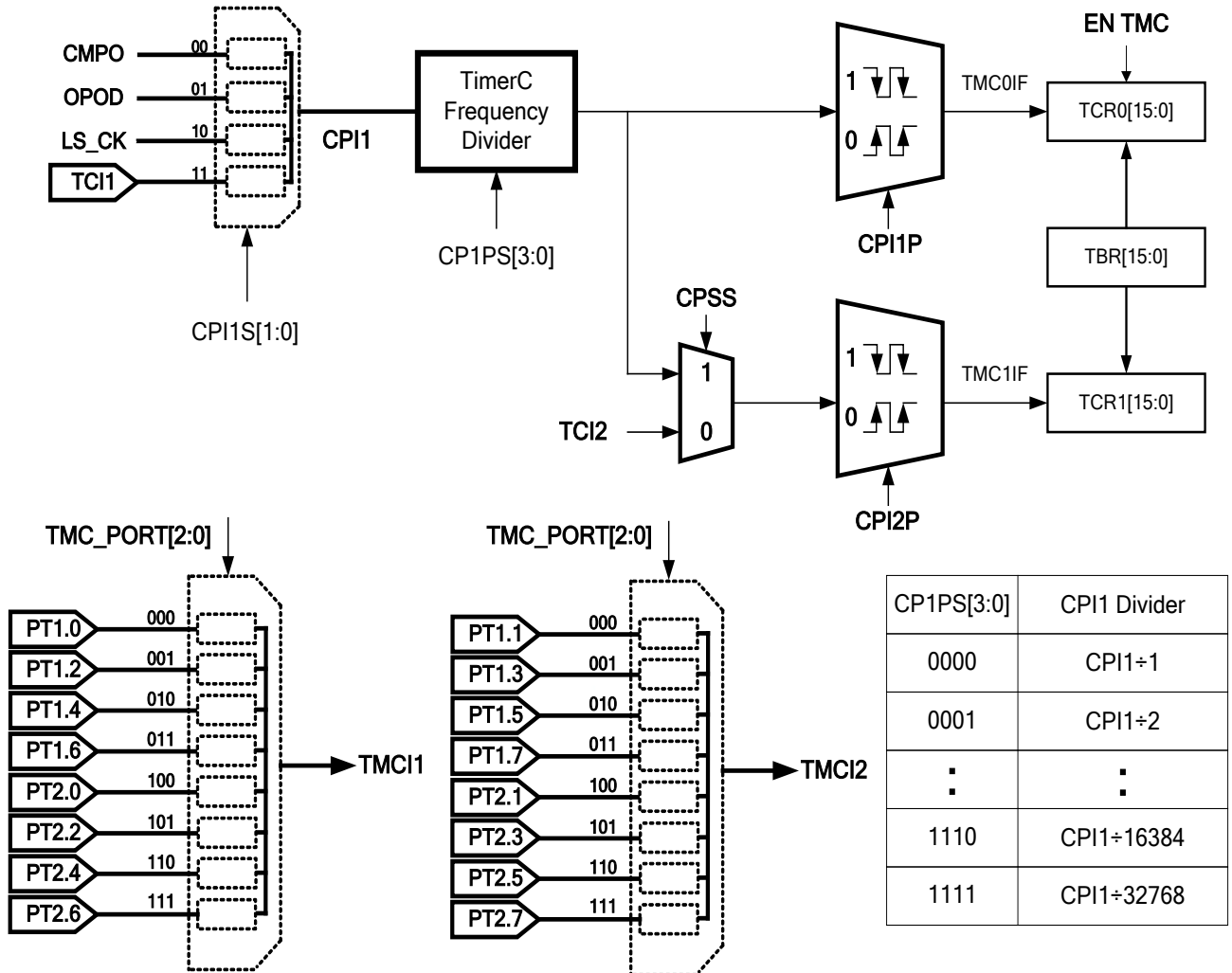
4.11 定時計數器 A 網絡



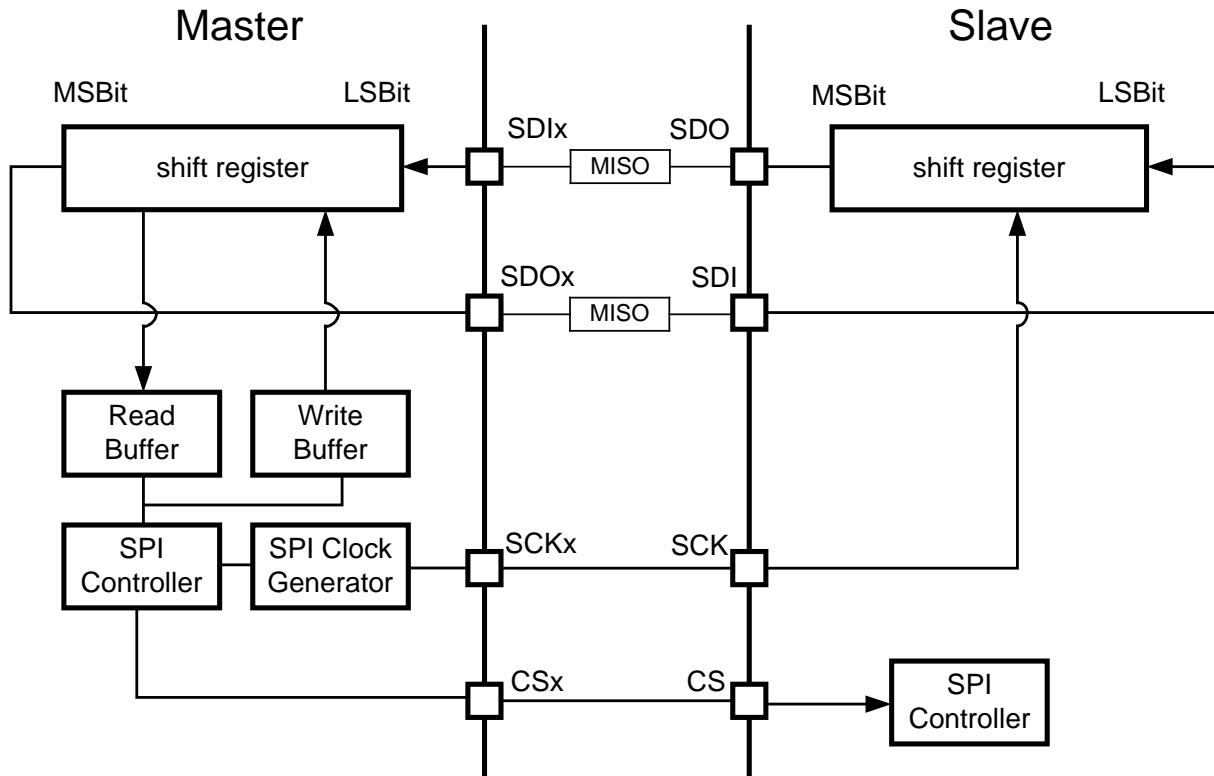
4.12 定時計數器 B 網絡



4.13 定時計數器 C 網絡

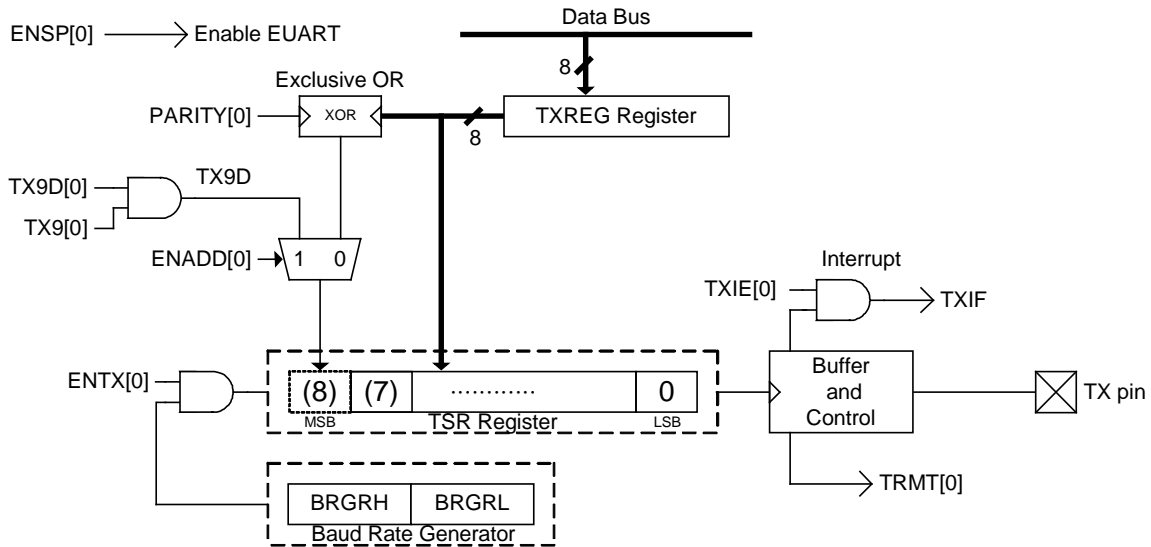


4.14 32-bit SPI 網絡

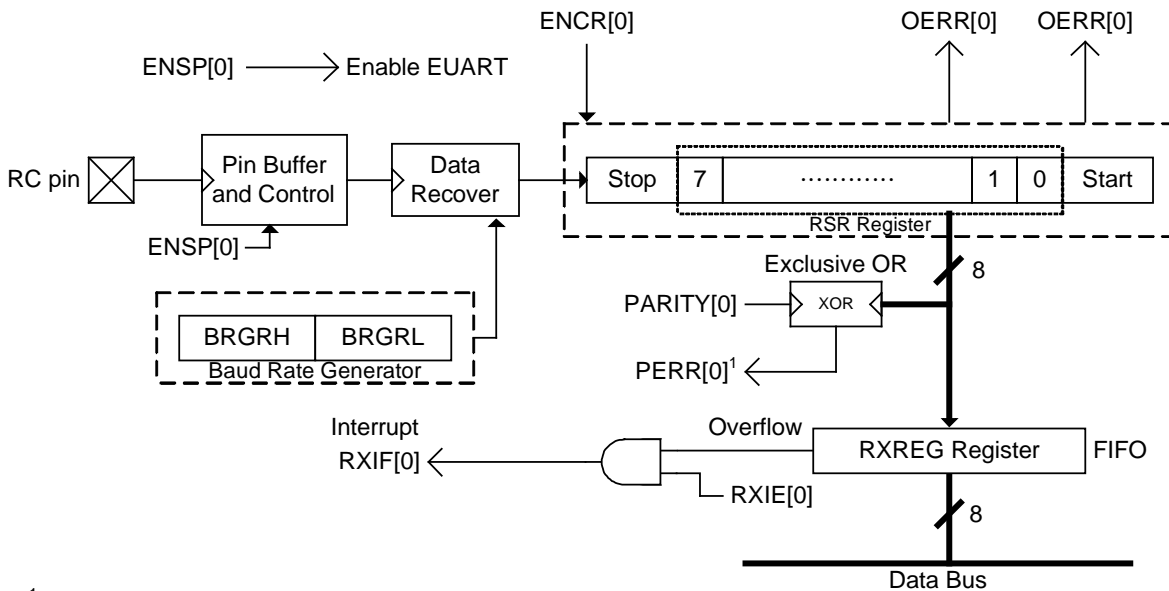


4.15 UART 網絡

EUART TRANSMIT BLOCK DIAGRAM

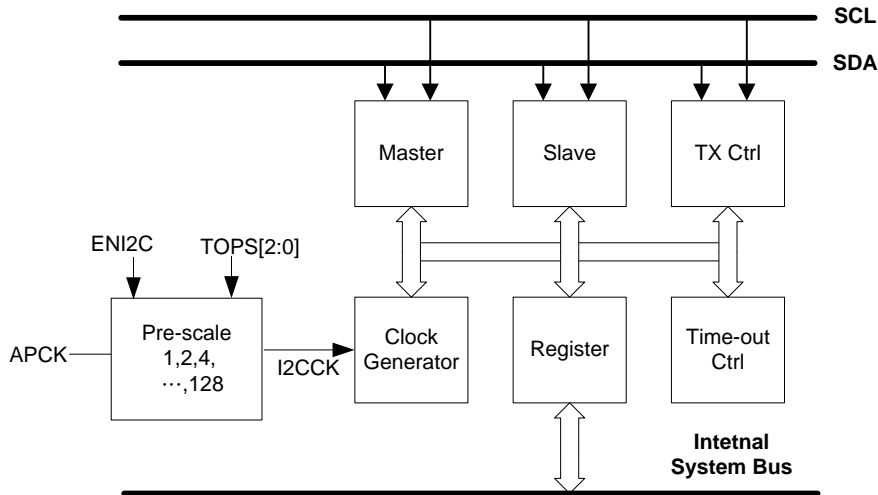


EUART 8-BITS RECEIVE BLOCK DIAGRAM

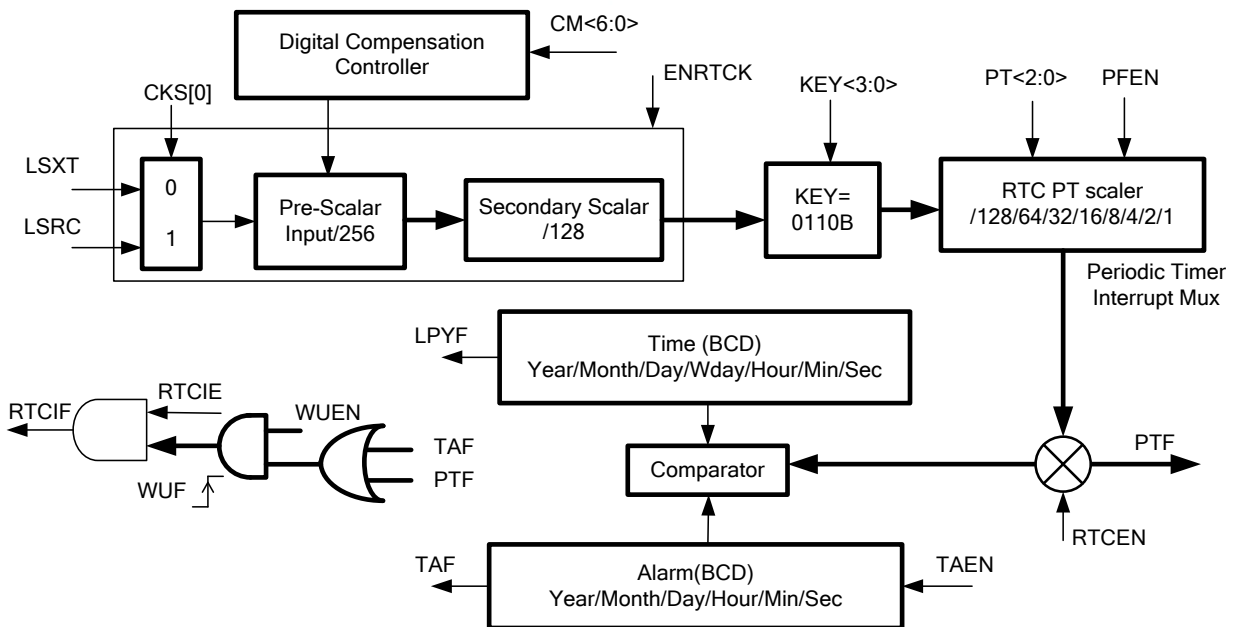


¹Don't care PERR[0] state of 8-bits receive mode

4.16 I2C 網絡



4.17 硬體時鐘 RTC 網絡



5. 訂貨資訊

5.1 HY16F18X 系列選型編碼

Device No. ¹	Package Type	Pins	Package Drawing		Code ²	Shipment Packing Type	Unit Q'ty	Material Composition	MSL ³
HY16F188-D000	Die	-	D	000	-	-	200	Green ⁴	-
HY16F188-L048	LQFP	48	L	048	-	Tray	250	Green ⁴	MSL-3
HY16F187-L048	LQFP	48	L	048	-	Tray	250	Green ⁴	MSL-3
HY16F184-L048	LQFP	48	L	048	-	Tray	250	Green ⁴	MSL-3
HY16F187-N033	QFN	33	N	033	-	Tray	490	Green ⁴	MSL-3
HY16F184-N033	QFN	33	N	033	-	Tray	490	Green ⁴	MSL-3
HY16F184-T028	TSSOP	28	T	028	000	Tube	50	Green ⁴	MSL-3
HY16F184-T028	TSSOP	28	T	028	000	Tape & Reel	4000	Green ⁴	MSL-3

¹ Device No.: 描述的內容為：IC型號 – IC封裝類型

HY16F188-L048

IC型號 IC封裝類型

EX：你需求的是 LQFP 48 引腳封裝。
 device No. 就是 HY16F188-L048。
 在下訂單時請清楚指明運輸封裝類型。

³ MSL:

濕敏度等級符合 IPC/JEDEC J-STD-020 的行業分類工業標準。
 產品的加工、包裝、運輸及使用都參考 IPC/JEDEC J-STD-033 行業標準。

⁴ Green (RoHS & no Cl/Br):

HYCON 產品皆為 Green Product，符合 RoHS 指令以及無鹵素規定

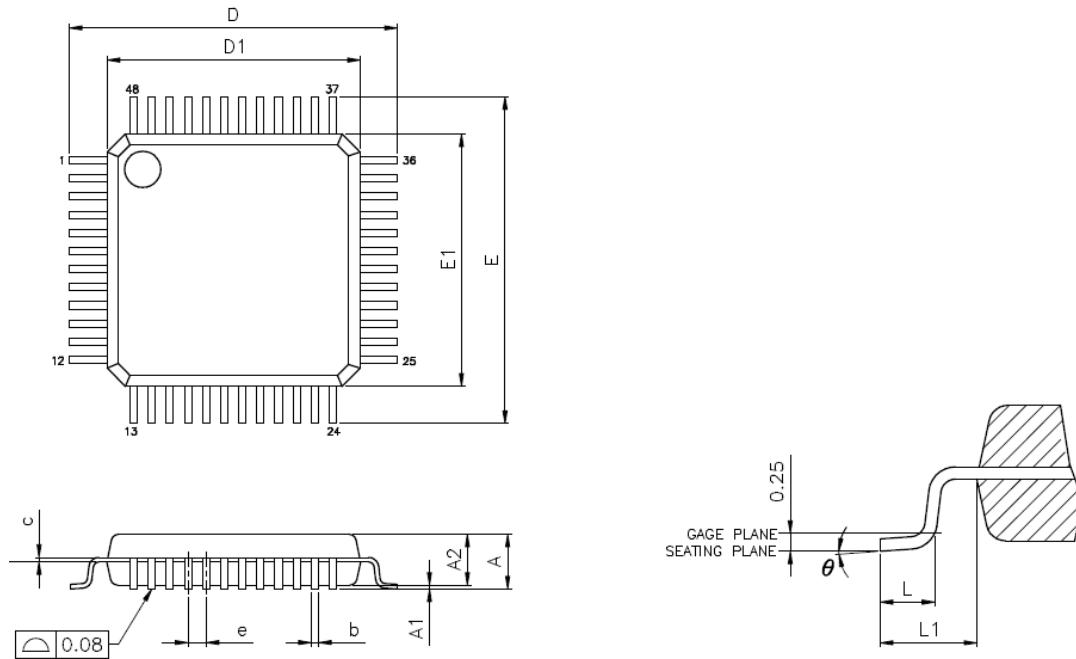
5.2 HY16F18X 系列選型指南

Part No.	Flash (byte)	SRAM (byte)	24-b ΣΔADC	UART	32-b SPI	I2C	I/O	PWM	8-bit Resistance Ladders	OPAMP	Comp.	Hardware RTC	Temp. Sensor	Change Pump	Package
HY16F184	16K	2K	4-CH	1	1	1	19	2	8-bit	1	1	1	Y	N	LQFP48
															QFN33
															TSSOP28
HY16F187	32K	4K	4-CH	1	1	1	19	2	8-bit	1	1	1	Y	N	LQFP48
															QFN33
HY16F188	64K	8K	4-CH	1	1	1	25	2	8-bit	1	1	1	Y	Y	LQFP48

6. 封裝尺寸資訊

6.1 LQFP48 封裝圖

封裝外形尺寸圖--- LQFP 7X7 48L 單位: mm



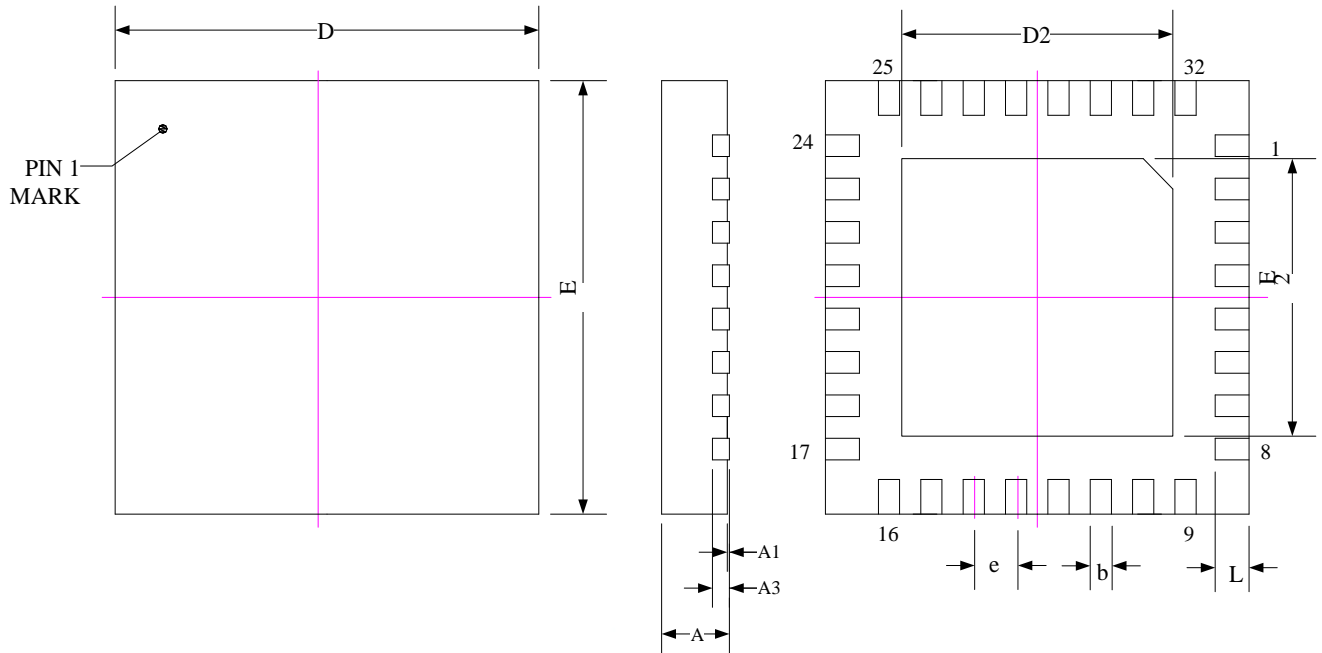
SYMBOLS	MIN.	NOM.	MAX.
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
b	0.17	0.22	0.27
c	0.09	--	0.20
D	9.00 BSC		
D1	7.00 BSC		
E	9.00 BSC		
E1	7.00 BSC		
e	0.50 BSC		
L	0.45	0.60	0.75
L1	1.00 REF		
θ	0°	3.5°	7°

Note:

- (1)所有尺寸規格參考 JEDEC 大綱 MS-026.
- (2)不包括塑模的毛邊或突起.

6.2 QFN33 封裝圖

封裝外形尺寸圖--- QFN 5X5 33 單位: mm
 PIN33=VSS

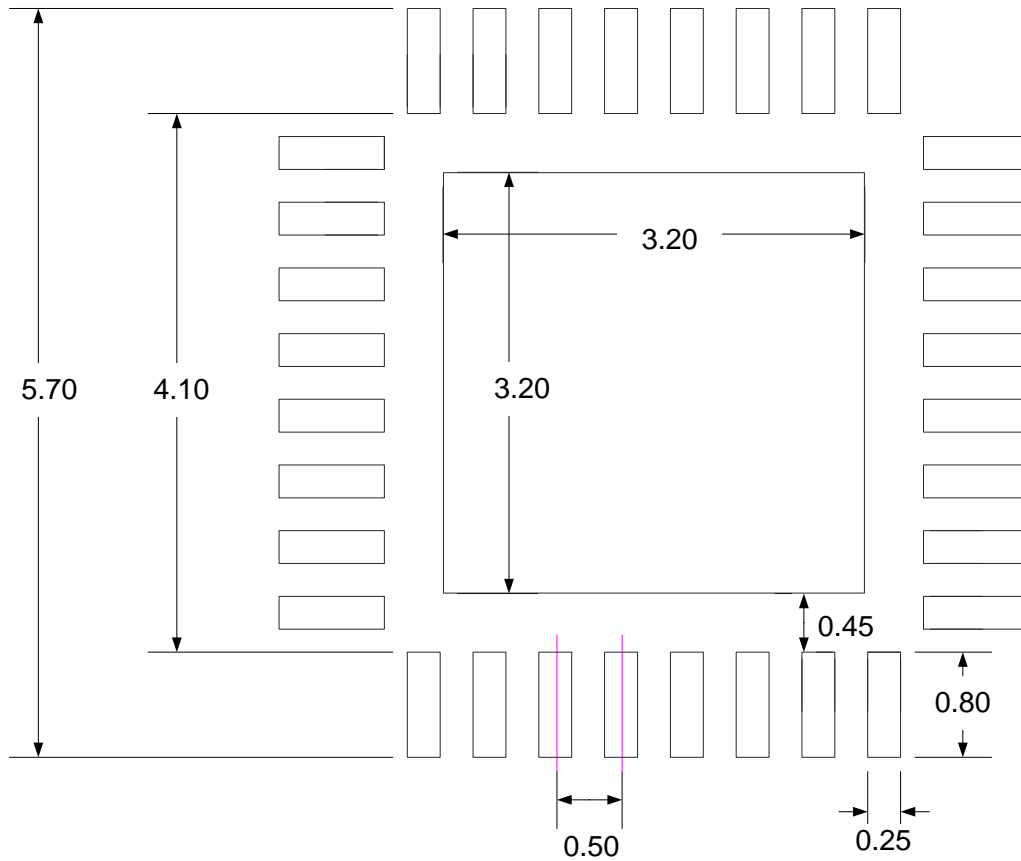


SYMBOLS	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3	0.20 REF.		
b	0.18	0.25	0.30
D	5.00 BSC		
E	5.00 BSC		
D2	3.10	3.20	3.30
E2	3.10	3.20	3.30
L	0.35	0.40	0.45
e	0.50 BSC		

Note: 所有尺寸規格參考 JEDEC 大綱 MO-220.

Land Pattern Design Recommendations

Unit : mm



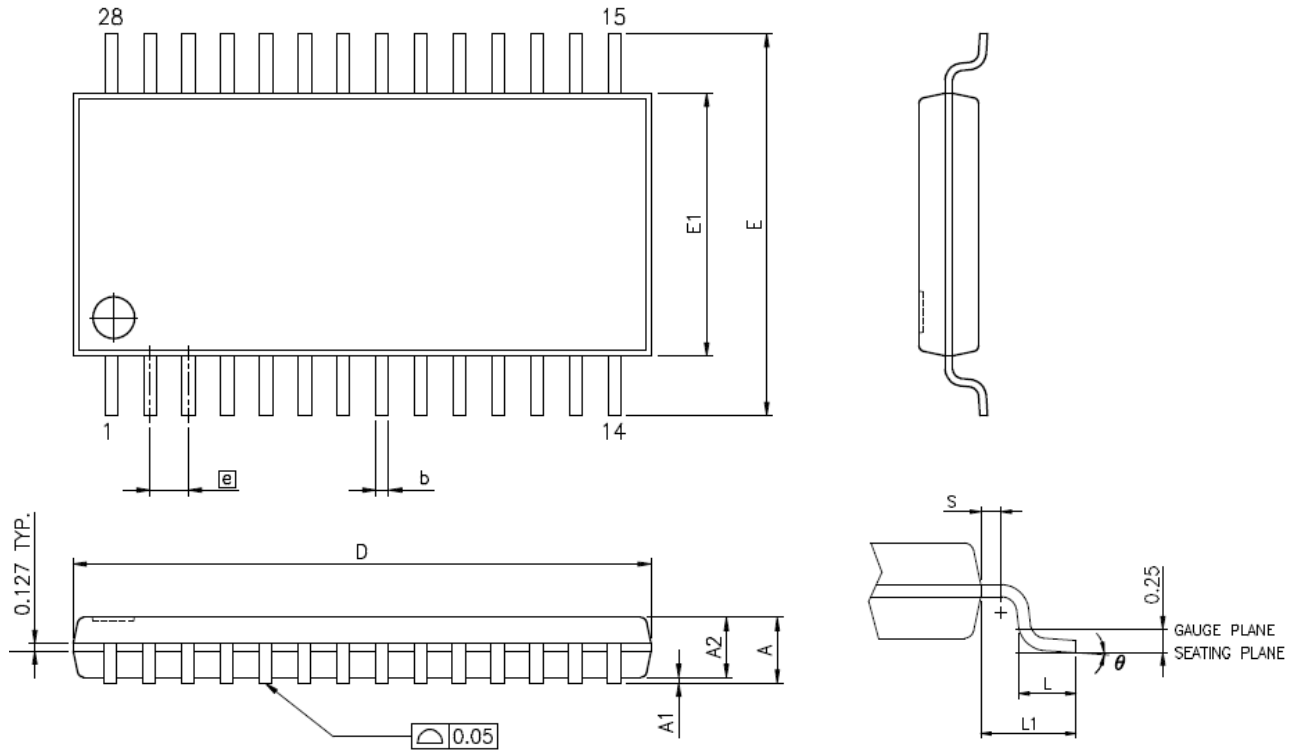
Note:

1. Publication IPC-7351 is recommended for alternate designs
2. Unit : mm
3. <http://www.hycontek.com/attachments/MSP/OJTI-HM-2013-002.pdf>

6.3 TSSOP28 封裝圖

Package Outline Drawing--- TSSOP 28

Unit : mm



SYMBOLS	MIN.	NOM.	MAX.
A	—	—	1.20
A1	0.00	—	0.15
A2	0.80	1.00	1.05
b	0.19	—	0.30
D	9.60	9.70	9.80
E1	4.30	4.40	4.50
E	6.40 BSC		
e	0.65 BSC		
L1	1.00 REF		
L	0.45	0.60	0.75
S	0.20	—	—
θ	0°	—	8°

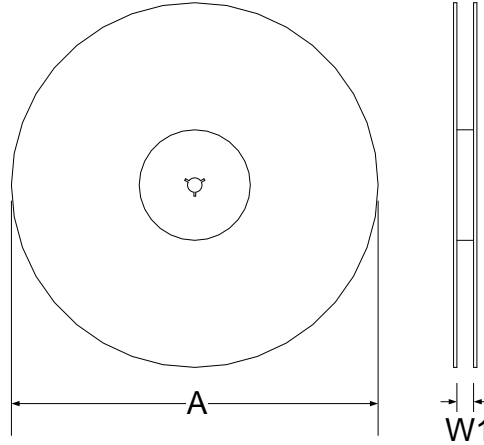
Note:

1. All dimensions refer to JEDEC OUTLINE MO-153.
2. Do not include Mold Flash or Protrusions

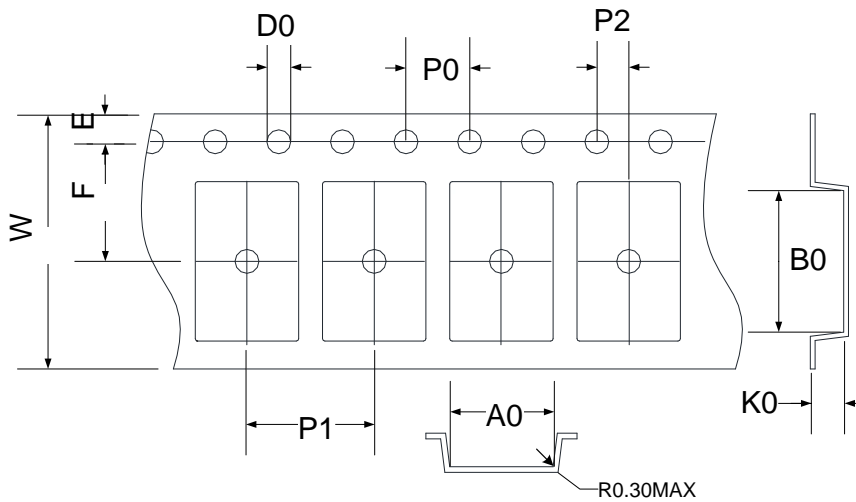
Tape & Reel Information---TSSOP28(173mil)

Unit : mm

1. Reel Dimensions



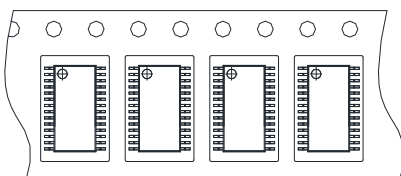
2. Carrier Tape Dimensions



SYMBOLS	Reel Dimensions		Carrier Tape Dimensions									
	A	W1	A0	B0	K0	P0	P1	P2	E	F	D0	W
Spec.	330	16.5	6.80	10.20	1.60	4.00	8.00	2.00	1.75	7.50	1.50	16.00
Tolerance	+6/-3	+1.5/-0	±0.10	±0.10	±0.10	±0.10	±0.10	±0.10	±0.10	±0.10	+0.1/-0	±0.30

Note: 10 Sprocket hole pitch cumulative tolerance is ±0.20mm.

3. Pin1 direction



7. Electrical Characteristics

Absolute maximum ratings over operating free-air temperature (unless otherwise noted)

This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

Parameter	Sym.	Min.	Max.	Unit
Voltage applied at VDD3V to VSS		-0.2	4.0	V
Voltage applied to Pin	V _{in}	-0.2	VDD3V+0.3	V
Diode current @ device terminal		-2	2	mA
Storage Temperature	T _{ST}	-55	150	°C
Operating Temperature	T _A	-40	85	°C
Soldering Temperature(10s)			260	°C
Maximum output current sink by any PORT1 to PORT3 I/O PIN			10	mA

7.1 Recommended Operating Conditions

VDD3V=2.2V ~ 3.6V. T_A=-40°C ~85°C, Unless otherwise noted.

Parameter	Sym.	Test Conditions	Min.	Typ.	Max.	Unit
Supply Voltage	VDD3V	Digital Application	2.2		3.6	V
		Digital Analog Application	2.4		3.6	V
Supply Current	I _{LDO+BOR}	VDD3V = 2.2V ~3.6V.	-25%	2.0	+25%	uA
	I _{LDO+BOR+LPO}		-25%	2.5	+25%	
Power-Up Delay	t _{PU,DLY}	Wake up from deep sleep		64		ms

7.2 Clock System

Parameter	Sym.	Test Conditions	Min.	Typ.	Max.	Unit
HSXT	High Speed Crystal Operating Voltage Range	02MHz~04MHz (OHS_HS=0b)	2.2		3.6	V
		04MHz~16MHz (OHS_HS=1b)	2.2		3.6	V
I_HSXT	High Speed Crystal Current	F _{HSXT} = 16MHz		100		uA
F_LSXT	Low Speed Crystal Frequency	VDD3V = 2.2V~3.6V		32.768		KHz
I_LSXT	Low Speed Crystal Current			2		uA
F_HSRC	Internal High Speed Oscillator Frequency	F _{HSRC} = 2MHz Before Trim	-10%	2	+10%	MHz
		F _{HSRC} = 4MHz Before Trim	-10%	4	+10%	MHz
		F _{HSRC} = 10MHz Before Trim	-10%	10	+10%	MHz
V_HSRC	Voltage Coefficient	VDD3V = 2.2V ~3.6V	-0.2		+0.2	%
T_HSRC	Temperature Coefficient	-40~85	-1.5		+1.5	%
I_HSRC	Internal High Speed Oscillator Current	F _{HSRC} = 02MHz		20		uA
D_HSRC	Duty OF Internal High Speed Oscillator		40		60	%
WT_HSRC	Wake Up Time	F _{HSRC} = 2MHz		30		us
F_LSRC	Internal Low Speed Oscillator Frequency	VDD3V= 3.0V		33		KHz
V_LSRC	Voltage Coefficient	VDD3V= 2.2V ~3.6V	-2.5		+2.5	%
T_LSRC	Temperature Coefficient	-40~85	-2.5		+2.5	%
I_LSRC	Internal Low Speed Oscillator Current			0.35	0.7	uA
D_LSRC	Duty OF Internal Low Speed Oscillator		40		60	%

7.3 Power Management System

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit	
Coarse Band Gap Reference							
01	Operation Voltage		2.2		3.6	V	
	Output Voltage	VDD3V=3.0V	1.05	1.2	1.35	V	
Band Gap Performance							
02	Operation Voltage	VDDA	2.4		3.6	V	
	Output Voltage	VDDA =2.4V	1.15	1.2	1.25	V	
	Temperature Coefficient			50		ppm/°C	
	Startup Time			40		us	
VDDA LDO							
03	Output Voltage Error		-5		5	%	
	Capacitor Loading		22		10,000	nF	
	Settling Time	Capacitor Loading = 100nF 99% OF VDDA		50		us	
	Operation Current	Bias + Band Gap + VDDA LDO		35	50	uA	
	Dropout Voltage	I=10mA		0.2		V	
	Voltage Coefficient	VDD3V= 2.5 ~ 3.6V		0.1		%/V	
	Select VDDA Output Voltage	VDAS=00			2.4		V
		VDAS=01			2.7		V
		VDAS=10			3.0		V
		VDAS=11			3.3		V
Temperature Coefficient	Using BRG VDDA=3.0V		100		ppm/°C		
VDD18 LDO							
04	Output Voltage		1.7	1.8	1.9	V	
	Capacitor Loading		100		10,000	nF	
	Maxim Current	VDD3V= 2.2 ~ 3.6V	10			mA	
	Voltage Coefficient	VDD3V= 2.2 ~ 3.6V		1		%/V	
	Temperature Coefficient			100		ppm/°C	
	Load Regulation	Load = 0.1~10mA		0.1		V/A	
	Dropout Voltage	Load = 10mA		0.2		V	
REFO Buffer							
05	Capacitor Loading		22	100	1000	nF	
	Operation Current			15		uA	
	Input Resistance	Push Pull R		5	20	Ω	
	Output Current	1% Change Voltage	0.25	1		mA	
	Temperature Coefficient	Using BRG VDDA=3.0V		80		ppm/°C	
	Offset Voltage	REFO = 1.2V		±3	±12	mV	
	Voltage coefficient	DC		0.1		%/V	

7.4 Reset Management System

Reset Management System = (Brownout/External RST Pin/Low Voltage Detect)
 Typical values are at TA=25°C and VDD3V= 3.0V. Unless otherwise noted.

Sym.	Parameter Test Conditions	Min.	Typ.	Max.	unit
BOR	Pulse length needed to accepted reset internally, t_{d-LVR}	2			us
	VDD3V Start Voltage to accepted reset internally (L→H), V_{LVR}	1.8	1.95	2.1	V
	Ta=-40°C ~85°C	-0.50		+50	mV
	Hysteresis, $V_{HYS-LVR}$	30			mV
POR	Operation Slew Rate	0.1			V/us
	Start Voltage to Accepted Reset	0.6			V

7.5 ΣΔADC ENOB and RMS Noise

Typical values are at TA=25°C and VDD3V = 3.3V, VDDA=2.4V unless otherwise noted.

HY16F188 provides important input noise specification that aims at ΣΔADC. Table 7.5-1 and Table 7.5-2 lists out the relations of typical noise specification, Gain, Output rate, and maximum input voltage of single end. Test condition configuration and external input signal short, voltage reference: 1.2V and 1024 records were sampled.

<i>ENOB(RMS) with OSR/GAIN at A/D Clock=333Khz, VDDA=2.4V, VREF=1.2V</i>																
Max. Vin(mV) =0.9*VREF ⁽¹⁾	OSR					32	64	128	256	512	1024	2048	4096	8192	16384	32768
	Output rate(HZ)					10417	5208	2604	1302	651	326	163	81	41	20	10
	Gain	=	PGA	x	ADGN											
±1080	1	=	1	x	1	12.5	15.0	16.6	17.3	17.7	18.1	18.7	19.2	19.6	20.3	20.7
±540	2	=	1	x	2	12.4	14.4	16.3	16.9	17.0	17.4	17.9	19.1	19.3	20.0	20.4
±135	4	=	1	x	4	12.2	14.6	16.1	16.6	16.9	17.2	17.9	18.8	19.4	19.8	20.3
±33.75	32	=	8	x	4	12.2	13.7	15.1	15.6	16.1	16.5	17.0	17.7	18.1	18.6	19.1
±16.875	64	=	16	x	4	12.1	13.8	14.6	15.2	15.6	16.2	16.7	17.2	17.6	18.1	18.5
±11.25	96	=	24	x	4	12.1	13.4	14.4	14.8	15.4	15.9	16.4	16.9	17.4	17.9	18.3
±8.435	128	=	32	x	4	12.0	13.3	14.1	14.7	15.1	15.6	16.1	16.6	17.1	17.6	18.1

(1) Max. Vin (mV) is the max. input voltage of single end to ground (VSS).

Table 7.5-1ΣΔADC ENOB Table

<i>RMS Noise(uV) with OSR/GAIN at A/D Clock=333Khz, VDDA=2.4V, VREF=1.2V</i>																
Max. Vin(mV) =0.9*VREF	OSR					32	64	128	256	512	1024	2048	4096	8192	16384	32768
	Output rate(HZ)					10417	5208	2604	1302	651	326	163	81	41	20	10
	Gain	=	PGA	x	ADGN											
±1080	1	=	1	x	1	426.3	71.0	23.3	14.56	10.92	8.29	5.72	3.98	2.95	1.89	1.410
±540	2	=	1	x	2	216.6	54.1	14.5	9.93	9.37	7.17	4.77	2.19	1.89	1.12	0.838
±135	4	=	1	x	4	129.5	23.5	8.5	6.04	4.85	4.02	2.46	1.29	0.89	0.65	0.455
±33.75	32	=	8	x	4	15.8	5.5	2.1	1.53	1.07	0.78	0.56	0.36	0.27	0.18	0.135
±16.875	64	=	16	x	4	8.5	2.6	1.5	0.99	0.75	0.51	0.36	0.26	0.19	0.13	0.098
±11.25	96	=	24	x	4	5.9	2.3	1.2	0.85	0.59	0.41	0.30	0.21	0.14	0.10	0.078
±8.435	128	=	32	x	4	4.6	1.9	1.1	0.71	0.52	0.37	0.27	0.19	0.14	0.10	0.068

Table 7.5 -2ΣΔADC RMS Table

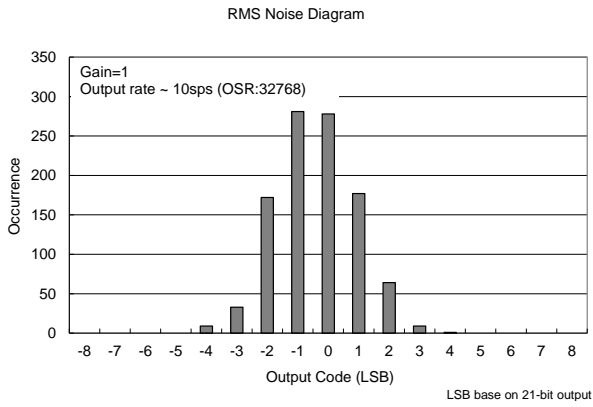


Figure7.5-2(a) RMS Noise Diagram

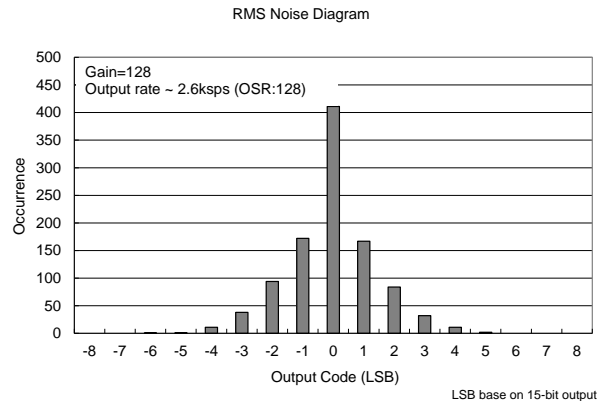


Figure7.5-4(a) RMS Noise Diagram

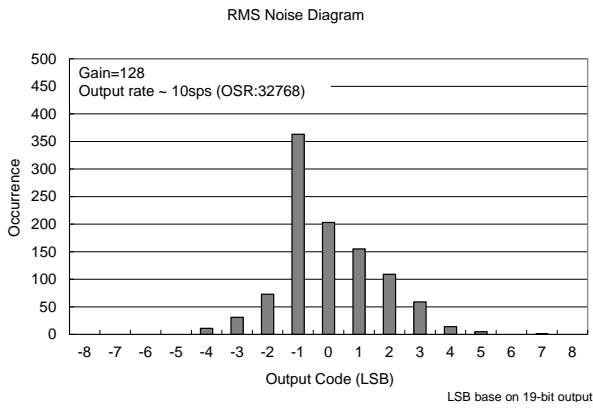


Figure7.5-3(a) RMS Noise Diagram

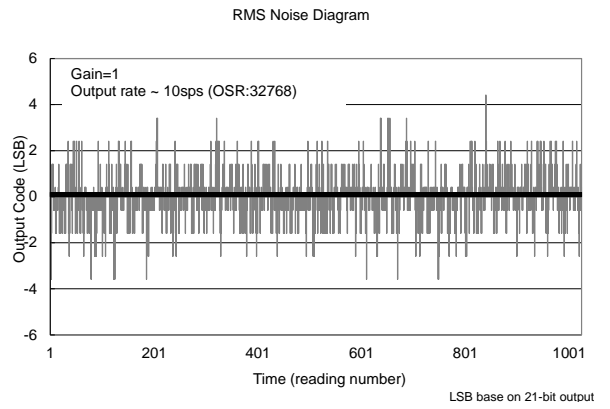


Figure7.5-2(b) Output Code Diagram

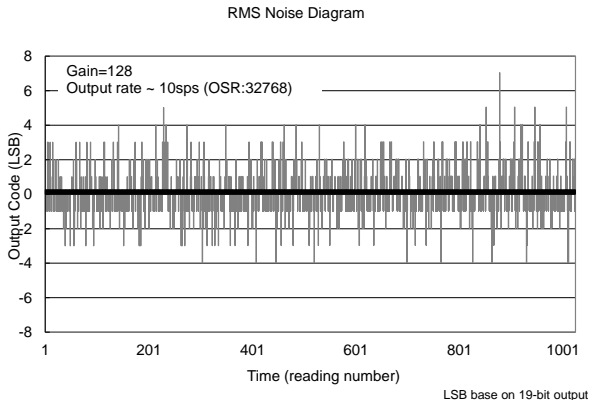


Figure7.5-3(b) Output Code Diagram

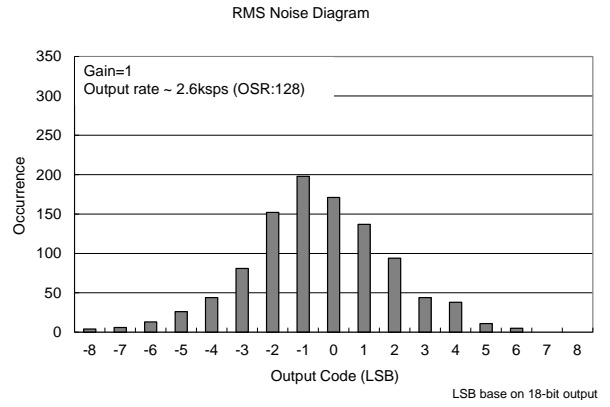


Figure7.5-5(a) RMS Noise Diagram

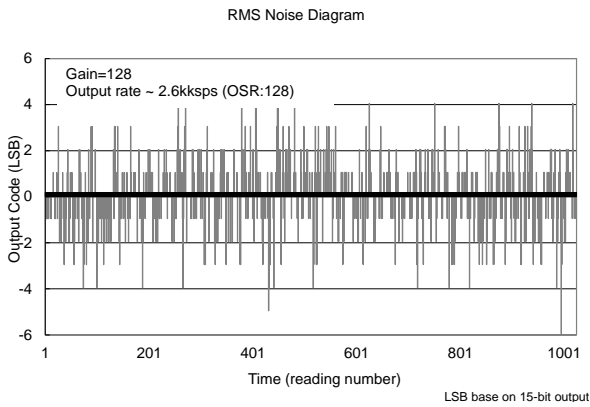


Figure7.5-4(b) Output Code Diagram

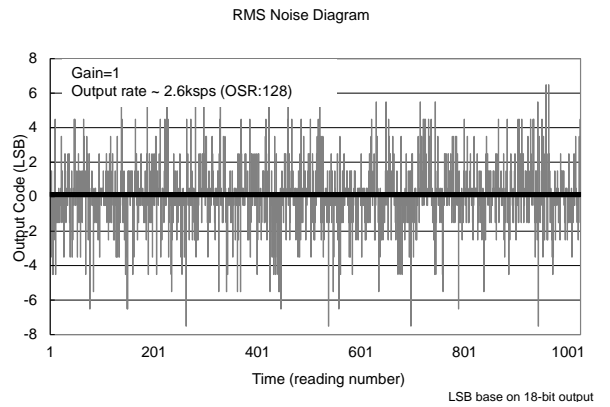


Figure7.5-5(b) Output Code Diagram

7.6 ADC Management System

All specifications at TA = -40°C to +85°C,
VDDA=REFP=3.0V, REFN=VSSA, and Gain=128, unless otherwise noted.

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit	
Analog Inputs							
01	Full-Scale Input Voltage (AINP – AINN)		±0.5*VREF/Gain			V	
	Common-Mode Input Range	Gain=1	VSS-0.2	VDDA+0.2		V	
System Performance							
02	Resolution	No Missing Code	24			Bit	
	Data Rate	ADC Clock	ADC Clock/OSR			SPS	
	Digital Filter Settling Time	Full Set	3			Data	
	Integral Nonlinearity(INL)	Differential Input, OSR=32768 End-Point Fit, Gain = 128	15			PPM	
	Gain Drift	Reference Buffer OFF	5			ppm/°C	
	Normal-Mode Rejection	f _N = 50Hz/60Hz ±1Hz, f _{DATA} = 10SPS	HSRC	70			dB
			HSXT	80			dB
	Common-Mode Rejection	@DC, ΔVDDA = 0.1V	80			dB	
	Input-Referred Noise	f _{DATA} = 10SPS	65			nV, rms	
		f _{DATA} = 80SPS	140			nV, rms	
Power-Supply Rejection	@ DC, ΔVDDA = 0.1V, ACM=1.2V	80			dB		
Voltage Reference Input							
03	Voltage Reference Input	VREF = REFP – REFN	-0.15V	VDDA+0.15V		V	
	Reference Buffer Range		0.9V	VDDA-0.2		V	
	Reference Buffer Current		30			uA	

7.7 Internal Temperature Sensor

Typical values are at TA=25°C and VDD3V = 3.0V, VDDA=2.4V unless otherwise noted.

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
TC _S	Sensor Temperature Drift			178		uV/°C
KT	Absolute Temperature Scale 0°K			-285		°C
TC _{ERR}	One Point Calibrate Error Temperature	Calibration at 25°C , -40°C ~85°C		±2		°C

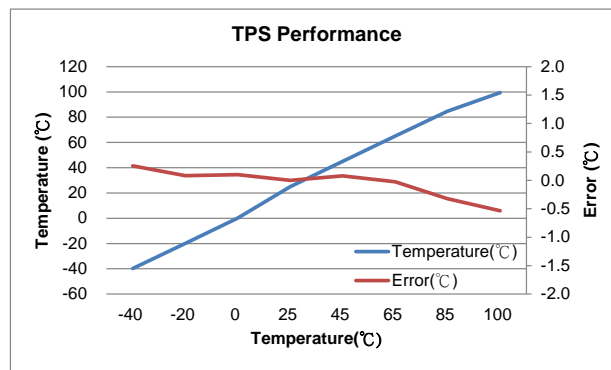


Figure7.7-1 TPS Performance

7.8 8-bit Resistance Ladders Management System

Typical values are at TA=25°C and VDD3V = 3.0V. Unless otherwise noted.

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
	Resolution	Monotonic		8		Bit
	Power Supply		2.4		VDD3V	V
VOUT	8-bit Resistance Ladders Output Range		VR-		VR+	V
VREFP	Positive Reference Voltage Range	VREFP > VREFN	0		VDD3V	V
VREFN	Negative Reference Voltage Range		0		VDD3V	V
RON	8-bit Resistance Ladders output switch	VDD3V = 3.0V 0.5V < DA_OP < VDD3V-0.5V			200	Ω
		VDD3V = 3.0V 0.5V > DA_OP, DA_OP > VDD3V-0.5V		10		Ω
RRSW	Reference Voltage Switch	Vrefp = 2.2V, Vrefn=0V, VDD3V =3.0V		15	30	Ω
RLADDER	One LSB Resistance Ladder			600		Ω
INL	Integral Linearity Error	VR+ = 2.4V VR-= 0V		±0.5	±1	LSB
DNL	Differential Linearity Error	VR+ = 2.4V VR-= 0V		±0.5	±1	LSB
EOS	Offset Error	VR+ = 2.4V VR-= 0V			1	LSB

7.9 OPAMP Management System

Typical values are at TA=25°C and VDD3V = 3.0V. Unless otherwise noted.

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
VDDA	Power Supply		2.4		3.6	V
VOUT	Output Range		0		VDDA	V
VIN	Input Common Range		0		VDDA	V
IOPA	OPA current			120		uA
IOA_ LOAD	Output Current Loading (Push OR Pull)	VDDA = 3.0V, 0.3V < Output Voltage < VDDA-0.3V			1	mA
		VDDA = 2.2V, 0.3V < Output Voltage < VDDA-0.3V			0.5	mA
CLOA D	Max Output Capacitor Load				1000	pF
SR	Slew Rate	Loading R=10K, C=100pF, 0.3 -> VDDA-0.3V		0.6		V/us
UGB	Unit Gain Bandwidth	Loading C=100pF, -3dB		1000		KHz
VOS	Offset Error	Vin = 1.2V	-5		+5	mV
DFD	Digital Filter Delay	VDDA=3.0V		2		us
CSA	Sample Capacitor			10		pF

7.10 CMP Management System

Typical values are at TA=25°C and VDD3V = 3.0V. Unless otherwise noted.

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
I _{MC}	Operation Supply Current	ENCMP[0]=1, CMPHS[0]=1		10		uA
	Low Power Mode	ENCMP[0]=1, CMPHS[0]=0		1		
V _{IC}	Common-mode Input Voltage		0		VDD3V-1	V
V _{OS}	Offset Voltage		-5		5	mV
V _{hys}	Input Hysteresis		0	0.7	1.5	mV
V _{REF}	Reference Voltage	CPPS[1:0]=11		1.2		V
	Temperature Drift	CPPS[1:0]=11		80		ppm/°C
I _R	Multi-node Resistor Current	CPRLS[0]=0		10		uA
		CPRLS[0]=1		30		

8. 修改記錄

Major differences are stated thereafter:

Version	Page	Summary of Changes	Date
V01	ALL	First edition	2013/05/20
V05	ALL	(1)Added HY16F184/187 Pin out (2)In Ordering Information added HY16F184/187 description. (3)In Package Information added LQFP48 and QFN33 description.	2013/09/16
V06	ALL	全面調整版面內容	2014/03/14
V07	ALL	(1)刪除 PT4.0 標誌 (2)原本 OPO 的敘述做修改,成類比 OPO (3)數位 OPO1 與 OPO2 改成 OPOD1 與 OPOD2 數位輸出 (3)調整電器規格特性	2014/05/05
V08	ALL	DAC 更正名稱為 8-bit Resistance Ladders	2015/06/09
	ALL	HSXT 外部震盪器修正最高範圍為 16MHz	
	CH4.5	REFOI 更正為 REFO_I	
	CH4.6	ADC 網路輸入端的 OPO 更正為 OPOI, REFO 更正為 REFO_I	
	CH4.7	OPAMP 網路 OPNS[3]更正為 OPOI, OPNS[4]更正為 OPO, R2ROP 輸出描述修正, REFO 更正為 REFO_I	
	CH4.8	8-bit Resistance Ladders 網路輸入端的 REFO 更正為 REFO_I	
	CH7.3	REFO Buffer 的 Capacitor Loading 原本單位描述為 pF 更正為 nF, 並且新增 Min 數值 22nF	
V09	ALL	新增 HY16F184 TSSOP28 包裝資訊與 IC 封裝腳位圖與出貨相關資訊	2016/04/18
	P23	新增章節封裝片正印說明訊息章節	
	P44	修正訂貨資訊 Green (RoHS & no Cl/Br)描述	
	P48	補充 QFN33 Land pattern 資訊	
V10	P4	更正描述為內建 RC 高速震盪器頻率高達 10MHz, 內建 RC 低速震盪	2016/05/24

		器頻率低至 33KHz	
	P31	移除頻率方塊圖內 HSRC 20MHz 選項, HSRC 最高支援頻率為 10MHz, 修正 LSRC 頻率為 33kHz	
	P52	移除 HSRC 20MHz 選項相關數據, HSRC 最高支援頻率為 10MHz	