



HY11P 系列 PCB 佈線建議

HY11P 系列產品

Printed Circuit Board

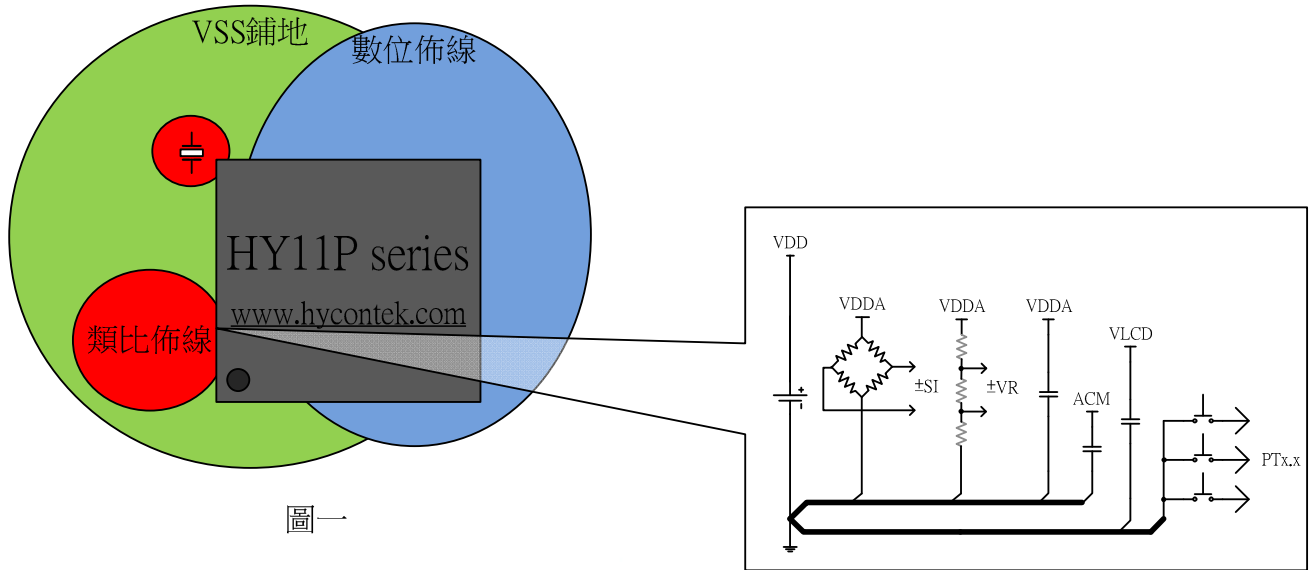
目錄

1 簡介	3
2 PCB佈線建議	3
2.1 電源(Power)佈線	3
2.2 類比(Analog)佈線	4
2.3 數位(Digital)佈線	4
2.4 ESD防護說明	5
2.5 HY11P32 類比輸入口	5

1 簡介

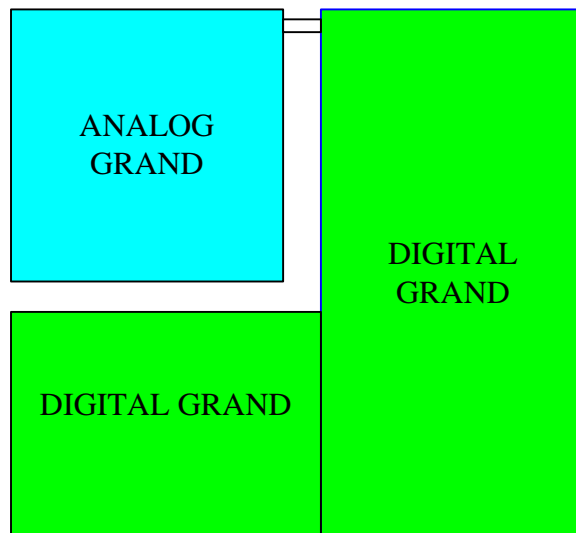
紘康公司 $\Sigma \Delta$ ADC+MCU 系列產品具有高解析度與高精度能力，因具備 100nVrms 訊號的解析能力故對微小的漏電流與信號干擾特別敏感。所以在此介紹一些基本的晶片相關 PCB 佈線觀念，讓使用者更能得心應手的開發產品。

2 PCB佈線建議



圖一

圖二



图三

2.1 電源(Power)佈線

2.1.1 類比訊號與數位訊號必須利用 VSS 鋪地隔開且獨立佈線。如 圖二。

此部分佈線不佳，最直接影響到的是當按鈕開關壓下時，會有電流迴路流進 VSS 而產生電位差(PCB

佈線電阻)。此電位差在高 ADC 解析度產品容易造成測量值誤差由幾個 d 至數十個 d，進而導致測量結果不正確。故建議佈線時類比與數位採獨立佈線，以避開測量誤差發生，同時獨立布線的 VSS 建议在靠近。

同時為了增強抗干擾能力 VSS 鋪地建議如圖三方式，兩個地線間用短路線連接，其短路位置最好靠近電池 VSS 位置做短路。

如果 PCB 是雙面板，請 VSS 鋪地儘量多做過孔，以減少鋪地的內阻。

另外，此測量誤差亦可使用軟體處理來避免。即是善用判別測量值穩定或利用延時程式；因為當按鈕開關被下壓且釋放後，若電源受到干擾其 ADC 的測量會有數筆資料不正確，其現象可使 ADC 的測量值誤差幾個 d 至數十個 d。此時若加入適當的判別測量值穩定或延時程式即可避免測量誤差發生。

2.1.2 電源引線及佈線越短越好即是阻抗越低越好，引腳端的穩壓電容請 Layout 靠近晶片。(如引腳 VDD、VDDA、ACM、VLCD)

2.1.3 COB 置放晶片的金屬撲面請連接至 VSS。

以上兩點有效增加系統板抗干擾能力，避免晶片因干擾產生不正常的 RESET 現象且可以降低 ADC 測量時的外部輸入干擾(Noise)。

2.2 類比(Analog)佈線

2.2.1 類比輸入 AI0 與 AI1、AI2 與 AI3 等等的輸入電容 (0.1uF) 越靠近引腳越好，且外部訊號輸入時，跑線請先經過濾波電容後再進到晶片引腳。

2.2.2 輸入引腳(AIx)跑線

- ✓ 請平行跑線且越短越好，更需避免跑線交錯情形發生。
- ✓ 若有 Layout 多層板時，(AIx)引腳跑線的上下板層避免有其他水準或垂直交叉跑線。
- ✓ 允許的情況下，建議 AIx 彼此引腳間可鋪地線。
- ✓ ACM 外接的電容範圍為 22nF~100nF，且越靠近引腳越好。

以上描述可有效減少干擾，即是增加 ADC 測量穩定度降低外部輸入干擾(Noise)。

2.3 數位(Digital)佈線

2.3.1 RST/VPP 為共用接腳，故有以下考慮

- ✓ 廠內進行燒錄程式

該接腳不可設計直接連至 VDD 以免燒錄時因晶片復位訊號而造成電源短路，此時 RST/VPP 可透過 100KΩ 連接至 VDD 或在燒錄後焊接傳感器時短路該接點。

- ✓ 原廠代燒程式

該接腳可設計直接連至 VDD 亦增加抗干擾能力，避免晶片因干擾產生不正常的 RESET 現象。

2.3.2 PT2.0/PT2.1 引腳外接震盪器 32768Hz(RTC)

- ✓ 跑線越短越好且必須利用鋪地隔離其他 I/O 產生的 AC 訊號，以避免因訊號干擾而導致 RTC 產生的頻率受到影響。
- ✓ 避免(AIx 引腳)距離 PT2.0/PT2.1 太近。
- ✓ 避免電源引腳 Layout 經過 PT2.0/PT2.1 引腳。

✓ PT2.0/PT2.1 引腳間建議鋪地隔開。

以上描述皆為了增加 RTC 抗干擾能力，避免 CLOCK 受到干擾。

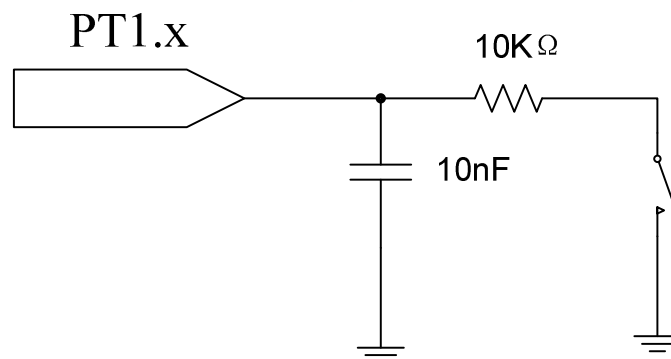
2.4 ESD 防護說明

2.4.1 PT1.3 應用注意

- ✓ PT1.3 複用原廠晶片 TST 模式，因此在 ESD 測試時呈現出防護能力有比其他的 I/O 容易受到干擾現象。
- ✓ 建議儘量不要作為外部輸入按鍵使用或者有外露的情況，若當成外部按鍵使用時，建議加上低通電路增加系統 ESD 測試時的抗干擾能力。
- ✓ 此 I/O 受到 ESD 干擾時，晶片會出現復位 (RESET) 或偶爾有當機的現象。

2.4.2 PT1.0 應用注意

- ✓ PT1.0 靠近 VPP/RST 引腳，因此在 ESD 測試時呈現出防護能力有比其他的 I/O 差的現象
- ✓ 設計為外部輸入按鍵時，若按鍵有鍍金或以金屬打造建議參照圖三進行電路設計。
- ✓ 此 I/O 受到 ESD 干擾時，晶片會出現復位 (RESET)、產生中斷信號或偶爾有當機的現象。



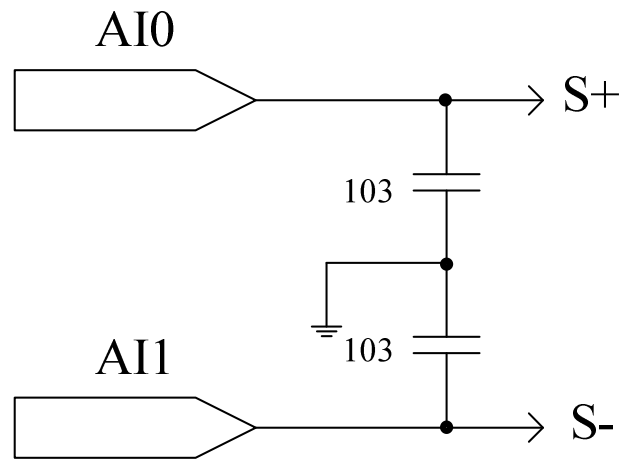
圖四

2.4.3 電池盒注意事項

- ✓ 電池在 ESD 測試時擔任重要角色，其為最佳放電路徑。
- ✓ 電池盒引出的電源線在 PCB 佈線時盡量縮短線長或降低線阻，以求 ESD 測試時達到最佳放電路徑狀態。
- ✓ 電池盒佈線不佳時，晶片容易出現復位 (RESET)、或偶爾有當機的現象。

2.5 HY11P32 類比輸入口

- ✓ HY11P32 的 AI0~AI1 ESD 防護能力不及其他同系列產品，故建議傳感器 (LOADCELL)線路設計參照圖四電路。



圖五