



HY14E10

User's Guide

Digital Pressure Sensor Platform

Table of Contents

1.	閱讀導覽	4
1.1.	關於這份操作手冊	4
1.2.	名詞定義, Terms and Definition	5
2.	中央處理器, CPU	7
2.1.	處理器核心, CPU Core	7
2.2.	記憶體, Memory	8
3.	震盪器、時脈源與功耗管理	14
3.1.	震盪器	14
3.2.	CPU及週邊電路時脈源	14
3.3.	暫存器說明-工作時脈源控制器	17
4.	復位, RESET	18
4.1.	復位事件說明	18
4.2.	狀態暫存器	19
5.	中斷, INTERRUPT	21
5.1.	暫存器說明-中斷	22
6.	輸入/輸出埠, I/O	26
6.1.	PORT相關暫存器介紹	26
6.2.	暫存器說明-PORT	27
7.	計數器A, TIMER-A	28
7.1.	暫存器說明-TMA	29
8.	16-BIT計數器B, TMB (16-BIT TIMERB)	30
8.1.	TMB四種操作模式	31

8.2.	TMB1 控制暫存器列表與說明 :	41
9.	電源系統,POWER SYSTEM.....	42
9.1.	Bandgap 使用說明.....	43
9.2.	VDDA 使用說明	43
9.3.	SDR 使用說明	43
9.4.	ACM 使用說明	43
9.5.	LVD使用說明	43
9.6.	暫存器說明-PWR.....	44
10.	類比數位轉換器SD18,ΣΔADC.....	46
10.1.	SD18 使用說明	48
10.2.	類比通道輸入特性	52
10.3.	絕對溫度感測器,TPS	54
10.4.	暫存器說明-SD18	56
11.	硬體乘法器.....	60
11.1.	暫存器說明-硬體乘法器	60
12.	I ² C串列通訊介面	61
12.1.	暫存器說明- I ² C串列通訊介面	62
13.	系統資訊區塊	65
13.1.	系統資訊區塊說明(INFormation block).....	65
13.2.	使用查表功能說明讀取(Program Memory).....	65
13.3.	暫存器說明- 系統資訊區塊	67
14.	修訂記錄	68

1. 閱讀導覽

1.1. 關於這份操作手冊

本文件所述的應用訊息及其他類似內容敘述僅為提供使用者便利，紘康對於內容的使用與因而引起的後果並不負擔相關責任。規格內容隨時可被更新訊息所替代，使用者有責任必需承擔並確保應用符合規範。

未經紘康授權，不得將紘康產品使用于生命維持系統中作為關鍵器件。紘康有不需事先通知即可修改產品的權力，產品最新訊息，請參考我們的網站：

<http://www.hycontek.com>

注意：

- ◆ 本說明書中的內容，隨著產品的改進，有可能不經過預告而更改。請客戶及時到本公司網站下載更新。
- ◆ 本規格書中的圖形、應用電路等，因第三方工業所有權引發的問題，本公司不承擔其責任。
- ◆ 本產品在單獨應用的情況下，本公司保證它的性能、典型應用和功能符合說明書中的條件。當使用在客戶的產品或設備中，以上條件我們不作保證，建議客戶做充分的評估和測試。
- ◆ 請注意輸入電壓、輸出電壓、負載電流的使用條件，使 IC 內的功耗不超過封裝的容許功耗。對於客戶在超出說明書中規定額定值使用產品，即使是瞬間的使用，由此所造成的損失，本公司不承擔任何責任。
- ◆ 本產品雖內置防靜電保護電路，但請不要施加超過保護電路性能的過大靜電。
- ◆ 本規格書中的產品，未經書面許可，不可使用在要求高可靠性的電路中。例如健康醫療器械、防災器械、車輛器械、車載器械及航空器械等對人體產生影響的器械或裝置，不得作為其部件使用。
- ◆ 本公司一直致力於提高產品的品質和可靠度，但所有的半導體產品都有一定的失效概率，這些失效概率可能會導致一些人身事故、火災事故等。當設計產品時，請充分留意冗餘設計，採用安全指標，這樣可以避免事故的發生。
- ◆ 本規格書中內容，未經本公司許可，嚴禁用於其他目的之轉載或複製。

1.2. 名詞定義, Terms and Definition

1.2.1. 常用詞彙索引

1MW	1MegaWord	
1KB	1KiloByte	
ADC	Analog to Digital Converter	類比數位轉換器
Bit	bit	位元
BOR	Brown-Out Reset	
BSR	Bank Select Register	
Byte	Byte	位元組
CCP	Capture and Compare	擷取器與比較器
CPU	Central Processing Unit	中央處理器
DAC	Digital-to-Analog Converter	數位類比轉換器
DM	Data Memory	資料記憶體
ECAP	Enhance Comparator	增強型比較器
FSR	File Select Register	間接定址指標暫存器
GPR	General Purpose Register	一般用途暫存器
HAO	High Accuracy Oscillator	高精度震盪器
LNOP	Low Noise OP AMP	低雜訊放大器
LPO	Low Power Oscillator	低功率消耗震盪器
LSB	Least Significant Bit	最低有效位元
MEM	Memory	記憶體
MPM	Main Program Memory	
MSB	Most Significant Bit	最高有效位元
OTP	One Time Program-EPROM	一次性寫入記憶體
PC	Program Counter	程式計數器
PPF	PWM and PFD	脈波寬度調整器與頻率輸出調整器
SD18	Sigma-Delta ADC	類比數位轉換器
SR	Special Register	
SRAM	Static Random Access Memory	靜態隨機存取記憶體
STK	Stack	堆疊
WDT	Watch Dog Timer	看門狗計時器
WREG	Work Register	工作暫存器

1.2.2. 暫存器相關字彙

[]	Register length	暫存器長度
< >	Register value	暫存器內容
ABC[7:0]	ABC register had 0 to 7bit	ABC 暫存器總共有 8 位元
ABC<111>	ABC register had 3bit and value had 111 of binary	ABC 暫存器總共有 3 位元，內容為二進制 111
ABC<11x>	x: can be neglected, it can be set as 1 or 0	ABC 暫存器總共有 3 位元，內容為二進制。可為 110 或 111
rw	Read/Write	可讀可寫
r	Read only	唯讀
r0	Read as 0	讀值只有 0
r1	Read as 1	讀值只有 1
w	Write only	唯寫
w0	Write as 0	寫入值只有 0
w1	Write as 1	寫入值只有 1
h0	cleared by Hardware	硬體 置<0>
h1	set by Hardware	硬體 置<1>
u0	cleared by User	使用者 設置<0>
u1	set by User	使用者 設置<1>
-	Not use	未使用
!	users are forbidden to change	使用者禁止變更
u	unchanged	無法改變
x	unknown	未知
d	depends on condition	依照設定條件

2. 中央處理器, CPU

2.1. 處理器核心, CPU Core

中央處理器的核心 CPU Core(H08)為了使其有較高的執行效率,採用了 Harvard architecture 理念,將程式記憶體與資料記憶體分別獨立且程式記憶體的位址,增加了使用者撰寫程式的便利性。

CPU 特色包含：

- ◆ 程式記憶體與資料記憶體各自獨立設計架構,使得指令執行速度提升且提高 CPU 效率。
- ◆ 最多 46 個操作指令包含資料記憶體區塊切換與堆疊控制
- ◆ 一個指令完成最長 16-bit 的 FSR 暫存器資料搬移與定址 1MW 程式記憶體的查表指令。
- ◆ 資料記憶體的操作包含程式計數器(PC)、狀態暫存器(Status)與堆疊暫存器(Stack)的資料搬移。
- ◆ 處理器核心為精簡版 H08B 核心。

2.2. 記憶體,Memory

記憶體的構成分為兩種，一為程式記憶體由 EEPROM 構成另一為資料記憶體由 SRAM 構成。在不同型號的產品上，所規劃的記憶體大小會不一樣，故閱讀各產品的說明書時必須特別留意該產品的規格說明。

程式記憶體：

主記憶體區(Main Program Memory,MPM)

程式計數器(Program Counter,PC)

堆疊(Stack,STK)

資料記憶體：

特殊暫存器(Special Register,SR)

一般暫存器(General Purpose Register,GPR)

記憶體相關暫存器摘要：(x：表示由多個暫存器組成)

PC[10:0]	PCHSR[2:0],PCLATH[2:0],PCLATL[7:0]
TOS[10:0]	TOSH[2:0],TOSL[7:0]
FSR0[7:0]	FSR0L[7:0]
INDF0	INDF0[7:0]
STKCN	STKFL,STKOV,STKUN,STKPRT[2:0]
PSTATUS	SKERR

2.2.1. 程式記憶體,Program Memory

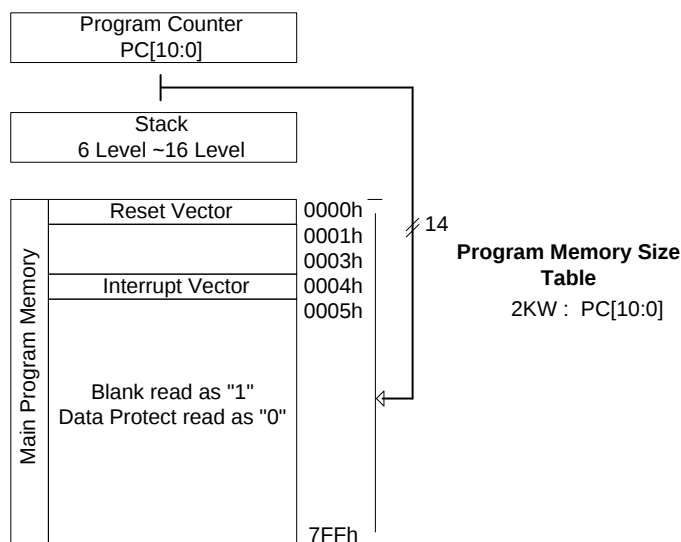


圖 2-1 程式記憶體架構圖

2.2.1.1. 主記憶體,MPM

主記憶體架構如下：

- ◆ 中斷服務向量位置(Interrupt Vector)
- ◆ 復位向量位置(Reset Vector)

定址能力由 0x00000h 至 0x7FFh，總計容量為 2048 Word。

晶片在未進程式寫入時，所有位址的資料型態均為 1；寫入後，位址將依寫入的資料型態呈現 1 或 0。必需注意，程式開發時若模擬軟體(HYIDE)的組譯選項有設置燒錄保護功能，則晶片在燒錄所能讀出的位址資料型態皆為 0。

2.2.1.2. 程式計數器,PC

程式計數器 PC 由位移暫存器 PCSRH、緩衝暫存器 PCLAT 組成，如圖 2-2。

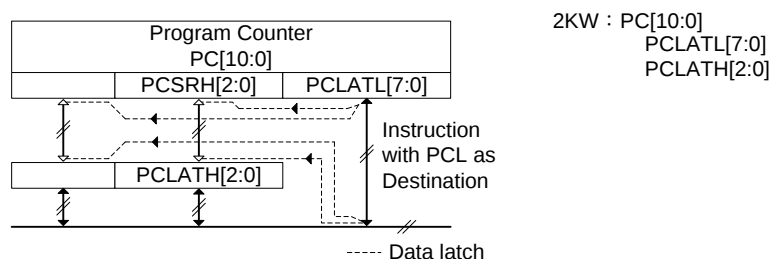


圖 2-2 程式計數器架構圖

程式計數器 PC[10:0]在開發工具所使用的晶片具有 11 位元的資料長度，由兩個特殊暫存器 PCSRH [2:0]與 PCLATL [7:0]組成。其中 PCLATL[7:0]與 PCLATH[2:0] 可直接讀/寫，而 PCSRH [2:0]無法直接讀/寫，必須透過緩衝暫存器 PCLATH[2:0]做間接讀/寫。

- ◆ 讀取 PC[10:0]，必須先讀取 PCLATL[7:0]接著讀取 PCLATH[2:0]才能取得正確資料，順序反之則將讀取到不正確的資料。
- ◆ 寫入 PC[10:0]，必須先寫入 PCLATH[2:0]最後再寫 PCLATL[7:0]，順序反之會寫入不正確的資料。

2.2.1.3. 堆疊,STK

堆疊 STK 主要由堆疊指標控制暫存器 STKCN、堆疊錯誤旗標 SKERR(Stack Error)與堆疊錯誤復位控制器 SKRST 組成。

當堆疊發生溢位與欠位時可能導致程式有不預期的執行結果，必要時可透過設置重新啟動晶片。在程式開發過程中，透過軟體設置可將堆疊復位控制位元 SKRST¹ 設置<1>，當堆疊發生欠位或溢位時會產生復位信號並將 SKERR 置<1>後重新啟動晶片。

- 滿位：STKFL 置<1>，PC[10:0]不受影響。
- 欠位：STKUN 置<1>，PC[10:0]移至 0x00000h 位置堆疊指標 STKPRT 指向 0 Level。若 SKRST 設置<1>，則欠位後會產生復位信號且 SKERR 置<1>，復位後 STKUN 置<0>。
- 溢位：STKOV 置<1>，PC[10:0]不受影響但 STKPRT 仍停滯於最後一層且會壓入新的數

¹ SKRST 為堆疊錯誤產生復位信號控制位元，無法直接讀/寫只能在程式發展階段透過開發軟體的設置。即程式開發階段必須選定是否在堆疊錯誤時產生復位信號，若選定復位則晶片供電後該位元即被設置 1，反之設置<0>。

值，即滿位後會保存最近一次壓入的資料。若 SKRST 設置<1>，則溢位後產生復位信號且 SKERR 置<1>，復位後 STKOV 置<0>。

- 錯誤：SKERR 置<1>，晶片已發生堆疊錯誤。若 SKRST 設置<1>，則溢位後產生復位信號且 SKERR 置<1>，復位後 STKUN、STKOV 置<0>。

2.2.1.4. 暫存器說明-程式記憶體控制器

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
018h	SKCN	SKFL	SKUN	SKOV	-	-	SKPRT[2:0]			000. .000	u\$\$. .\$\$\$
01Ah	PCLATH	-	-	-	-	-	PC[10]	PC[9]	PC[8]	0000	0000
01Bh	PCLATL	PC Low Byte for PC<7:0>								0000 0000	0000 0000
02Ch	PSTATUS	POR	PD	TO	IDL	RST	SKERR	-	-	\$000 \$00.	uu\$u u\$u.

表 2-1 程式記憶體控制暫存器

STKPTR：堆疊控制器

位元	名稱	描述
Bit7	STKFL	堆疊滿位旗標 <1> 已發生。 0：未發生。
Bit6	STKUN	堆疊欠位旗標 <1> 已發生。 0：未發生。
Bit5	STKOV	堆疊溢位旗標 <1> 已發生。 0：未發生。
Bit2~0	STKPRT[2:0]	堆疊指標暫存器 <111> 第 7 層 <110> 第 6 層 <000> 第 0 層，TOS[10:0]=0x0000h

PCLATH：程式計數器高位元組，PC[10:8]

PCLATL：程式計數器低位元組，PC[7:0]

PSTATUS：狀態暫存器

位元	名稱	描述
Bit2	SKERR	堆疊錯誤產生復位旗標 <1> 已發生。 <0> 未發生。

2.2.2. 資料記憶體,DM

資料記憶體 DM 由特殊暫存器 Specially Register,SR 與一般暫存器 General Purpose Register,GPR 組成，且以每 256byte 為一個區塊。128byte 的特殊暫存器與 128byte 一般暫存器如 圖 2-3。

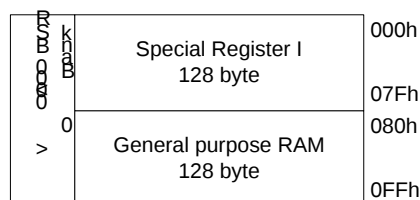


圖 2-3 資料記憶體架構圖

2.2.2.1. 記憶體與指令

H08 指令集可分為 A、B 兩版本其在記憶體運用有很大的差異性，例如定址能力、硬體乘法器、查表指令、支援功能與參數的定義，在此僅說明指令記憶體參數的定義。詳細的指令參數說明請參見指令集,Instruction 章節。

指令集中帶有位址運算功能的指令至多會有“f”、“d”、“a”等三個參數。

“f” 是指資料(Data)或資料暫存器位址(Data Memory Address)。

“d” 是指運算後的資料要存放地方。d=0 存於 WREG register、d=1 存於 Data Memory Register。

“a” 是指定記憶體操作的區塊；a=0 操作於區塊 0、a=1 操作於 BSR[3:0]指定區塊。

2.2.2.2. 特殊暫存器

特殊暫存器包含 CPU Core 與週邊功能的相關暫存器，主要有控制功能暫存器與資料傳回暫存器。若對資料暫存器內未定義的位址或位址用之位元進行讀取，所讀取到的資料為 0。

在特殊暫存器中專用於搭配指令的暫存器亦有數個，但在此只介紹兩種常用的暫存器一為工作暫存器 WREG，另一為間接定址暫存器 FSR。其餘在此未介紹的特殊暫存器將分散於各章節做詳盡的說明。

2.2.2.2.1. 工作暫存器,WREG

工作暫存器簡稱 W 為搭配指令使用最為頻繁的暫存器，舉凡資料搬移、運算與判斷等等。

2.2.2.2.2. 一般暫存器, General Purpose Register

一般暫存器 GPR 為使用者進行資料儲存、運算、旗標設置等等自由規劃區域。

2.2.2.3. 暫存器說明-資料記憶體控制器

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
位址	名稱	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IRST
029H	WREG	Working Register								xxxx xxxx	*****

表 2-2 資料記憶體控制暫存器

WREG：工作暫存器

WREG[7:0]：詳見 2.2.2.2.1 工作暫存器, WREG 說明

2.2.3. 暫存器列表-資料記憶體

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
00H	INDF0	Contents of FSR0 to address data memoryvalue of FSR0 not changed								N/A	*****
0FH	FSR0H									X	*
10H	FSR0L	Indirect Data Memory Address Pointer 0 Low Byte,FSR0[7:0]								xxxx xxxx	*****
18H	STKPTR	STKFL	STKUN	STKOV	-	-	STKPRT[2:0]			000..000	r,rw0,rw0,-,r,r,r
1AH	PCLATH	-	-	-	-	-	PC[10]	PC[9]	PC[8]	0000	*
1BH	PCLATL	PC Low Byte for PC<7:0>								0000 0000	*****
1DH	TBLPTRH	TBLW+	TBLW	TBLR+	TBLR	TBLPTR[11]	TBLPTR[10]	TBLPTR[9]	TBLPTR[8]	0000	*
1EH	TBLPTRL	Program Memory Table Pointer Low Byte (TBLPTR<7:0>)								0000 0000	*****
20H	TBLDL	Program Memory Table Latch Low Byte								0000 0000	*****
23H	INTE0	GIE	ADCIE	TMBIE	TMAIE	LVD_BE	LVDE	E1IE	E0IE	000.0000	*****
24H	INTE1	I2CW7IE	I2CW6IE	I2CW5IE	I2CW4IE	I2CW3IE	I2CW2IE	I2CW1IE	I2CW0IE	000.0000	*****
25H	INTE2	-	-	-	-	-	I2CW10IE	I2CW9IE	I2CW8IE	000.0000	*****
26H	INTF0	-	ADCIF	TMBIF	TMAIF	LVD_BF	LVDF	E1IF	E0IF	000.0000	w0
27H	INTF1	I2CW7IF	I2CW6IF	I2CW5IF	I2CW4IF	I2CW3IF	I2CW2IF	I2CW1IF	I2CW0IF	000.0000	w0
28H	INTF2	-	-	-	-	-	I2CW10IF	I2CW9IF	I2CW8IF	000.0000	w0
29H	WREG	Working Register								xxxx xxxx	*****
2BH	STATUS	-	-	-	C	-	-	-	Z	...X xxxx	*
2CH	PSTATUS	BOR	PD	-	IDLE	Crst	SKERR	I2C_RST	I2C_GC_RST	000d..0..	rw0,rw0,rw0,rw0,-,rw0,-,-
2DH	ADCR0H	ADC[19:12]								xxxx xxxx	*****
2EH	ADCR0M	ADC[11:4]								xxxx xxxx	*****
2FH	ADCR0L	ADC[3:0]				0	0	0	0	xxxx xxxx	*****
30H	ADCR1H	ADC[19]	ADC[19]	ADC[19]	ADC[19]	ADC[19]	ADC[18]	ADC[17]	ADC[16]	xxxx xxxx	*****
31H	ADCR1M	ADC[15:8]								xxxx xxxx	*****
32H	ADCR1L	ADC[7:0]								xxxx xxxx	*****
33H	PWRCN0	ENBGR	ENTPS	ENSDR	INIS	TPSLCN	ENLDO	ENLVD	ENADC	000.0000	*****
34H	PWRCN1	ADHV	SDRV[1:0]		LVDV[1:0]		LDOV[1:0]		LVDO	000.0000	*****
35H	ADCCN0	OSR[2:0]			VREGN	ADG[1:0]		SACM[1:0]		000.0000	*****
36H	ADCCN1	INL[2:0]			INH[2:0]			VRI[1:0]		000.0000	*****
37H	ADCCN2	DCSET[2:0]			TCR[1:0]		-	-	ADRST	000.0000	*****
38H	CLKCN	-	-	-	HAOM[1:0]		CPUCKS	ENHAO	ENLPO	000.0011	*****
39H	AL_MO0	LSB for multiplexer input A / LSB for multiplexer output								xxxx xxxx	*****
3AH	AH_MO1	MSB for multiplexer input A / 15-8 bit multiplexer output								xxxx xxxx	*****
3BH	BL_MO2	LSB for multiplexer input B / 23-16 bit multiplexer output								xxxx xxxx	*****
3CH	BH_MO3	MSB for multiplexer input B / MSB for multiplexer output								xxxx xxxx	*****
3DH	PT0	-	-	PT0EG[1:0]		ENPWMIO	PU0	TC0	PT0IO	000.0000	*****
3EH	PT1	-	-	PT1EG[1:0]		ENPWM00	PU1	TC1	PT1IO	000.0000	*****
3FH	PT2	-	-	-	-	ENPWM10	PU2	TC2	PT2IO	000.0000	*****
40H	PT3	-	-	-	-	ENPWM00	PU3	TC3	PT3IO	000.0000	*****

表 2-3 資料記憶體列表

HY14E10 User' Guide

Digital Pressure Sensor Platform

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“\$”for event status,“-”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
41H	LSB_SEL	SEL_FLAG[7:0]								0000 0000	*****
42H	I2C_CMD	TIP	scu_L3	SP	0	0	0	0	EN_SCLO	0000 0000	RRRRRRRW
43H	I2C_O0	I2C Data Output Buffer 0								xxxx xxxx	w
44H	I2C_O1	I2C Data Output Buffer 1								xxxx xxxx	w
45H	I2C_O2	I2C Data Output Buffer 2								xxxx xxxx	w
46H	I2C_O3	I2C Data Output Buffer 3								xxxx xxxx	w
47H	I2C_O4	I2C Data Output Buffer 4								xxxx xxxx	w
48H	I2C_O5	I2C Data Output Buffer 5								xxxx xxxx	w
49H	I2C_O6	I2C Data Output Buffer 6								xxxx xxxx	w
4AH	I2C_O7	I2C Data Output Buffer 7								xxxx xxxx	w
4BH	I2C_I0	I2C Data Input Buffer 0								xxxx xxxx	r
4CH	I2C_I1	I2C Data Input Buffer 1								xxxx xxxx	r
4DH	I2C_I2	I2C Data Input Buffer 2								xxxx xxxx	r
4EH	I2C_I3	I2C Data Input Buffer 3								xxxx xxxx	r
4FH	I2C_I4	I2C Data Input Buffer 4								xxxx xxxx	r
50H	I2C_I5	I2C Data Input Buffer 5								xxxx xxxx	r
51H	I2C_I6	I2C Data Input Buffer 6								xxxx xxxx	r
52H	I2C_I7	I2C Data Input Buffer 7								xxxx xxxx	r
53H	I2C_I8	I2C Data Input Buffer 8								xxxx xxxx	r
54H	I2C_I9	I2C Data Input Buffer 9								xxxx xxxx	r
55H	I2C_I10	I2C Data Input Buffer 10								xxxx xxxx	r
56H	TMACN	ENTMA	TMACL	TMAS	DTMA[2:0]			-	-	0000 \$000	**** rw1,***
57H	TMAR	TMAR[7:0]								0000 0000	r,r,r,r,r,r,r,r
58H	TB1CN0	ENTMB	TB1M[1:0]		DTMB[1:0]		-	-	TMBCL	0000 0000	***** 1 1 1 1 1 1 1
59H	TB1COL	TimerB1 counter Condition Register0 [7:0]								xxxx xxxx	***** 1 1 1 1 1 1 1
5AH	TB1COH	TimerB1 counter Condition Register0 [15:8]								xxxx xxxx	***** 1 1 1 1 1 1 1
5BH	TB1CIL	TimerB1 counter Condition Register1 [7:0]								xxxx xxxx	***** 1 1 1 1 1 1 1
5CH	TB1CIH	TimerB1 counter Condition Register1 [15:8]								xxxx xxxx	***** 1 1 1 1 1 1 1
5EH	EE_CTRL	EN_TBL	PGM	0	0	0	0	0	0		0,1,1,1,1,0,0
80H ~ FFH	GPR0	General Purpose Register as 128Byte								xxxx xxxx	

表 2-4 資料記憶體列表(續)

3. 震盪器、時脈源與功耗管理

HY14E10 具有 HAO、LPO 兩個時脈源，如 表 3-1。透過時脈控制器暫存器的設置可彈性的分配與管理 CPU 與週邊工作頻率，更能適當調整晶片消耗功率達到節約能源的目的。

時脈控制暫存器摘要：

CLKCN		HAOM[1:0], CPUCKS ,ENHAO,ENLPO			
符號	頻率	頻率源控制器 CLKCN[7:0]配置		指令執行狀態	
		ENHAO	HAOM[1:0]	SLP	IDLE
HAO	2MHz	1	00	停止	震盪
	4MHz	1	01	停止	震盪
	8MHz	1	10	停止	震盪
	8MHz	1	11	停止	震盪
LPO	32KHz	晶片上電後即起振		停止	震盪

表 3-1 內部 RC 震盪器參數、頻率控制器配置與指令狀態

3.1. 震盪器

3.1.1. HAO 震盪器

HAO 為內部高速 RC 震盪器，典型輸出頻率為 2.0~8.0MHz。

HY14E10 產品在 CPU 使用其他的震盪器作為工作時脈源時，可透過 ENHAO 設置<0>將 HAO 震盪器關閉。

注意：SD18 的取樣頻率不論 HAO 選擇如何，皆會固定除頻至 1MHz。但是建議當 ADC 有開啓的時候，HAO 頻率源要選擇 4MHz 以上，ADC 的效果才會比較好。

3.1.2. LPO 震盪器

LPO 為內部低速 RC 震盪器，典型的輸出頻率為 32KHz。主要應用於低速省電的 CPU 工作模式時脈源。

HY14E10 產品在執行 Sleep 指令後 LPO 震盪器會被關閉，而當晶片被喚醒時 LPO 將自動開啓振盪器。

3.2. CPU 及週邊電路時脈源

3.2.1. 時脈源分配

兩組震盪器輸出(HS_CK、LS_CK)會先經過前置工作時脈分配器進行啓用/停止、切換與預先除頻後再進入晶片的 CPU 與各週邊電路。如圖 3-1 所示。

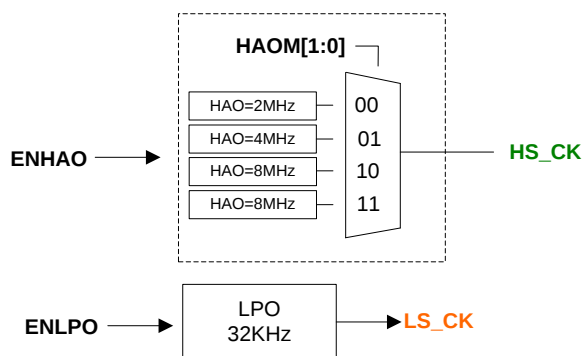


圖 3-1 前置工作時脈分配器

3.2.2. CPU 時脈源

CPU 有多種工作頻率可以選擇，透過 CPUCKS 可選擇工作頻率來自 LS_CK 或 HS_CK。

指令工作頻率則採 1/4 的 CPU_CK 設計且分頻出 INTR_CK 的頻率源。

- 操作 $\Sigma\Delta$ ADC 時，建議 CPU 使用 HAO=4M 後分頻當工作頻率，以得到較佳的性能。
- 當 CPU_CK 的頻率與指令執行週期，如表如圖 3-2。表 3-2 簡略列出 CPU 工作頻率與指令週期的關係。

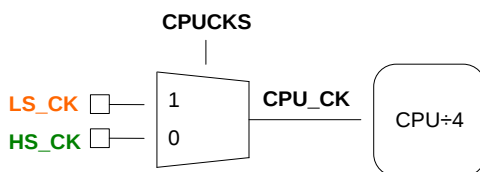


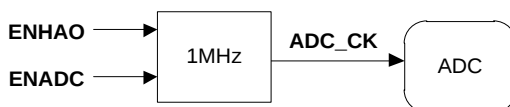
圖 3-2 CPU 與週邊工作時脈

工作頻率 CPU_CK	CPU	指令	
	頻率	頻率	週期
8MHZ	8MHZ	2MHZ	0.5us
4MHz	4MHz	1MHz	1us
2MHz	2MHz	500kHz	2us
32KHz	32KHz	8KHz	125us

表 3-2 CPU 工作頻率與指令執行週期

3.2.3. CPU 周邊電路時脈源

HY14E10 週邊電路的工作時脈係由不同的分配控制器與預除頻器進行配置，該配置將於各週邊單元作詳細說明故於此只附上週邊工作時脈配置圖，如圖 3-3。



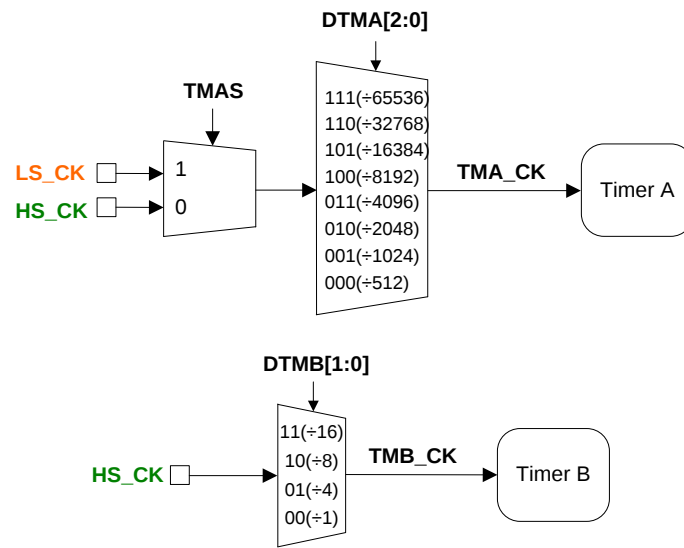


圖 3-3 週邊工作時脈配置圖

3.3. 暫存器說明-工作時脈源控制器

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
38H	CLKCN	-	-	-	HAOM1	HAOM0	CPUCKS	ENHAO	ENLPO	000. 0011	*,*,*,*,*,*,*

表 3-3 工作時脈源控制暫存器

CLKCN[7:0]：晶片工作頻率控制暫存器

位元	名稱	描述
Bit4~3	HAOM[1:0]	內部 HAO 高頻振盪器頻率選擇 <11> 8MHz <10> 8MHz <01> 4MHz <00> 2MHz
Bit2	CPUCKS	CPU 時脈源選擇 <1> LS 內部 LPO 低頻振盪器 <0> HS 內部 HAO 高頻振盪器(ADC 操作頻率固定 1MHz，HS 必須 enable.)
Bit1	ENHAO	內部 HAO 高頻振盪器控制 Sleep 時無效，VDD 低於 BOR 電壓時無效，其餘可自由開關。 <1> 開啟 <0> 關閉
Bit0	ENLPO	內部 LPO 低頻振盪器控制 Sleep 時無效，VDD 低於 BOR 電壓時無效，其餘可自由開關。 <1> 開啟 <0> 關閉

4. 復位,RESET

HY14E10 的復位線路包含以下幾種事件來觸發復位訊號，復位方塊圖如 。

- ◆ **BOR** 電源干擾復位。
- ◆ **SKERR** 堆疊錯誤復位。(使用者決定)

操作狀態暫存器摘要：

PSTATUS BOR, PD, IDLE, SKERR

這些復位事件可區分為硬體復位及軟體復位，說明如表 4-1。CPU 經復位後程式由 0x0000h 啟動。

復位種類	事件	符號	說明
硬體復位	BOR	A-RESET	CPU 重新啟動，須等待內部震盪器啟動計數完成後方能進入正常工作狀態。
低階復位	SKERR	I-RESET	僅清除部分暫存器，CPU 快速回到正常工作狀態。

表 4-1 復位等級表

4.1. 復位事件說明

4.1.1. BOR 電源干擾復位

當 CPU 在上電過程或電源受外界干擾時，CPU 會由不正常工作的過低工作電壓進入正常工作電壓。因此，如 CPU 在過低工作電壓時無法處於復位狀態，將會造成 CPU 當機使週邊電路工作異常。所以必須靠著 BOR 線路功能，在偵測到工作電壓受到干擾且電壓準位低於設計值，會產生復位信號使晶片進入重新啟動狀態，直至回復工作電壓才會解除復位信號使晶片進入正常工作模式。

當發生 BOR 復位時，PSTATUS[7:0]暫存器中的 BOR 旗標會被置<1>以記錄發生的事件。

HY14E10 的 BOR 線路會產生約 0.6uA 的電流消耗，無法透過程式或其他設置方式使其關閉。

4.1.2. SKERR 堆疊錯誤復位

程式發生堆疊溢位或欠位時會產生復位信號使晶片進入快速啟動狀態。當發生 SKERR 堆疊錯誤復位時 PSTATUS[7:0]暫存器中的 SKERR 旗標會被置<1>以記錄發生的事件。詳細的操作說明請參見**記憶體,Memory** 章節。

4.2. 狀態暫存器

晶片的操作狀態顯示於 PSTATUS[7:0] 復位暫存器，相互間關係如表 4-2。

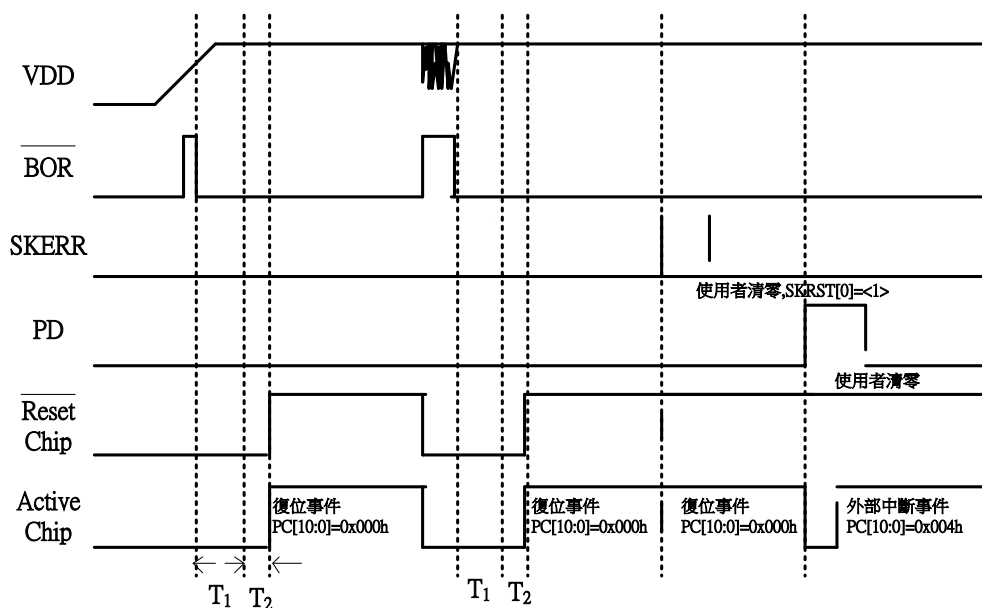
“0”：未發生，“1”：已發生，“u”：不改變，“-”：未使用

名稱/狀態	位址	7	6	5	4	3	2	1	0
PSTATUS	02CH	BOR	PD	-	IDLE	Crst	SKERR	I2C_RST	I2C_GC_RST
硬體復位 (A-RESET)	BOR	1	0		0		0		
軟體復位 (I-RESET)	SKERR	u	u		u		1		

表 4-2 復位狀態旗標關係表

4.2.1. 復位狀態的時序圖

硬體復位信號發生後至晶片進入操作狀態的時序圖，如圖 4-4。不同復位信號信號發生後至晶片進入操作狀態的時間。



T_1 ：2048個LPO時鐘延遲時間, T_2 ：1024個HAO時鐘延遲時間。

圖 4-4 復位及操作模式與狀態旗標時序圖

“-”：無定義

復位信號	延遲時間			操作狀態		
	符號	T1	T2	運行	待機	休眠
BOR	t_{RST}	$T_1 + T_2$		有效	有效	有效
SKERR	-	-		有效	無效	無效

表 4-3 復位狀態的延遲時間與操作狀態關係表

4.2.2. 暫存器說明-復位狀態

"\$"for event status, "."unimplemented bit,"x"unknown,"u"unchanged,"d"depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
2CH	PSTATUS	BOR	PD	-	IDLE	Crst	SKERR	I2C_RST	I2C_GC_RST	000d .0..	rw0,rw0,rw0,rw0 -,rw0,-,-

表 4-4 復位暫存器

PSTATUS : 狀態暫存器

位元	名稱	描述
Bit7	BOR	電源干擾 BOR 復位事件旗標 <1>已發生電源干擾復位；清除需透過 RST 或指令 <0>未發生電源干擾復位
Bit6	PD	休眠 SLEEP 事件旗標 <1>已發生休眠事件；清除需透過 BOR、RST 或指令 <0>未發生休眠事件
Bit4	IDLE	待機 IDLE 事件旗標 <1>已發生 IDLE 事件；清除需透過 BOR 或指令 <0>未發生 IDLE 事件
Bit3	Crst	ICP 寫入 Crst 指令，造成 CPU reset <1>發生 ICP 寫入 Crst 指令，造成 CPU reset <0>未發生 CPU reset
Bit2	SKERR	堆疊錯誤復位旗標 <1>堆疊錯誤；清除需透過 BOR 或指令 <0>堆疊未錯誤
Bit1	I2C_RST	I ² C主機針對PTR 0x20~0x2F寫入 <1>發生，I ² C主機針對PTR 0x20~0x2F寫入 <0>未發生
Bit0	I2C_GC_RST	I ² C主機對I ² C執行General Call Reset 指令 <1>發生，I ² C主機對I ² C執行General Call Reset 指令 <0>未發生

5. 中斷, Interrupt

中斷 Interrupt 由中斷啓用控制器 INTE 與中斷事件旗標 INTF 組成。中斷服務 Interrupt service 成立時若產生中斷事件，將使得程式計數器 PC 跳至程式記憶體的中斷向量位址 0x0004h 執行中斷服務程式。

中斷控制暫存器暫存器摘要：

INTE0 GIE, ADCIE, TMBIE, TMAIE, LVD_BE, LVDE, E1IE, E0IE

INTE1 I2CW7IE, I2CW6IE, I2CW5IE, I2CW4IE, I2CW3IE, I2CW2IE, I2CW1IE, I2CW0IE

INTE2 I2CW10, I2CW9, I2CW8IE

INTF0 ADCIF, TMBIF, TMAIF, LVD_BF, LVDF, E1IF, E0IF

INTF1 I2CW7IF, I2CW6IF, I2CW5IF, I2CW4IF, I2CW3IF, I2CW2IF, I2CW1IF, I2CW0IF

INTF2 I2CW10, I2CW9, I2CW8IF

中斷服務事件的節制器共有兩層，最高層為中斷服務控制器 GIE、次一層為中斷事件的啓用控制位元。

- 啓用中斷事件只需將相對於中斷事件啓用控制器INTE_x[7:0]的控制器設置<1>即可；反之，設置<0>則為關閉中斷事件。
- 啓用中斷服務只需將相對於中斷控制暫存器INTE0[7:0]的中斷服務控制器GIE設置<1>即可；反之，設置<0>則為關閉中斷服務。

當進入中斷服務向量時 GIE 會自動被置<0>，在中斷服務程式執行完畢後欲返回中斷發生位址時可直接執行中斷返回指令 RETI，此時 GIE 將自動被置<1>；或執行返回指令 RET，此時 GIE 狀態維持 0。

5.1. 暫存器說明-中斷

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
23H	INTE0	GIE	ADCIE	TMBIE	TMAIE	LVD_BE	LVDE	E1IE	E0IE	000. 0000	*,*,*,*,*,*,*,*
24H	INTE1	I2CW7IE	I2CW6IE	I2CW5IE	I2CW4IE	I2CW3IE	I2CW2IE	I2CW1IE	I2CW0IE	000. 0000	*,*,*,*,*,*,*,*
25H	INTE2	-	-	-	-	-	I2CW10IE	I2CW9IE	I2CW8IE	000. 0000	*,*,*,*,*,*,*,*
26H	INTF0	-	ADCIF	TMBIF	TMAIF	LVD_BF	LVDF	E1IF	E0IF	000. 0000	w0
27H	INTF1	I2CW7IF	I2CW6IF	I2CW5IF	I2CW4IF	I2CW3IF	I2CW2IF	I2CW1IF	I2CW0IF	000. 0000	w0
28H	INTF2	-	-	-	-	-	I2CW10IF	I2CW9IF	I2CW8IF	000. 0000	w0

表 5-1 中斷暫存器

INTE0：中斷啓用控制暫存器 0

位元	名稱	描述
Bit7	GIE	中斷服務控制器 <1> 啓用。 <0> 關閉。
Bit6	ADCIE	ADC 中斷事件啓用控制器 <1> 啓用。(類比數位轉換器,SD18) <0> 關閉。
Bit5	TMBIE	Timer-B 中斷事件啓用控制器 <1> 啓用。(計時/計數器 B,TMB) <0> 關閉。
Bit4	TMAIE	Timer-A 中斷事件啓用控制器 <1> 啓用。(計時/計數器 A,TMA) <0> 關閉。
Bit3	LVD_BE	VDD 電壓恢復偵測中斷事件啓用控制器 <1> 啓用。(VDD>LVD 產生中斷) <0> 關閉。
Bit2	LVDE	VDD 低電壓偵測中斷事件啓用控制器 <1> 啓用。(VDD<LVD 產生中斷) <0> 關閉。
Bit1	E1IE	輸入引腳 1 中斷事件啓用控制器 <1> 啓用。(外部輸入引腳,PT1) <0> 關閉。
Bit0	E0IE	輸入引腳 0 中斷事件啓用控制器 <1> 啓用。(外部輸入引腳,PT0) <0> 關閉。

INTE1：中斷啓用控制暫存器 1

位元	名稱	描述
Bit7	I2CW7IE	I ² C資料寫入中斷事件啓用控制器 <1> 啓用。(允許I ² C主機資料寫入Buffer 7 時產生中斷事件) <0> 關閉。
Bit6	I2CW6IE	I ² C資料寫入中斷事件啓用控制器 <1> 啓用。(允許I ² C主機資料寫入Buffer 6 時產生中斷事件) <0> 關閉。
Bit5	I2CW5IE	I ² C資料寫入中斷事件啓用控制器 <1> 啓用。(允許I ² C主機資料寫入Buffer 5 時產生中斷事件) <0> 關閉。
Bit4	I2CW4IE	I ² C資料寫入中斷事件啓用控制器 <1> 啓用。(允許I ² C主機資料寫入Buffer 4 時產生中斷事件) <0> 關閉。
Bit3	I2CW3IE	I ² C資料寫入中斷事件啓用控制器 <1> 啓用。(允許I ² C主機資料寫入Buffer 3 時產生中斷事件) <0> 關閉。
Bit2	I2CW2IE	I ² C資料寫入中斷事件啓用控制器 <1> 啓用。(允許I ² C主機資料寫入Buffer 2 時產生中斷事件) <0> 關閉。
Bit1	I2CW1IE	I ² C資料寫入中斷事件啓用控制器 <1> 啓用。(允許I ² C主機資料寫入Buffer 1 時產生中斷事件) <0> 關閉。
Bit0	I2CW0IE	I ² C資料寫入中斷事件啓用控制器 <1> 啓用。(允許I ² C主機資料寫入Buffer 0 時產生中斷事件) <0> 關閉。

INTE2：中斷啓用控制暫存器 2

位元	名稱	描述
Bit2	I2CW10IE	I ² C資料寫入中斷事件啓用控制器 <1> 啓用。(允許I ² C主機資料寫入Buffer 10 時產生中斷事件) <0> 關閉。
Bit1	I2CW9IE	I ² C資料寫入中斷事件啓用控制器 <1> 啓用。(允許I ² C主機資料寫入Buffer 9 時產生中斷事件) <0> 關閉。
Bit0	I2CW8IE	I ² C資料寫入中斷事件啓用控制器 <1> 啓用。(允許I ² C主機資料寫入Buffer 8 時產生中斷事件) <0> 關閉。

INTF0：中斷事件旗標暫存器 0

位元	名稱	描述
Bit6	ADCIF	ADC 中斷事件旗標 <1> 已發生。(類比數位轉換器,SD18) <0> 未發生。
Bit5	TMBIF	Timer-B 中斷事件旗標 <1> 已發生。(計時/計數器 B,TMB) <0> 未發生。
Bit4	TMAIF	Timer-A 中斷事件旗標 <1> 已發生。(計時/計數器 A,TMA) <0> 未發生。
Bit3	LVD_BF	VDD 電壓恢復偵測中斷事件旗標 <1> 已發生。(表示 VDD>LVD) <0> 未發生。
Bit2	LVDF	VDD 低電壓偵測中斷事件旗標 <1> 已發生。(表示 VDD<LVD) <0> 未發生。
Bit1	E1IF	輸入引腳 1 中斷事件旗標 <1> 已發生。(外部輸入引腳,PT1) <0> 未發生。
Bit0	E0IF	輸入引腳 0 中斷事件旗標 <1> 已發生。(外部輸入引腳,PT0) <0> 未發生。

INTF1：中斷事件旗標暫存器 1

位元	名稱	描述
Bit7	I2CW7IF	I ² C資料寫入中斷事件旗標 <1> 已發生。(I ² C主機資料寫入Buffer 7) <0> 未發生。
Bit6	I2CW6IF	I ² C資料寫入中斷事件旗標 <1> 已發生。(I ² C主機資料寫入Buffer 6) <0> 未發生。
Bit5	I2CW5IF	I ² C資料寫入中斷事件旗標 <1> 已發生。(I ² C主機資料寫入Buffer 5) <0> 未發生。

位元	名稱	描述
Bit4	I2CW4IF	I ² C資料寫入中斷事件旗標 <1> 已發生。(I ² C主機資料寫入Buffer 4) <0> 未發生。
Bit3	I2CW3IF	I ² C資料寫入中斷事件旗標 <1> 已發生。(I ² C主機資料寫入Buffer 3) <0> 未發生。
Bit2	I2CW2IF	I ² C資料寫入中斷事件旗標 <1> 已發生。(I ² C主機資料寫入Buffer 2) <0> 未發生。
Bit1	I2CW1IF	I ² C資料寫入中斷事件旗標 <1> 已發生。(I ² C主機資料寫入Buffer 1) <0> 未發生。
Bit0	I2CW0IF	I ² C資料寫入中斷事件旗標 <1> 已發生。(I ² C主機資料寫入Buffer 0) <0> 未發生。

INTF2 : 中斷事件旗標暫存器 2

位元	名稱	描述
Bit2	I2CW10IF	I ² C資料寫入中斷事件旗標 <1> 已發生。(I ² C主機資料寫入Buffer 10) <0> 未發生。
Bit1	I2CW9IF	I ² C資料寫入中斷事件旗標 <1> 已發生。(I ² C主機資料寫入Buffer 9) <0> 未發生。
Bit0	I2CW8IF	I ² C資料寫入中斷事件旗標 <1> 已發生。(I ² C主機資料寫入Buffer 8) <0> 未發生。

6. 輸入/輸出埠,I/O

輸入/輸出埠 I/O 每個引腳為一個埠，可作數位的輸入與輸出通道。每個埠由一組暫存器做控制。

I/O 相關暫存器摘要：

PT0 PT0GE[1:0], ENPWM0O, PU0, TC0, PT0IO

PT1 PT1GE[1:0], ENPWM1O, PU1, TC1, PT1IO

PT2 ENPWM2O, PU2, TC2, PT2IO

PT3 ENPWM3O, PU3, TC3, PT3IO

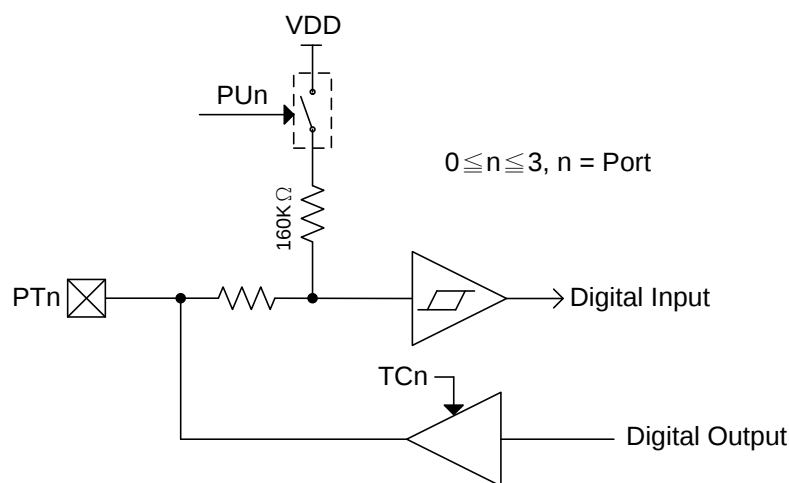


圖 6-1 I/O 架構方塊圖

6.1. PORT 相關暫存器介紹

PORT 主要提供數位的信號輸入與輸出引腳。

6.1.1. PTEG 中斷信號產生條件

I/O 外部輸入電位屬於何種變化時產生中斷信號，電位變化條件可分上升緣 (0→1) 變化、下降緣 (1→0) 變化與電位轉態 (0→1 或 1→0) 變化。

6.1.2. PTPU 上拉電阻控制暫存器

設定 I/O 上拉電阻功能是否啟用，設置<1>則 I/O 啟用、設置<0>斷開。在晶片進入休眠模式前，若 I/O 設置為數位輸入狀態且外部電路連接方式會造成 I/O 有浮接現象時即可啓用上拉電阻，以避免 I/O 浮接而導致晶片進入休眠模式後產生漏電流。

6.1.3. TC 輸入/輸出控制暫存器

選擇 I/O 為輸入或輸出，設置<1>I/O 為輸出狀態、設置<0>為輸入狀態。當 I/O 設定為輸入狀態，則在晶片進入休眠模式時必須給定一明確的輸入電位，不可讓 I/O 呈現浮接狀態，以避免造成晶片產生漏電現象。

6.1.4. PTIO 狀態控制暫存器

當 I/O 被設置為輸入則在相對的暫存器位置可以讀得目前 I/O 的狀態，讀值 1 則此時的 I/O 輸入高電位、讀值 0 則此時的 I/O 輸入低電位。

當 I/O 被設置為輸出則在相對的暫存器位置可以控制輸出狀態，設置<1>則 I/O

輸出為高電位、設置<0>則 I/O 輸出為低電位。

6.2. 暫存器說明-PORT

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
3DH	PT0	-	-	PT0EG[1:0]		ENPWM1O	PU0	TC0	PT0IO	000.0000	*****
3EH	PT1	-	-	PT1EG[1:0]		ENPWM0O	PU1	TC1	PT1IO	000.0000	*****
3FH	PT2	-	-	-	-	ENPWM1O	PU2	TC2	PT2IO	000.0000	*****
40H	PT3	-	-	-	-	ENPWM0O	PU3	TC3	PT3IO	000.0000	*****

表 6-1 PORT 控制暫存器

PT0/ PT1/PT2/PT3 : PORT 控制暫存器

位元	名稱	描述
Bit5~4	PTnGE[1:0]	引腳 PTn 中斷模式控制器(n=0~1) <11> 當 CPU 下指令讀取 I/O 狀態後，當外部改變該 I/O 狀態後發生中斷 <10> 電位轉態 (0→1 或 1→0) 即產生中斷事件; 中斷事件只要電位轉態即發生。 <01> 輸入模式上升緣 (0→1) 觸發。 <00> 輸入模式下降緣 (1→0) 觸發。
Bit3	ENPWMnO	PWM 輸出控制位元($0 \leq n \leq 1$) <1> 啟用。 <0> 關閉。
Bit2	PUn	外部引腳上拉電阻控制位元($0 \leq n \leq 3$) <1> 啟用。 <0> 關閉。
Bit1	TCn	控制位元($0 \leq n \leq 3$) <1> 為輸出模式。 <0> 為輸入模式。
Bit0	PTnIO	外部引腳狀態位元($0 \leq n \leq 3$) <1> 高電位。 <0> 低電位。

UG-HY14E10-V05_TC
page28

7.1. 暫存器說明-TMA

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
23H	INTE0	GIE	ADCIE	TMBIE	TMAIE	LVD_BE	LVDE	E1IE		000. 0000	*,*,*,*,*,*,*
26H	INTF0	-			TMAIF					000. 0000	w0
56H	TMACN	ENTMA	TMACL	TMAS	TMA[2:0]	-	-	-		0000 \$000	*,*,*,* rw1,*,*,*
57H	TMAR	TMAR[7:0]								0000 0000	r,r,r,r,r,r,r,r

表 7-1 TMA 控制暫存器

INTE0/INTF0：詳見 中斷,Interrupt 章節

TMACN：計數器 A 控制暫存器

位元	名稱	描述
Bit7	ENTMA	Timer-A 啟用控制器 <1>啟用 <0>關閉；計數器歸零
Bit6	TMACL	TMA 計數器歸零 <1>TMA 計數器歸零，當寫 1 則清除 TMAR[7:0]及 Pre-counter，自動恢復為 0。 <0>TMA 計數。
Bit5	TMAS	TMA 工作頻率選擇器 <1>TMA clock=LS <0>TMA clock=HS(default)
Bit4-2	DTMA[2:0]	選擇 Timer A 的 Pre-Counter，同時也是 Timer A 的中斷頻率 <111> TMAR clock = TMA clock/65536 <110> TMAR clock = TMA clock/32768 <101> TMAR clock = TMA clock/16384 <100> TMAR clock = TMA clock/8192 <011> TMAR clock = TMA clock/4096 <010> TMAR clock = TMA clock/2048 <001> TMAR clock = TMA clock/1024 <000> TMAR clock = TMA clock/512

TMAR：TMA 的遞增型計數器，可讀取不可寫入。

8. 16-bit 計數器 B,TMB (16-bit TimerB)

計數器 B (以下簡稱 TMB)，TMB 具有兩個 PWM 輸出，分別為 PWMA0/1。而每個 TMB 具有四種操作模式，每個模式的計數器皆具有特殊功能設計，以滿足不同的應用方式。

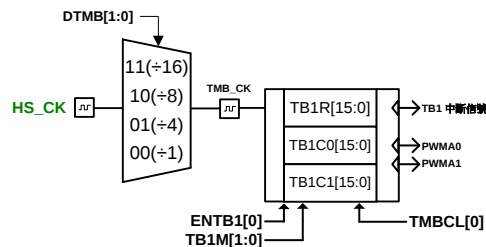


圖 8-1 計數器架構圖

◆ TMB 的計數暫存器分別為

遞增/遞減式計數器 TB1R[15:0]

溢位事件條件控制器 TB1C0[15:0]

PWMA 條件控制器 TB1C1[15:0]

啟用控制器 ENTB1[0]

模式控制器 TB1M[1:0]

歸零控制器 TB1CL[0]

工作頻率預除頻器 DTMB[1:0]

◆ TMB 四種操作模式

16-bit 計數、16bitPWM

16 bit pulse generator mode

兩組 8-bit PWM mode.

8+8bit PWM mode

◆ TMB 的系統功耗操作

運行模式

待機模式

休眠模式

◆ TB1R[15:0]歸零重新計數條件

讀取 TMB 相關暫存器，不會使得 TB1R[15:0]歸零重新計數

寫入 TB1R[15:0](唯讀)、TB1C0[15:0]與 TB1C1[15:0]不會使得 TB1R[15:0]歸零重新計數

寫入 TB1CN0 與 TB1CN1 控制暫存器不會使得 TB1R[15:0]歸零重新計數。

TB1R[15:0]採累進計數至大於 TB1C0[15:0]將使得 TB1R[15:0]歸零重新計數。

使用者將 TB1CL[0]設置<1>清除 TB1R[15:0]計數器後，TB1CL[0]自動置<0>。

8.1. TMB 四種操作模式

8.1.1. 16-bit 計數器

將計數模式選擇器 TB1M[1:0]設置<00>使得 TMB 操作在 16-bit 計數模式下，在此模式下具有以下特性：

- ◆ TB1R[15:0]累進計數至等於 TB1C0[15:0]時，產生溢位事件 TMBIF[0]並將 TB1R[15:0]歸零重新計數。
- ◆ TB1R[15:0]累進計數至等於 TB1C1[15:0]時，PWM 輸出轉態。當 TB1R[15:0]累進計數繼續計數至 TB1C0[15:0]時 PWM 輸出再次轉態。

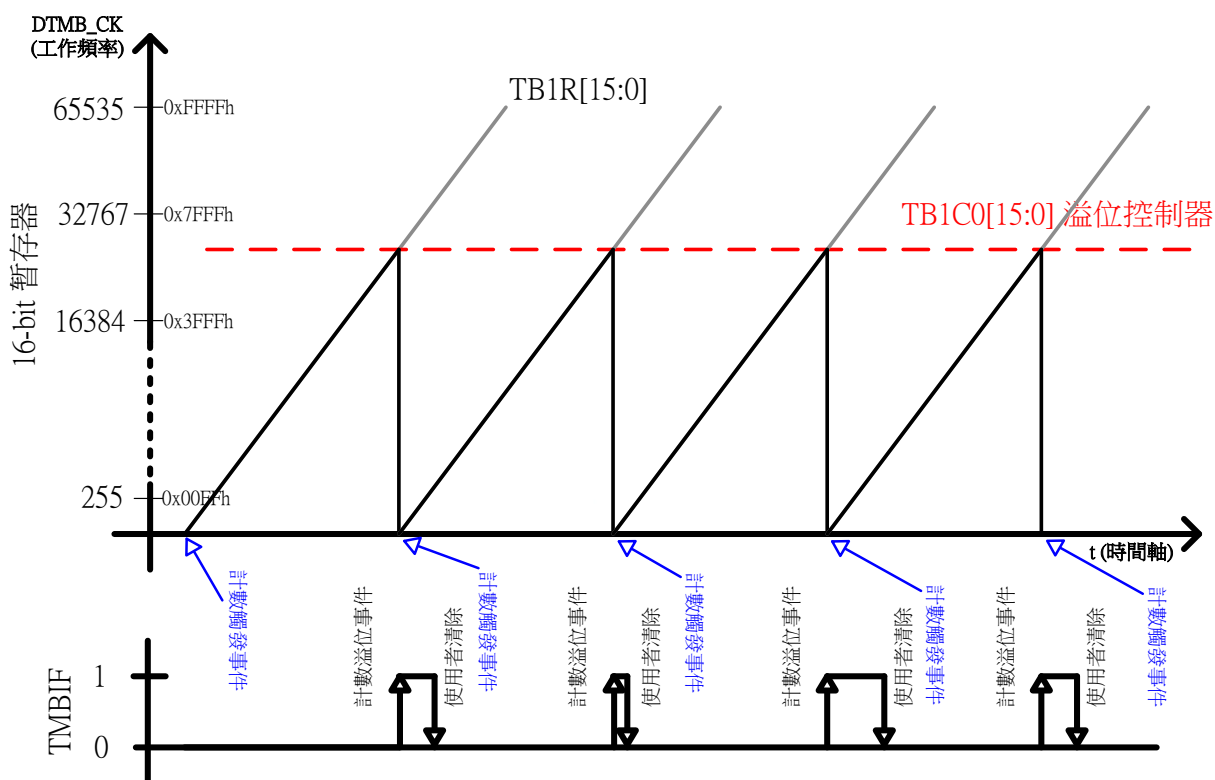


圖 8-2 16-bit 計數器波形與使用示意圖

◆ 16-bit 計數模式操作說明

■ 初始化

- TMB 的工作頻率源固定為 HAO，可設置 DTMB[1:0]以決定 TMB 工作頻率。
- TB1M[1:0]設置<00>，將 TMB1 規劃為 16-bit 模式。
- 寫入計數值至 TB1C0[15:0] ($TB1C0H \times 256 + TB1C0L$)。

■ 觸發計數信號為總是啟用狀態 (Always Enable)，即循環計數。

■ 將 ENTBM[0]設置<1>以啟用計數器

- 當 TB1R[15:0]計數數值至等於 TB1C0[15:0]時，產生溢位事件使得 TMBIF[0]置<1>並歸零重新遞增計數，此時 GIE[0]、TMBIE[0]均設置<1>則會產生中斷事件服務。
- 計數過程，使用者可利用計數歸零控制器 TMBCL[0]設置<1>以重新計數，且 TMBCL[0]自動置<0>。

■ 將 ENTMB[0]設置<0>以關閉計數器。



16bit PWM輸出操作說明

■ 初始化（PWM 頻率與工作週期設置）

- TMB 的工作頻率源固定為 HAO，可設置 DTMB[1:0]以決定 TMB 工作頻率。
- TB1M[1:0]設置<00>，將 TMB 規劃為 16-bit 模式。
- 觸發計數信號為總是啟用狀態（Always Enable），即循環計數。
- 寫入數據至 TB1C0[15:0] (TB1C0H*256+TB1C0L)，以決定 PWM 之頻率。
- 寫入數據至 TB1C1[15:0] (TB1C1H*256+TB1C1L)，以決定 PWM 之工作週期(Duty Cycle)。
- 將 ENTMB[0]設置<1>啟用計數器。

■ 產生 PWM0 波形

- 當 TB1R[7:0]計數數值至等於 TB1C1[15:0]時，使得 PWM0 狀態由 0→1。
- 當 TB1R[7:0]再計數數值至等於 TB1C0[15:0]時，使得 PWM0 狀態由 1→0；並產生溢位事件使得 TMBIF[0]置<1>並歸零重新遞增計數，此時 GIE[0]、TMBIE[0]均設置<1>則會產生中斷事件服務。
- 設置將輸出 PWM 波形之引腳為輸出狀態，且 ENPWM0 設置<1>以啟用輸出為 PWM 功能，並確認引腳相關設置是否正確。

■ 將 ENTMB[0]設置<0>則關閉計數器與 PWM 輸出。

■ PWM0 頻率與工作週期計算公式：

$$\text{PWM0 Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0}[15:0] + 1}$$

$$\text{PWM0 Duty Cycle} = \frac{(\text{TB1C0}[15:0] + 1) - \text{TB1C1}[15:0]}{\text{TB1C0}[15:0] + 1}$$

8.1.2. 16 bit 脈波產生模式

將計數模式選擇器 TB1M[1:0]設置<01>使得 TMB 操作在 16-bit 脈波產生模式下，其產生脈波數量為 (TB1C1H*256+TB1C1L)。

脈波產生結束後，TMB 會自動關閉。如欲脈波產生結束後發出中斷，請將(TB1C0H*256+TB1C0L)設置與(TB1C1H*256+TB1C1L)相同。



圖 8-3 16 bit 脈波產生波形與使用示意圖

8.1.3. 兩組 8-bit PWM 模式

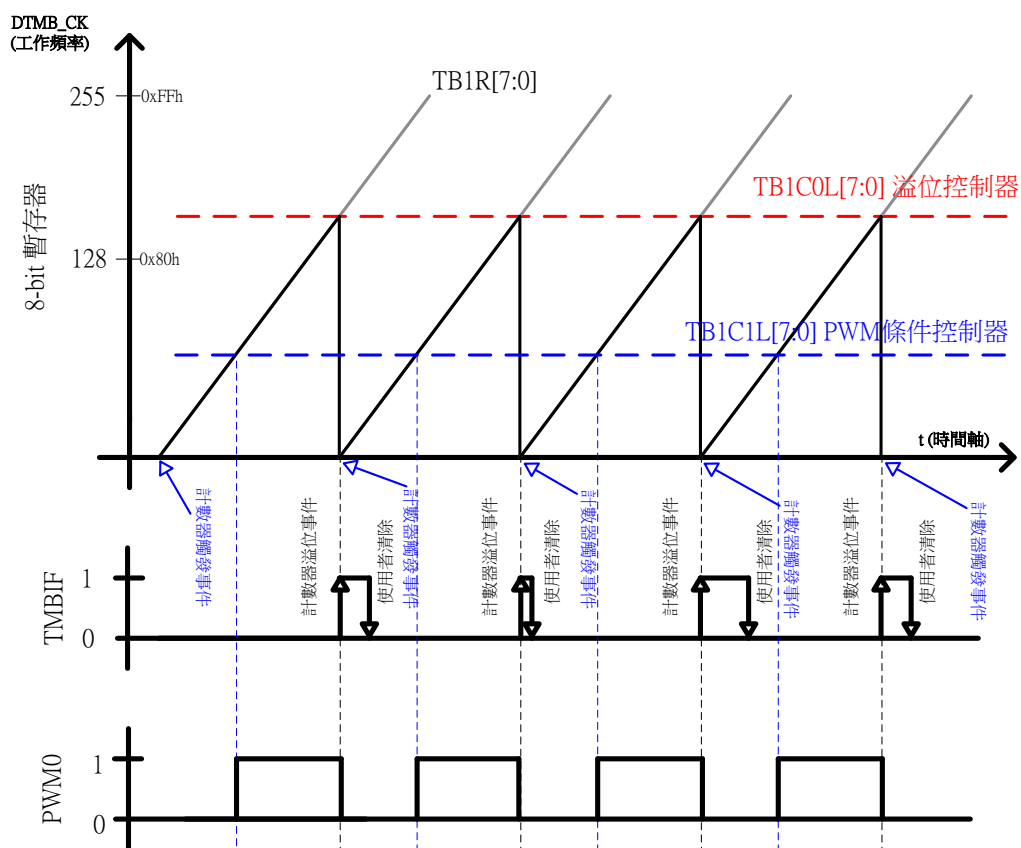
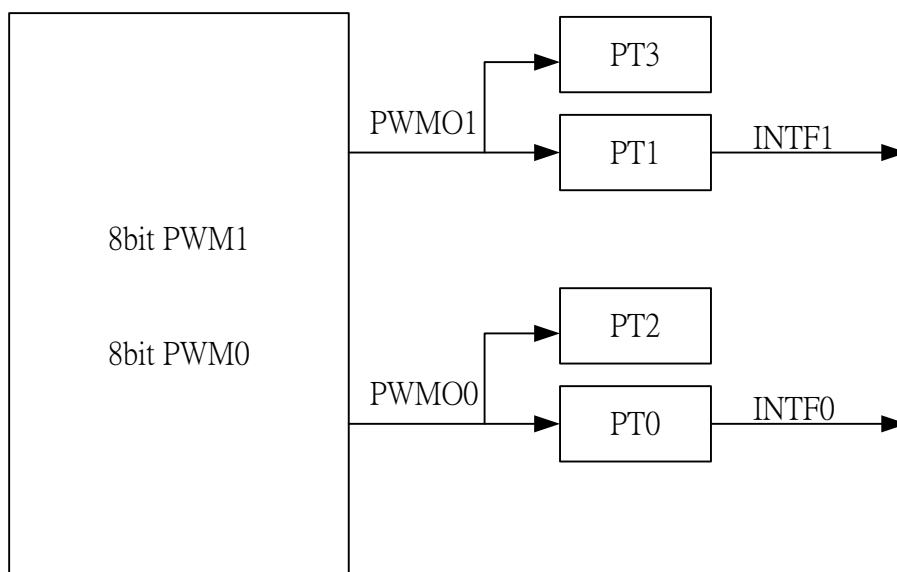


圖 8-4 PWM1 波形與使用示意圖

◆ PWM0 輸出操作說明

■ 初始化（PWM 頻率與工作週期設置）

- TMB 的工作頻率源固定為 HAO，可設置 DTMB[1:0]以決定 TMB 工作頻率。
- TB1M[1:0]設置<10>，將 TMB1 規劃為兩組 8-bit 計數器。

- 觸發計數信號為總是啟用狀態（Always Enable），即循環計數。
- 寫入數據至 TB1C0L[7:0]，以決定 PWM 之頻率。
- 寫入數據至 TB1C1L[7:0]，以決定 PWM 之工作週期(Duty Cycle)。
- 將 ENTMB[0]設置<1>啟用計數器。

■ 產生 PWM0 波形

- 當 TB1R[7:0]計數數值至等於 TB1C1L[7:0]時，使得 PWM0 狀態由 0→1。
- 當 TB1R[7:0]再計數數值至等於 TB1C0L[7:0]時，使得 PWM0 狀態由 1→0；並產生溢位事件使得 TMBIF[0]置<1>並歸零重新遞增計數，此時 GIE[0]、TMBIE[0]均設置<1>則會產生中斷事件服務。
- 設置將輸出 PWM 波形之引腳為輸出狀態，且 ENPWM0/1[0]設置<1>以啟用輸出為 PWM 功能，並確認引腳相關設置是否正確。

- 將 ENTMB[0]設置<0>則關閉計數器與 PWM 輸出。

- PWM0 頻率與工作週期計算公式：

$$\text{PWM0 Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0L}[7:0] + 1}$$

$$\text{PWM0 Duty Cycle} = \frac{(\text{TB1C0L}[7:0] + 1) - \text{TB1C1L}[7:0]}{\text{TB1C0L}[7:0] + 1}$$

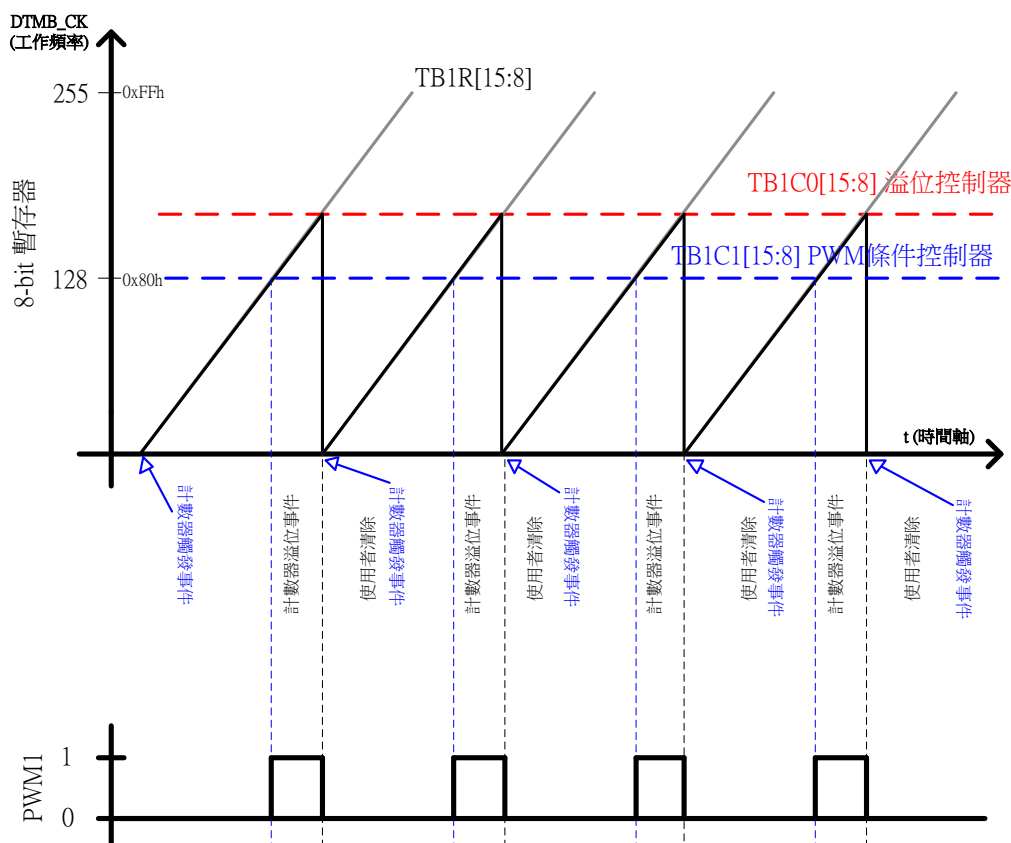


圖 8-5 PWM1 波形與使用示意圖

◆ PWM1 輸出操作說明

■ 初始化（PWM 頻率與工作週期設置）

- TMB 的工作頻率源固定為 HAO，可設置 DTMB[1:0]以決定 TMB 工作頻率。
- TB1M[1:0]設置<10>，將 TMB1 規劃為兩組 8-bit 計數器。
- 觸發計數信號為總是啟用狀態（Always Enable），即循環計數。
- 寫入數據至 TB1C0H[7:0]，以決定 PWM 之頻率。
- 寫入數據至 TB1C1H[7:0]，以決定 PWM 之工作週期(Duty Cycle)。
- 將 ENTMB[0]設置<1>啟用計數器。

■ 產生 PWM1 波形

- 當 TB1R[15:8]計數數值至等於 TB1C1H[15:8]時，使得 PWM0 狀態由 0→1。
- 當 TB1R[15:8]再計數數值至等於 TB1C0H[15:8]時，使得 PWM0 狀態由 1→0；並產生溢位事件使得 TMBIF[0]置<1>並歸零重新遞增計數。
- 設置將輸出 PWM 波形之引腳為輸出狀態，且 ENPWM0/1[0]設置<1>以啟用輸出為 PWM 功能，並確認引腳相關設置是否正確。

■ 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。

■ PWM1 頻率與工作週期計算公式：

$$\text{PWM1 Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0H}[15:8] + 1}$$

$$\text{PWM1 Duty Cycle} = \frac{(\text{TB1C0H}[15:8] + 1) - \text{TB1C1H}[15:8]}{\text{TB1C0H}[15:8] + 1}$$

8.1.4. 8+8-bit PWM

將 TMB 計數器設置在 8+8-bit 模式且 PWM 輸出波形選擇 8+8-BIT PWM，則可得到 8+8bit PWM 輸出。

8+8-bit PWM 由 TB1R[7:0]、TB1C0L[7:0]、TB1C1L[7:0]與 TB1C1H[15:8]等控制暫存器以及內部數位電路組成。其中 TB1R[7:0]為累進計數器、TB1C0L[7:0]為 PWM 頻率控制器、TB1C1L[7:0]為 PWM 工作週期控制器、TB1C1H[15:8]為 8+8-bit PWM 工作週期微調器。

8+8-bit PWM 工作週期微調器 TB1C1H[15:8]設置與說明，如 所示。

加權量	TB1C1H[15:8]							
	80h	40h	20h	10h	08h	04h	02h	01h
PWM 工作週期(duty cycle)微調	1/2	1/4	1/8	1/16	1/32	1/64	1/128	1/256
說明	2 次 TMB 溢位，一次 N+1 1 次 N	4 次 TMB 溢位，一次 N+1 3 次 N	8 次 TMB 溢位，一次 N+1 7 次 N	16 次 TMB 溢位，一次 N+1 15 次 N	32 次 TMB 溢位，一次 N+1 31 次 N	64 次 TMB 溢位，一次 N+1 63 次 N	128 次 TMB 溢位，一次 N+1 127 次 N	256 次 TMB 溢位，一次 N+1 255 次 N

表 8-1 工作週期微調器設置表

◆ 工作週期微調器 TB1C2[7:0]說明，其中 N 為工作週期的寬度（註：N=TB1C1L[7:0]）

■ 基本型

- TB1C1H[15:8]設置 80h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 2 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 1 個則為 N。
- TB1C1H[15:8]設置 40h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 4 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 3 個則為 N。
- TB1C1H[15:8]設置 20h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 8 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 7 個則為 N。
- TB1C1H[15:8]設置 10h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 16 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 15 個則為 N。
- TB1C1H[15:8]設置 08h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 32 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 31 個則為 N。
- TB1C1H[15:8]設置 04h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 64 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 63 個則為 N。
- TB1C1H[15:8]設置 02h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 128 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 127 個則為 N。
- TB1C1H[15:8]設置 01h，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 256 個輸出週期為一組的波形，其中 1 個輸出 N+1 另 255 個則為 N。

■ 邏輯運算 OR 疊合型

(僅以 $1/2+1/4, 1/2+1/8, \sim, 1/2+1/4+1/8+1/16+1/32+1/64+1/128, 1/2+1/4+1/8+1/16+1/32+1/64+1/256$ 說明與表示)

- TB1C1H[15:8]設置 C0h($1/2+1/4$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 4 個輸出週期為一組的波形，其中會有 3 個輸出 N+1 另 1 個則為 N。
- TB1C1H[15:8]設置 A0h($1/2+1/8$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 8 個輸出週期為一組的波形，其中會有 5 個輸出 N+1 另 3 個則為 N。
- TB1C1H[15:8]設置 90h($1/2+1/16$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 16 個輸出週期為一組的波形，其中會有 9 個輸出 N+1 另 7 個則為 N。
- TB1C1H[15:8]設置 88h($1/2+1/32$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 32 個輸出週期為一組的波形，其中會有 17 個輸出 N+1 另 15 個則為 N。
- TB1C1H[15:8]設置 84h($1/2+1/64$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 64 個輸出週期為一組的波形，其中會有 33 個輸出 N+1 另 31 個則為 N。
- TB1C1H[15:8]設置 82h($1/2+1/128$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 128 個輸出週期為一組的波形，其中會有 65 個輸出 N+1 另 63 個則為 N。
- TB1C1H[15:8]設置 81h($1/2+1/256$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 256 個輸出週期為一組的波形，其中會有 129 個輸出 N+1 另 127 個則為 N。
- TB1C1H[15:8]設置 E0h($1/2+1/4+1/8$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 8 個輸出週期為一組的波形，其中會有 7 個輸出 N+1 另 1 個則為 N。
- TB1C1H[15:8]設置 F0h($1/2+1/4+1/8+1/16$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 16 個輸出週期為一組的波形，其中會有 15 個輸出 N+1 另 1 個則為 N。
- TB1C1H[15:8]設置 F8h($1/2+1/4+1/8+1/16+1/32$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 32 個輸出週期為一組的波形，其中會有 31 個輸出 N+1 另 1 個則為 N。
- TB1C1H[15:8]設置 FCh($1/2+1/4+1/8+1/16+1/32+1/64$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 64 個輸出週期為一組的波形，其中會有 63 個輸出 N+1 另 1 個則為 N。
- TB1C1H[15:8]設置 FEh($1/2+1/4+1/8+1/16+1/32+1/64+1/128$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 128 個輸出週期為一組的波形，其中會有 127 個輸出 N+1 另 1 個則為 N。
- TB1C1H[15:8]設置 FFh($1/2+1/4+1/8+1/16+1/32+1/64+1/128+1/256$)，使得 PWM 工作週期的波形發生 N+1 與 N 輸出。即是產生以 256 個輸出週期為一組的波形，其中會有 255 個輸出 N+1 另 1 個則為 N。

◆ 下表 8-2、圖 8-6 與部分列出 TB1C1H[15:8]在不同設置下，8+8-bit PWM 波形變化以供使用者參考。

8+8bit PWM			TBN 溢位次數																		
型 態	TBC2 [7:0]	邏輯 運算	0	1	2	3	4	5	6	7	8	9	10	~	1 2 7	1 2 8	~	2 5 2	2 5 3	2 5 4	2 5 5
基 本 波 形	80h	1/2	N	N+1	N	N+1	N	N+1	N	N+1	N	N+1	N	~	N+1	N	~	N	N+1	N	N+1
	40h	1/4	N	N	N+1	N	N	N	N+1	N	N	N	N+1	~	N	N	~	N	N	N+1	N
	20h	1/8	N	N	N	N	N+1	N	N	N	N	N	N	~	N	N	~	N+1	N	N	N
	10h	1/16	N	N	N	N	N	N	N	N	N+1	N	N	~	N	N	~	N	N	N	N
	08h	1/32	N	N	N	N	N	N	N	N	N	N	N	~	N	N	~	N	N	N	N
	04h	1/64	N	N	N	N	N	N	N	N	N	N	N	~	N	N	~	N	N	N	N
	02h	1/128	N	N	N	N	N	N	N	N	N	N	N	~	N	N	~	N	N	N	N
	01h	1/256	N	N	N	N	N	N	N	N	N	N	N	~	N	N+1	~	N	N	N	N
邏 輯 運 算 疊 何 形	C0h	3/4	N	N+1	N+1	N+1	N	N+1	N+1	N+1	N	N+1	N+1	~	N+1	N	~	N	N+1	N+1	N+1
	A0h	5/8	N	N+1	N	N+1	N+1	N+1	N	N+1	N	N+1	N	~	N+1	N	~	N+1	N+1	N	N+1
	E0h	7/8	N	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N	N+1	N	~	N+1	N	~	N+1	N+1	N+1	N+1
	F0h	15/16	N	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N	~	N+1	N	~	N+1	N+1	N+1	N+1
	A1h	161/256	N	N+1	N	N+1	N+1	N+1	N	N+1	N	N+1	N	~	N+1	N+1	~	N+1	N+1	N	N+1
	F1h	241/256	N	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N	~	N+1	N+1	~	N+1	N+1	N+1	N+1
	FFh	255/256	N	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	N+1	~	N+1	N+1	~	N+1	N+1	N+1

表 8 -2 8+8-bit PWM 輸出波形示意表

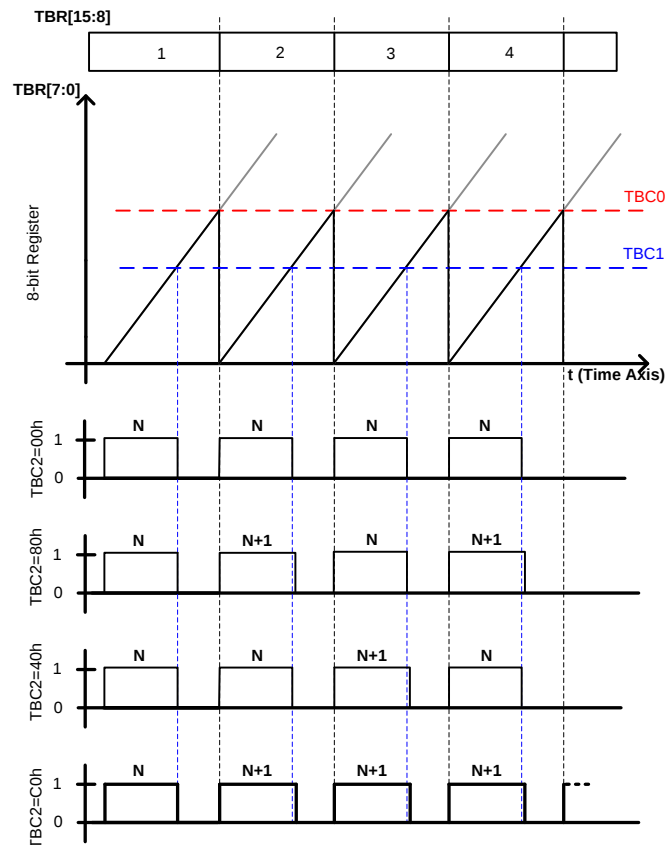


圖 8-6 8+8-bit PWM 輸出波形示意圖

◆ 8+8-bit PWM 輸出操作說明

■ 初始化（PWM 頻率與工作週期設置）

- TMB 的工作頻率源固定為 HAO，可設置 DTMB[1:0]以決定 TMB 工作頻率。
- TB1M[1:0]設置<11>，將 TMB1 規劃為 8+8-bit 計數器。
- 觸發計數信號為總是啟用狀態（Always Enable），即循環計數。
- 寫入數據至 TB1C0L[7:0]，以決定 PWM 之頻率。
- 寫入數據至 TB1C1L[7:0]，以決定 PWM 之工作週期(Duty Cycle)。
- 寫入數據至 TB1C1H[15:8]，以決定 PWM 之工作週期(Duty Cycle)微調方式。
- 將 ENTMB[0]設置<1>啟用計數器。

■ 產生 8+8-BIT PWM 波形

- 當 TB1R[7:0]計數數值至等於 TB1C0L[7:0]時，使得 8+8-BIT PWM 狀態由 0→1。
- 當 TB1R[7:0]再計數數值至等於 TB1C1L[7:0]時，使得 8+8-BIT PWM 狀態由 1→0；
 - ✓ 並產生溢位事件使得 TMBIF[0]置<1>並歸零重新遞增計數，此時 GIE[0]、TMBIE[0]均設置<1>則會產生中斷事件服務
 - ✓ 此時，TB1C1H[7:0]所設置的數據，將使調整 8+8-BIT PWM 輸出為 N+1 與 N。如表 8-1 所描述，其中 N=TB1C1L[7:0]
- 設置將輸出 PWM 波形之引腳為輸出狀態，且 ENPWM0/1[0]設置<1>以啟用輸出為 PWM 功能，並確認引腳相關設置是否正確。

- 將 ENTB1[0]設置<0>則關閉計數器與 PWM 輸出。
- 8+8-BIT PWM 頻率與工作週期計算公式：

$$\text{PWM Frequency} = \frac{\text{DTMB_CK}}{\text{TB1C0L}[7:0] + 1}$$

$$\text{PWM Duty Cycle} = \frac{(\text{TB1C1L}[7:0] + 1) + \frac{\text{TB1C1H}[15:8]}{256}}{\text{TB1C0L}[7:0] + 1}$$

8.2. TMB1 控制暫存器列表與說明：

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
58H	TB1CN0	ENTMB	TB1M[1:0]		DTMB[1:0]		-	-	TMBCL	0000 0000	***** 1 1 1 1 1 1
59H	TB1C0L	TimerB1 counter Condition Register0 [7:0]								XXXX XXXX	***** 1 1 1 1 1 1
5AH	TB1C0H	TimerB1 counter Condition Register0 [15:8]								XXXX XXXX	***** 1 1 1 1 1 1
5BH	TB1C1L	TimerB1 counter Condition Register1 [7:0]								XXXX XXXX	***** 1 1 1 1 1 1
5CH	TB1C1H	TimerB1 counter Condition Register1 [15:8]								XXXX XXXX	***** 1 1 1 1 1 1

表 8-3 TMB1/2/3 相關暫存器

INTE0/INTF0：詳見 中斷,Interrupt 章節

TB1CN0：Timer-B 控制暫存器

位元	名稱	描述
Bit7	ENTMB	Timer-B 啟用控制器 <1>啟用 <0>關閉；計數器歸零
Bit6~5	TB1M[1:0]	選擇 TMB 的操作模式 <00>16bit counter mode. $TMB_CLK/(TBC0H*256+TBC0L)$ 發生週期性的中斷 <01>16bit pulse generator mode. 產生 Pulse 數量為 $(TB1C1H*256+TB1C1L)$ <10>dual 8-bit PWM mode. PWMO0 Duty 為 $TB1C1L/TB1C0L$ PWMO1 Duty 為 $TB1C1H/TB1C0H$ <11>8+8bit PWM mode. 輸出 Duty 為 $TB1C1L/TB1C0L+TB1C1H/256$ 。
Bit4~3	DTMB	DTMB_CK 的頻率分配選擇 <00>TMB clock=HS(default) <01>TMB clock=HS/4 <10>TMB clock=HS/8 <11>TMB clock=HS/16
Bit0	TMBCL	TMB 計數器歸零 <1>計數器歸零，當寫 1 責清除 TMBR 及 Pre-counter，自動恢復為 0 <0>TMB 計數

TB1C0RH：TMB1 計數條件暫存器 TB1C0[15:8]

TB1C0RL：TMB1 計數條件暫存器 TB1C0 [7:0]

TB1C1RH：TMB1 計數條件暫存器 TB1C1[15:8]

TB1C1RL：TMB1 計數條件暫存器 TB1C1 [7:0]

9. 電源系統, Power System

電源系統 PWR 具備一個線性穩壓電源 VDDA 以及類比電路共地電源 ACM，其提供晶片類比週邊電路使用並可適當的用來驅動外部電路。

◆ VDDA 線性穩壓電源

4 段電壓調整設計，電壓有 1.8V, 2.3V, 3V 與 3.95V

低溫飄係數

◆ SDR 線性穩壓電源

4 段電壓調整設計，電壓有 1.65V, 2.2V, 2.8V 與 3.8V

低溫飄係數

◆ ACM 內部類比電路共地電源

輸出電壓 0.9V、1.2V、1.4V、2.4V

低溫飄係數

PWR 暫存器摘要：

PWRCN0 ENBGR, ENSDR, ENLDO, ENLVD

PWRCN1 SDRV[1:0], LDOV[1:0]

ADCCN0 SACM[1:0]

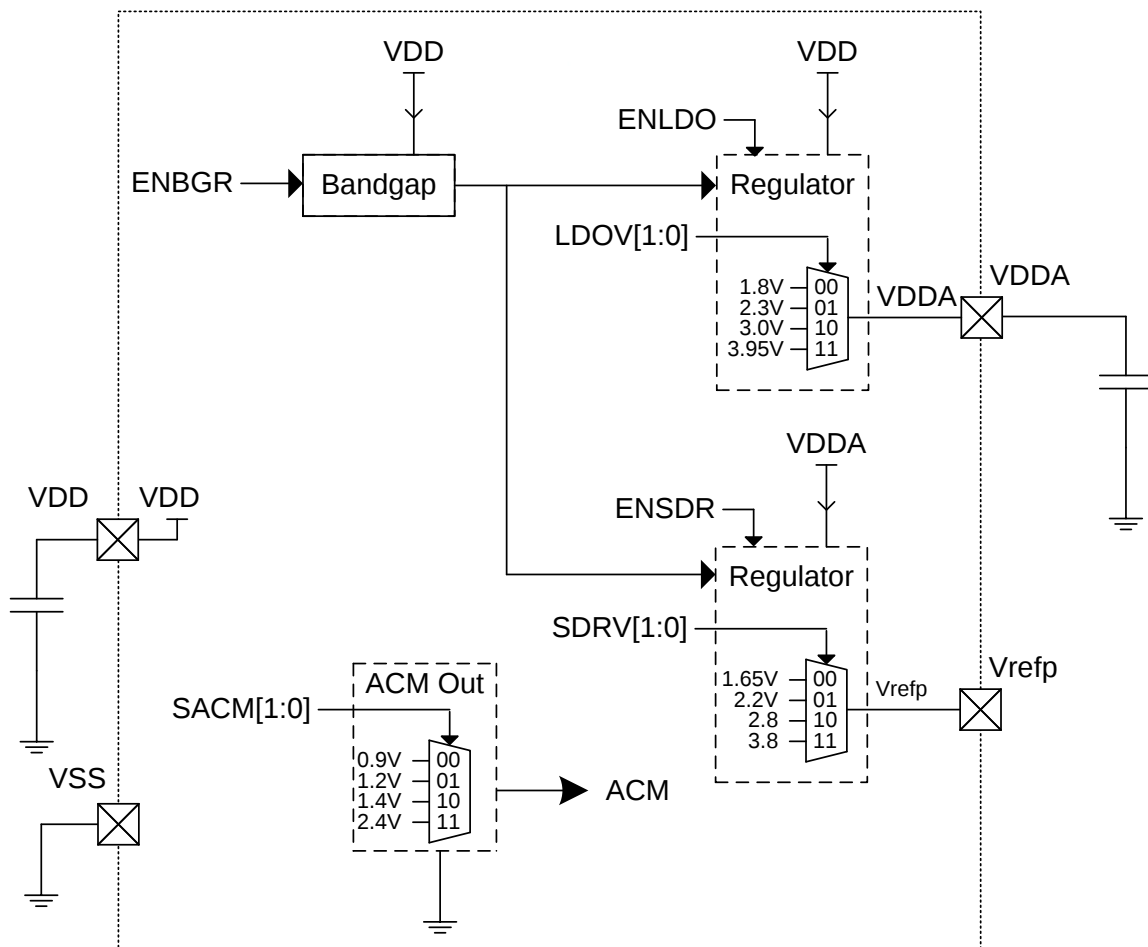


圖 9-1 Power System 方塊圖

9.1. Bandgap 使用說明

9.1.1. Bandgap 初始化設置：

Bandgap 除了 HS/LS OSC 以外，所有類比元件都需要開啓它，IDLE/SLP 模式必須關閉。

9.2. VDDA 使用說明

9.2.1. VDDA 初始化設置：

穩壓選擇器 LDOV[1:0]可設置 VDDA 引腳輸出的電壓有 1.8V、2.3V、3V 與 3.95V。由於 VDDA 為一線性穩壓電源，使用時必須注意 VDD 工作電壓的電壓值是否低於 VDDA 輸出電壓的設定值以及 Bandgap 是否開啓以免造成不可預期的電路誤動作。

9.2.2. VDDA 使用外部偏壓：

VDDA 可採用外部輸入電壓設計，當使用者欲自行提供電壓源則必須由 VDDA 引腳外灌電壓方式輸入。採用此方式時必須關閉 VDDA，即 ENLDO 設置 0。必須注意，此使用方式可能會影響類比電路的效能故需謹慎。

9.2.3. VDDA 啓用

ENLDO 設置<1>則會啓用 VDDA 穩壓器。啓動 VDDA 穩壓器須避免 SD18 處於啓用狀態，而且需要等到 VDDA 電壓穩定後才可以啓用 SD18。當外接 1uF(10uF) 穩壓電容時約需要 500uS(5mS)的穩定時間。

9.3. SDR 使用說明

9.3.1. SDR 初始化設置：

SDR(Sensor Driver)的使用時必須注意 VDDA 工作電壓的電壓值是否低於 SDR 輸出電壓的設定值以及 Bandgap 是否開啓以免造成不可預期的電路誤動作。

SDR(Sensor Driver)電壓選擇器 SDRV[1:0]可設置 Vrefp 引腳輸出的電壓有 1.65V、2.2V、2.8V 與 3.8V。

9.4. ACM 使用說明

9.4.1. ACM 初始化設置：

使用內部類比電路共地電源 ACM 時，必須先啓用 VDDA。ACM 內部產生的輸出電壓為 0.9V、1.2V、1.4V、2.4V。

9.5. LVD 使用說明

9.5.1. LVD 初始化設置：

ENLVD 設置設置<1>則會啓用 LVD 功能。LVD 電壓選擇器 LVDV[1:0]可設置 LVD 比較點 1.7V、2.3V、2.95V、3.95V。

當 VDD 大於 LVD 所設定電壓，LVDO 會自動為<1>，欲產生中斷則需將 LVD_BE 置<1>並配合 GIE 的開啓即可產生中斷。

當 VDD 低於 LVD 所設定電壓，LVDO 會自動為<0>，欲產生中斷則需將 LVDE 置<1>並配合 GIE 的開啓即可產生中斷。

9.6. 暫存器說明-PWR

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
33H	PWRCN0	ENBGR	ENTPS	ENSDR	INIS	TPSLCN	ENLDO	ENLVD	ENADC	000. 0000	***** 1 1 1 1 1 1
34H	PWRCN1	ADHV	SDRV[1:0]		LVDV[1:0]		LDOV[1:0]		LVDO	000. 0000	***** 1 1 1 1 1 1
35H	ADCCN0	OSR[2:0]			FRb	ADG[1:0]		SACM[1:0]		000. 0000	***** 1 1 1 1 1 1

表 9-1 PWR 暫存器

PWRCN0：電源系統控制暫存器 0

位元	名稱	描述
Bit7	ENBGR	Bandgap 啟用控制 <1> 啟用 <0> 關閉
Bit6	ENTPS	內部 TPS 啟用控制 <1> 啟用，需設置相對的 ADC 網路 <0> 關閉
Bit5	ENSDR	SDR 啟用控制 <1> 啟用 <0> 關閉
Bit4	INIS	ADC ADINP 與 ADINN 短路控制 <1> ADINP 與 ADINN 短路 <0> 正常
Bit3	TPSLCN	TPS 輸出電壓反向控制 <1> 反向 <0> 正常
Bit2	ENLDO	LDO(VDDA) 啟用控制 <1> 啟用 <0> 關閉
Bit1	ENLVD	VDD 低電壓偵測啟用控制 <1> 啟用 <0> 關閉
Bit0	ENADC	ADC 啟用控制 <1> 啟用 <0> 關閉

PWRCN1：電源系統控制暫存器 1

位元	名稱	描述
Bit7	ADHV	當應用上 VDDA=VDD 且大於 3.6V 時，需設定此 bit，如果使用 ENLDO 則沒有此問題。

位元	名稱	描述
Bit6~5	SDRV[1:0]	Sensor Driver 電壓選擇控制
		SDRV[1:0] Vrefp Output Voltage
		00 1.65V
		01 2.2V
		10 2.8V
		11 3.8V
Bit4~3	LVDV[1:0]	LVD(Low Voltage Detection) 電壓選擇控制
		LVDV[1:0] LVD Monitor Voltage
		00 1.7V
		01 2.3V
		10 2.95V
		11 3.95V
Bit2~1	LDOV[1:0]	LDO (Low Dropout Regulator) 電壓選擇控制
		LDOV[1:0] VDDA Output Voltage
		00 1.8V
		01 2.3V
		10 3V
		11 3.95V
Bit0	LVDO	當 ENLVD 為<1> <1> VDD>LVD <0> VDD<LVD

10. 類比數位轉換器 SD18, $\Sigma\Delta$ ADC

SD18 為高解析度超取樣和差型類比數位轉換器(Over Sampling Sigma Delta Analog-to-Digital Converter)，具有 20 位元的輸出。其包含多功能的輸入多工器、輸入緩衝器(Input Buffer)與前置低雜訊放大器(PGA, Programmable Gain Amplifier)、 $\Sigma\Delta$ 調變器 ($\Sigma\Delta$ AD, Sigma Delta Modulator)、梳狀濾波器(Comb Filter)等 4 部分。

◆ 多功能的輸入多工器

可切換選擇多組不同的輸入通道,單一晶片可做多種量測

輸入通道可做短路, 消除 ADC 的零點偏移

內置溫度感測電路輸出電壓

◆ $\Sigma\Delta$ 調變器

可調整輸入電壓放大倍率，可選擇倍率為 1、2、4、8 倍

Note：目前 x1/x2/x4 放大倍率為 Reserved，建議使用 8 倍放大倍率。

可選擇參考電壓的倍率為 1 或 1/2

3 位元的直流輸入偏壓設定

◆ 梳狀濾波器

可調整 OSR(Over Sampling Ratio)= 128~16384

產生中斷事件

SD18 暫存器摘要：

ADCR0[23:0]	ADCRH[7:0], ADCRM[7:0], ADCRL[7:4],
ADCR1[23:0]	ADCRH[3:0], ADCRM[7:0], ADCRL[7:0],
PWRCN0	ENBGR, ENTPS, ENSDR, INIS, TPSL, ENLDO, ENLVD, ENADC
ADCCN0	OSR[2:0], VREGN[0], ADGN[1:0], SACM[1:0]
ADCCN1	INH[2:0], INL[2:0], VRI
ADCCN2	DCSET[2:0], TCR[1:0], ADRST

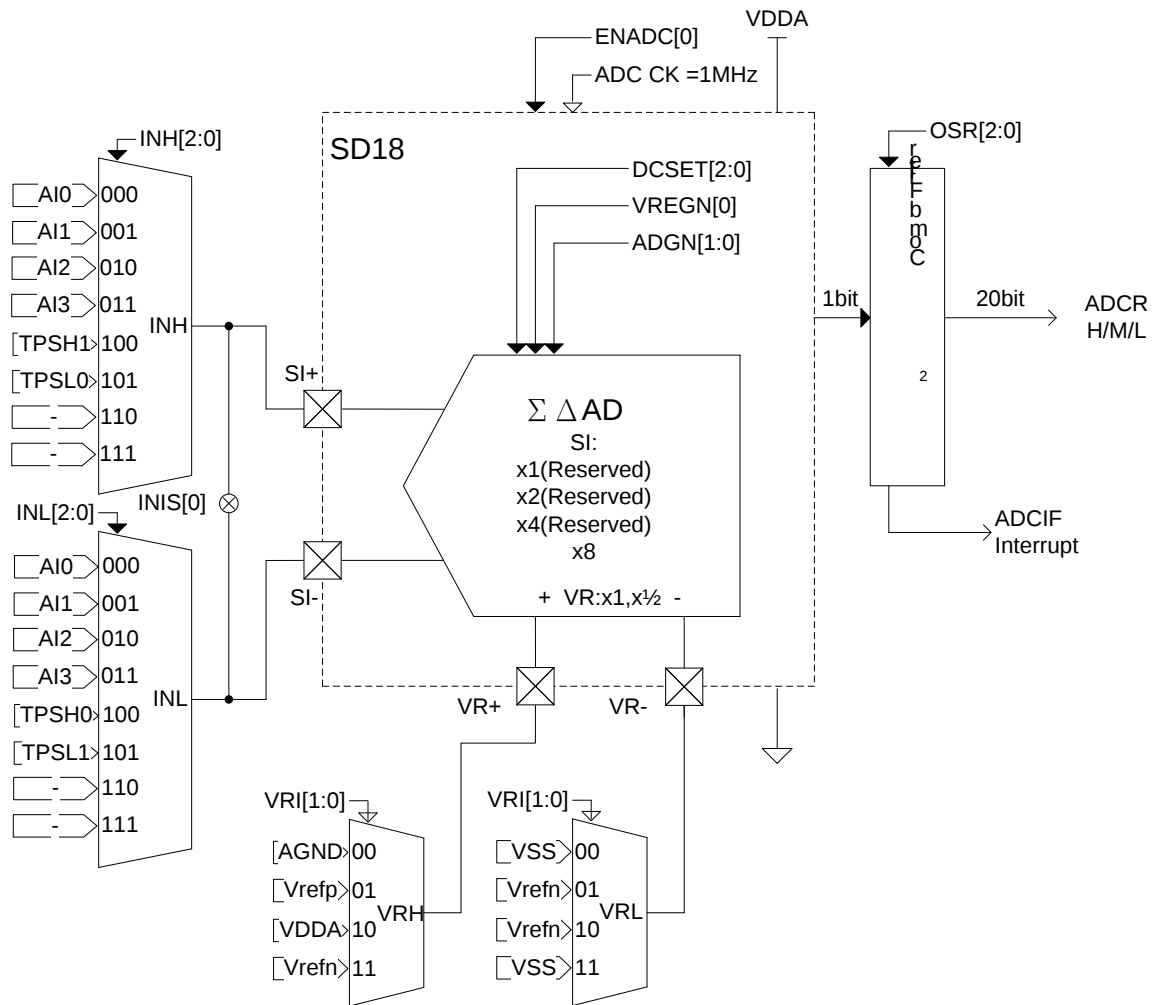


圖 10-1 SD18 方塊圖

10.1. SD18 使用說明

10.1.1. SD18 初始化設置

10.1.1.1. 工作頻率配置方式

SD18 的取樣頻率不論 HAO 選擇如何，皆會固定除頻至 1MHz。建議選用 4MHz SD18 可以得到較好的效果

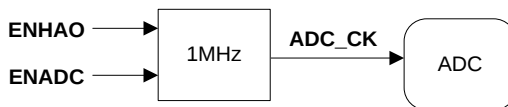


圖 10-2 SD18 工作頻率方塊圖

10.1.1.2. 多功能的輸入多工器配置方式

多工能的輸入多工器會產生兩組差動輸出訊號，分別為待測信號 **SI+**、**SI-**與參考電壓 **VR+**、**VR-**兩組。

- ◆ **SI±**輸入信號選擇器 INH[2:0]、INL[2:0]與 **SI±**輸入信號轉置器 INX[1:0]，可將外部輸入信號透過以下路徑分別傳送至 **SI+**或者 **SI-**端，如表 10-2(a)；
 - AI0~AI3 引腳經 INH 與 INL 通道
 - 參考電壓源 ACM
- ◆ **VR±**電壓信號選擇器 VRH[1:0]、VRL[1:0]則可決定 SD18 的參考電壓由以下路徑分別傳送至 **VR+**或者 **VR-**端，如 表 10-2(b)。
 - AI0~AI4 引腳經 VRH 與 VRL 通道
 - 參考電壓源 ACM
 - 工作電壓源 VSS
- ◆ **SI±**輸入信號短路器 INIS[0]設置<1>，可將 INH 與 INL 通道短路。反之，設置<0>則 INH 與 INL 通道不短路。

設置	INH[2:0],INL[2:0]							
待測信號	000	001	010	011	100	101	110	111
SI+	AI0	AI1	AI2	AI3	TPSH1	TPSL0	-	-
SI-	AI0	AI1	AI2	AI3	TPSH0	TPSL1	-	-

表 10-2 (a) SI±輸入選擇器

設置	ADRI[1:0]			
輸入	00	01	10	11
VR+	AGND	Vrefp	VDDA	Vrefn
VR-	VSS	Vrefn	Vrefn	VSS

表 10-2 (b) VR±輸入選擇器

10.1.1.3. $\Sigma\Delta$ 調變器配置方式

SD18 採用二階的 $\Sigma\Delta$ 調變器，其待測訊號及參考電壓都可經由已下設置進行倍率及偏壓調整。

- ◆ $\Delta VR_{\pm}$ 倍率調整器 VREGN[0]設置<1>時，會將參考電壓的信號進行 1/2 倍率的調整也因會改變輸入信號的 $\Delta SI_{\pm} = (SI_{+} - SI_{-})$ 與 $\Delta VR_{\pm} = (VR_{+} - VR_{-})$ 的比值；設置<0>則進行 1 倍調整。
- ◆ 輸入信號經倍率調整器 ADGN[2:0]的設置，最大可達 16 倍的信號放大倍率，如表 10-3(a)。
- ◆ 輸入信號 $SI_{\pm}$ 透過直流輸入偏壓調整器 DCSET[2:0]，可調整輸入信號零點位置以增加量測範圍。偏壓方式採加權參考信號 $VR_{\pm}$ 的倍率值，如 表 10-3(b)。
- ◆ 信號測量時，需注意外部輸入信號阻抗與 ADC 匹配問題。詳細說明請參見 10.2 類比通道輸入特性。

設置	ADGN[1:0]			
輸入	00	01	10	11
AD Gain	x1	x2	x4	x8

Note：目前 x1/x2/x4 放大倍率為 Reserved，建議使用 8 倍放大倍率。

表 10-3 (a)ADGN[2:0]放大倍率配置表

設置	DCSET[2:0]							
輸入	000	001	010	011	100	101	110	111
$SI_{\pm}$	+0	$1/8 * V_{ref}$	$2/8 * V_{ref}$	$3/8 * V_{ref}$	+0	$-1/8 * V_{ref}$	$-2/8 * V_{ref}$	$-3/8 * V_{ref}$

單位：VR $_{\pm}$

表 10-3 (b) $SI_{\pm}$ 輸入信號加權參考電壓倍率一覽表

$\Sigma\Delta$ 調變器經調變器本身的倍率偏壓調整後，其等效的待測訊號 ΔSI_I 與等效的參考電壓 ΔVR_I 的計算公式分別如下：

式 10-1

$$\Delta SI_I = PGAGN \times ADGN \times \Delta SI_{\pm} + (DCSET \times \Delta VR_{\pm})$$

式 10-2

$$\Delta VR_I = VREGN \times VR_{\pm}$$

必須注意，為了使 $\Sigma\Delta$ 調變器輸出得到較高的解析度及線性度，故等效的參考電壓 ΔVR_I 建議落在 $\Delta VR_I = 0.8V \sim 1.2V$ ，而等效的待測訊號 ΔSI_I 則操作在 $\Delta SI_I = \pm 0.9 \times \Delta VR_I$ 之間。

10.1.1.4. 梳狀濾波器 Comb Filter 設置方式

$\Sigma\Delta$ 調變器輸出 1-bit 資料至二階梳狀濾波器 Comb Filter，再由 Comb Filter 轉成 20-bit 的數值存放於 ADCR[19:0]暫存器。ADCR[19:0]資料的更新速率即為 SD18 的輸出速率，計算方式為 SD18 取樣頻率與 SD18 輸出速率頻率比值，SD18 輸出速率頻率又稱為 OSR (Over Sampling Ratio)。

所以 SD18 輸出速率為 $ADC_CK \div OSR$ ，而 OSR 數值可透過 OSR[2:0]設置以產生不同的 SD18 輸出轉換頻率，如表 10-3(c)。

設置 ADC_CK	OSR[2:0]							
	000	001	010	011	100	101	110	111
1M Hz	16384	8192	4096	2048	1024	512	256	128

表 10-3 (c) SD18 超取樣頻率配置簡表

ADCR[23:0]分別由 ADCRH[7:0]、ADCRM[7:0]及 ADCRL[7:0]組成，其用於存放 Comb Filter 輸出的 20-bit 資料。Comb Filter 的數據格式組成分如圖 11-4 所示。

+FSR/-FSR：正相與負相最大量測範圍

	等效待測訊號	ADCR[23:0]	
		十六進制	二進制
兩極性輸出 二補數格式	ΔVR_I	7FFFF	0111 1111-1111 1111-1111
	$\Delta VR_I \times \frac{1}{2^{19}}$	00001	0000-0000-0000-0000-0001
	0	00000	0000 0000-0000 0000-0000
	$-\Delta VR_I \times \frac{1}{2^{19}}$	80000	1000 0000-0000 0000-0000
	$-\Delta VR_I$	FFFFFF	1111 1111-1111 1111-1111

表 10-4 ADCR[19:0]與輸入信號關係表

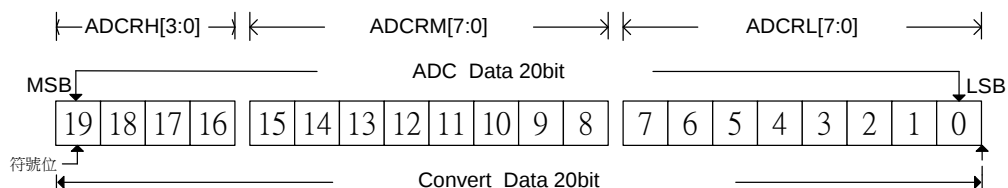


圖 10-3 ADCR[19:0]解析度示意圖

10.1.2. 中斷服務設置

每當 comb filter 數值轉換完畢存入 ADCR[19:0]暫存器後，會產生中斷事件信號 ADCIF[0]置<1>，此時若需要中斷事件服務需將 ADCIE[0]與 GIE[0]設置<1>。

10.1.3. SD18 的啓用

ENADC[0]設置<1>即可啓用 SD18 進行類比數位轉換。反之當 ENADC[0]設置<0>時 SD18 會關閉。SD18 的電源是使用 VDDA，並使用 ACM 為其內部共模電壓參考點，故在啓動 SD18 前必須先啓用 VDDA 及 ACM。

SD18 的工作電壓源來自於 VDDA 所提供，而 AIX 輸入引腳電壓則不能超過 VDDA 電壓。當 VDDA 電源關閉時(未由內部啓動或外部輸入)，若 SD18 的輸入信號網路 $SI_{\pm}$ 、參考電壓網路 $VR_{\pm}$ 存在電壓，則會造成該網路漏電，間接造成晶片損耗及消耗電流偏大。因此當 VDDA 電源關閉前，SD18 輸入信號網路或參考電壓網路須適當選擇，將其網路開關調整至內部 ACM 或 VSS，即可避免外部電壓造成網路漏電。

10.2. 類比通道輸入特性

SD18 是使用切換式電容線路來進行類比訊號處理，當輸入緩衝器不使用時為了保證取樣電容的電壓可以得到正確的值，輸入信號的最大輸出阻抗必須受到限制，而且會與 SD18 的取樣頻率及信號倍率選擇有相互牽制的關係。

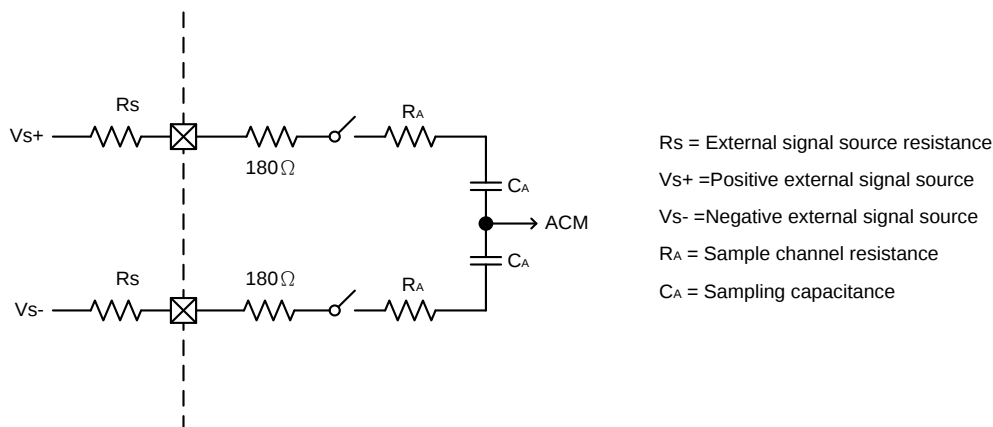


圖 10-4 AIx 輸入電容與阻抗模組

由圖 10-4 可知，當輸入信號不經緩衝器直接輸入時必須進一步考慮輸入信號內阻 R_s 與SD18 的取樣頻率ADC_CK及寄生電阻 R_A 、電容 C_A 的效應。相關的計算公式如下：

式 10-3

$$t_s > (R_s + R_A + 180\Omega) \times C_A \times [\ln(2^{\text{ENOB}} \times \text{Gain}) + 2]$$

t_s : SD18 最短取樣時間

ENOB : 期望得到 SD18 的有效位數

Gain : ($\Sigma\Delta$ AD Gain)

式 10-4

$$F_s = \frac{1}{2 \times t_s}$$

F_s : SD18 最短取樣頻率

由於SD18 組成包含PGA與 $\Sigma\Delta$ AD，此兩部分在設計上存在各自的 R_A 與 C_A 值，而最短取樣時間 t_s 的計算是依直接與輸入信號匹配的部分來考量。

$\Sigma\Delta$ AD Gain	C_A	R_A
x1	1.5pF	10K Ω
x2	3pF	10K Ω
x4	6pF	10K Ω
x8	12pF	5K Ω

表 10-5(a) SD18 Gain與 R_A 及 C_A 關係表

VR Gain	C _A	R _A
x1/2	0.75pF	10KΩ
X1	1.5pF	10KΩ

表 10-5(b) VR Gain與R_A及C_A關係表

SD18 主要應用是要量測低頻的訊號，但在真實世界裡待測訊號會含有許多高頻的雜訊，根據訊號取樣原理超過取樣頻率的高頻雜訊經過取樣後會產生零點飄移及低頻雜訊，進而造成量測的誤差。因此我們建議在晶片差動待測訊號及參考電壓端加上 10nF~100nF 的濾波電容以加強量測的準確性。

10.3. 絕對溫度感測器,TPS

絕對溫度感測器由二極體(BJT)組成，其電壓信號對溫度的變化為一通過 0K 曲線，其具以下特色

- ◆ 溫度傳感器在環境溫度為 0K時其輸出的電壓值 $V_{TPS@0K} = 0V$
- ◆ 透過測量方式可使得類比數位轉換器ADC的偏移電壓 ($V_{ADC-OFFSET}$) 與BJT之不對稱性 ($I_{S1} \neq I_{S2}$)自動抵銷。
- ◆ 校正溫度僅需單點校正。

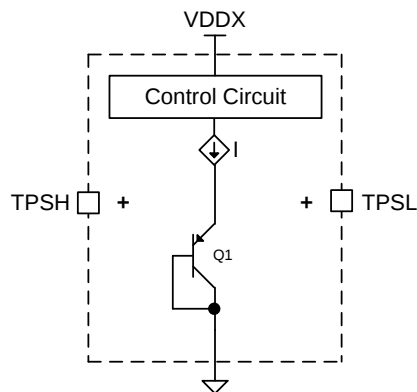


圖 10-5 絕對溫度感測器應用方塊圖

10.3.1. TPS 初始化設置與計算方式

SD18 啟用 時,TPS 的並不會自動啟用,如需使用 TPS 功能需把 ENTPTS 置為 1。

輸入信號選擇器INH[2:0]與INL[2:0]，設置INH=[100]、INL=[101]測量電壓信號 V_{TPS0} ，而設置INH=[101]、INL=[100]測量電壓信號 V_{TPS1} 。建議在做Chopper的Offset扣除時，TPSLCN控制位元設置要不同，如量測 V_{TPS0} 時TPSLCN=1，則量測 V_{TPS1} 時TPSLCN=0。

在同一溫度 $T_A(^{\circ}C)$ 下，SD18 測量得到 V_{TPS0} 與 V_{TPS1} 的數值後，將兩數相加並取平均值即可求得在溫度 T_A 下測得TPS相對應的電壓值 $V_{TPS@T_A}$ 。

TPS的輸出電壓 V_{TPS} 對溫度變化為一線性曲線，故可推導得出其增益值 G_{TPS} (或稱斜率)。

式 10-5 TPS 增益公式

$$G_{TPS} = \frac{V_{TPS@T_A} - V_{TPS@0K}}{(273.15 + T_{offset} + T_A) - (0)} = \frac{V_{TPS@T_A}}{289.15 + T_A}$$

10.3.2. TPS 範例說明

- (1) 設定INH=[100]、INL=[101]、TPSLCN=1，ADC量測得到一個數位碼 $V_{TPS0}Code$ 。
- (2) 設定INH=[101]、INL=[100]、TPSLCN=0，ADC量測得到一個數位碼 $V_{TPS1}Code$ 。
- (3) 計算 $V_{TPS}Code = (V_{TPS0}Code + V_{TPS1}Code)/2$ ，此動作可消除Temperature Sensor的Offset。
- (4) 假設在 25 $^{\circ}C$ 校正一點，可得到 $V_{TPS}Code@25^{\circ}C$ 。因為Temperature Sensor本身有一位準偏移，所以會加入一偏移量，得到溫度的曲線斜率 G 如下：

$$G = \frac{V_{TPS} \text{Code}@25^{\circ}\text{C}}{25 + 273.15 + T_{OS}}, \text{ 其中 } T_{OS} \text{ 為偏移量, 約為 } 32\text{K}。$$

(5) 假設待測溫度為 $T_x^{\circ}\text{C}$ ，則可得到：

$$T_x = \frac{V_{TPS} \text{Code}@T_x^{\circ}\text{C}}{G} - [273.15 + T_{OS}] \quad ^{\circ}\text{C}$$

10.4. 暫存器說明-SD18

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“\$”for event status,“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
23H	INTE0	GIE	ADCIE	TMBIE	TMAIE	LVD_BE	LVDE	E1IE	E0IE	000. 0000	***** 1 1 1 1 1 1 1
26H	INTF0	-	ADCIF							000. 0000	w0
2DH	ADCR0H	ADC[19:12]								xxxx xxxx	***** 1 1 1 1 1 1 1
2EH	ADCR0M	ADC[11:4]								xxxx xxxx	***** 1 1 1 1 1 1 1
2FH	ADCR0L	ADC[3:0]				0	0	0	0	xxxx xxxx	***** 1 1 1 1 1 1 1
30H	ADCR1H	ADC[19]	ADC[19]	ADC[19]	ADC[19]	ADC[19]	ADC[18]	ADC[17]	ADC[16]	xxxx xxxx	***** 1 1 1 1 1 1 1
31H	ADCR1M	ADC[15:8]								xxxx xxxx	***** 1 1 1 1 1 1 1
32H	ADCR1L	ADC[7:0]								xxxx xxxx	***** 1 1 1 1 1 1 1
33H	PWRCN0	ENBGR	ENTPS	ENSDR	INIS	TPSLCN	ENLDO	ENLVD	ENADC	000. 0000	***** 1 1 1 1 1 1 1
34H	PWRCN1	ADHV	SDRV[1:0]		LVDV[1:0]		LDOV[1:0]		LVDO	000. 0000	***** 1 1 1 1 1 1 1
35H	ADCCN0	OSR[2:0]			VREGN	ADG[1:0]		SACM[1:0]		000. 0000	***** 1 1 1 1 1 1 1
36H	ADCCN1	INL[2:0]			INH[2:0]			VRI[1:0]		000. 0000	***** 1 1 1 1 1 1 1
37H	ADCCN2	DCSET[2:0]			TCR[1:0]				ADRST	000. 0000	***** 1 1 1 1 1 1 1

表 10-6 SD18 暫存器

INTE0/INTF0：詳見 中斷,Interrupt 章節

ADCR0H/M/L 及 ADCR1H/M/L：SD18 的輸出暫存器

依照用途不同，一個 ADC output 有兩種呈現方式可讀取

暫存器位址 0x2D~2F：{ADC[19:0],0000}共 24bit，在不同 OSR 下每個 bit 的 weight 不變

暫存器位址 0x30~32：{Sign Extend ADC[19:0]} 共 24bit，可直接做 24bit 運算

PWRCN0：電源系統控制暫存器 0

位元	名稱	描述
Bit7	ENBGR	Bandgap 啟用控制 <1> 啟用 <0> 關閉
Bit6	ENTPS	內部 TPS 啟用控制 <1> 啟用 <0> 關閉
Bit5	ENSDR	Sensor Driver 啟用控制 <1> 啟用 <0> 關閉
Bit4	INIS	ADC ADINP 與 ADINN 短路控制 <1> ADINP 與 ADINN 短路 <0> 正常
Bit3	TPSLCN	TPS 輸出電壓反向控制 <1> 反向 <0> 正常

位元	名稱	描述
Bit2	ENLDO	LDO(VDDA) 啓用控制 <1> 啓用 <0> 關閉
Bit1	ENLVD	VDD 低電壓偵測啓用控制 <1> 啓用 <0> 關閉
Bit0	ENADC	ADC 啓用控制 <1> 啓用 <0> 關閉

PWRCN1：電源系統控制暫存器 1

位元	名稱	描述
Bit7	ADHV	當應用上 VDDA=VDD 且大於 3.6V 時，需設定此 bit，如果使用 ENLDO 則沒有此問題。

ADCCN0：SD18 控制暫存器 0

位元	名稱	描述										
Bit7~5	OSR[2:0]	ADC 超取樣率除頻器(OSR)設定 <111> OSR=128 <110> OSR=256 <101> OSR=512 <100> OSR=1024 <011> OSR=2048 <010> OSR=4096 <001> OSR=8192 <000> OSR=16384										
Bit4	VRGN	ADC Reference Gain 設定 <0> x1 <1> x1/2										
Bit3~2	ADGN[1:0]	ADC Input Gain 設定 <table><tr><th>ADGN[1:0]</th><th>ADC Input Gain</th></tr><tr><td>00</td><td>X1(Reserved)</td></tr><tr><td>01</td><td>X2(Reserved)</td></tr><tr><td>10</td><td>X4(Reserved)</td></tr><tr><td>11</td><td>X8</td></tr></table>	ADGN[1:0]	ADC Input Gain	00	X1(Reserved)	01	X2(Reserved)	10	X4(Reserved)	11	X8
ADGN[1:0]	ADC Input Gain											
00	X1(Reserved)											
01	X2(Reserved)											
10	X4(Reserved)											
11	X8											

位元	名稱	描述										
Bit1~0	SACM[1:0]	ADC Analog Ground Voltage 設定										
		<table><tr><th>SACM[1:0]</th><th>Analog Ground Voltage</th></tr><tr><td>00</td><td>0.9V (when ADC supply voltage is 2.4-1.8V)</td></tr><tr><td>01</td><td>1.2V (when ADC supply voltage is 2.8-2.3V)</td></tr><tr><td>10</td><td>1.4V (when ADC supply voltage is 3.8-2.6V)</td></tr><tr><td>11</td><td>2.4V (when ADC supply voltage is 5.5-3.8V)</td></tr></table>	SACM[1:0]	Analog Ground Voltage	00	0.9V (when ADC supply voltage is 2.4-1.8V)	01	1.2V (when ADC supply voltage is 2.8-2.3V)	10	1.4V (when ADC supply voltage is 3.8-2.6V)	11	2.4V (when ADC supply voltage is 5.5-3.8V)
		SACM[1:0]	Analog Ground Voltage									
		00	0.9V (when ADC supply voltage is 2.4-1.8V)									
		01	1.2V (when ADC supply voltage is 2.8-2.3V)									
		10	1.4V (when ADC supply voltage is 3.8-2.6V)									
11	2.4V (when ADC supply voltage is 5.5-3.8V)											

ADCCN1 : SD18 控制暫存器 1

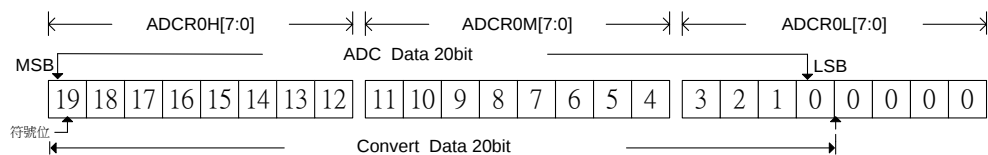
位元	名稱	描述		
Bit7~5	INL[2:0]	ADC 負端輸入選擇控制		
		INL[2:0]	ADC-INL	
		000	AI0	
		001	AI1	
		010	AI2	
		011	AI3	
		100	TPSH0	
		101	TPSL1	
		110	Floating	
		111	Floating	
Bit4~2	INH[2:0]	ADC 正端輸入選擇控制		
		INH[2:0]	ADC- INH	
		000	AI0	
		001	AI1	
		010	AI2	
		011	AI3	
		100	TPSH1	
		101	TPSL0	
		110	Floating	
		111	Floating	
Bit1~0	ADRI[1:0]	ADC 參考電壓輸入選擇控制		
		ADRI[1:0]	VRI+	VRI-
		00	AGND	VSS
		01	Vrefp	Vrefn
		10	VDDA	Vrefn
		11	Vrefn	VSS

ADCCN2 : SD18 控制暫存器 2

位元	名稱	描述																		
Bit7~5	DCSET[2:0]	設定 ADC DC Offset																		
		<table><tr><th>DCSET[2:0]</th><th>ADC DC Offset</th></tr><tr><td>000</td><td>offset = 0</td></tr><tr><td>001</td><td>1/8 * Vref</td></tr><tr><td>010</td><td>2/8 * Vref</td></tr><tr><td>011</td><td>3/8 * Vref</td></tr><tr><td>100</td><td>offset = 0</td></tr><tr><td>101</td><td>-1/8 * Vref</td></tr><tr><td>110</td><td>-2/8 * Vref</td></tr><tr><td>111</td><td>-3/8 * Vref</td></tr></table>	DCSET[2:0]	ADC DC Offset	000	offset = 0	001	1/8 * Vref	010	2/8 * Vref	011	3/8 * Vref	100	offset = 0	101	-1/8 * Vref	110	-2/8 * Vref	111	-3/8 * Vref
		DCSET[2:0]	ADC DC Offset																	
		000	offset = 0																	
		001	1/8 * Vref																	
		010	2/8 * Vref																	
		011	3/8 * Vref																	
		100	offset = 0																	
		101	-1/8 * Vref																	
		110	-2/8 * Vref																	
111	-3/8 * Vref																			
Bit4~3	TCR[1:0]	設定 ADC Vrefn 對 VSS 的電阻值																		
		<11> R = 7.5K ohm																		
		<10> R = 5K ohm																		
		<01> R = 2.5K ohm																		
		<00> R = 0																		
Bit0	ADRST	ΣΔADC 與梳狀濾波器復位控制器																		
		<1>復位；寫入 1 則梳狀濾波器復位，自動恢復 0																		
		<0>正常模式																		

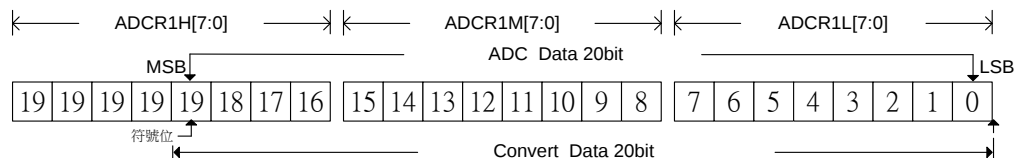
ADCR0H~ADCR0L : ADC Data 暫存器 0

位置	名稱	描述
2DH	ADCR0H	高位元對齊 7~0Bit 分別代表 ADC Data 19~12Bit
2EH	ADCR0M	高位元對齊 7~0Bit 分別代表 ADC Data 11~4Bit
2FH	ADCR0L	高位元對齊 7~4Bit 分別代表 ADC Data 3~0Bit。3~0Bit 均代表 ADC Data 0Bit



ADCR1H~ADCR1L : ADC Data 暫存器 1

位置	名稱	描述
30H	ADCR1H	低位元對齊 3~0Bit 分別代表 ADC Data 19~16Bit。7~4Bit 均代表 ADC Data 19Bit
31H	ADCR1M	低位元對齊 7~0Bit 分別代表 ADC Data 15~8Bit
32H	ADCR1L	低位元對齊 7~0Bit 分別代表 ADC Data 7~0Bit



11. 硬體乘法器

HY14E10 內建一組有號數 16bit *16bit 硬體乘法器，其結果為 32bit 有號數輸出，因沒有特別啟動與結束 Flag，需 16 個 CPU Clock(四個指令時間)。

將 16 bit 乘數與被乘數分別寫入 BH_MO3、BL_MO2、AH_MO1 暫存器，最後寫入 AL_MO0 暫存器後自動開始計算。一旦對 AL_MO0 做寫入動作，乘法器即自動開始計算。當 16 個 CPU Clock 後，計算結果回存在 AL_MO0、AH_MO1、BL_MO2 及 BH_MO3 暫存器，乘法器的輸入與輸出設置在同樣的位址。

11.1. 暫存器說明-硬體乘法器

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
39H	AL_MO0	LSB for multiplexer input A / LSB for multiplexer output								XXXX XXXX	***** 1 1 1 1 1 1
3AH	AH_MO1	MSB for multiplexer input A / 15-8 bit multiplexer output								XXXX XXXX	***** 1 1 1 1 1 1
3BH	BL_MO2	LSB for multiplexer input B / 23-16 bit multiplexer output								XXXX XXXX	***** 1 1 1 1 1 1
3CH	BH_MO3	MSB for multiplexer input B / MSB for multiplexer output								XXXX XXXX	***** 1 1 1 1 1 1

表 11-1 硬體乘法器暫存器

AL_MO0：乘數低位元組(Bit7~0)輸入及乘積低位元組(Bit7~0)輸出暫存器

AH_MO1：乘數高位元組(Bit15~8)輸入及乘積位元組(Bit15~8)輸出暫存器

BL_MO2：被乘數低位元組(Bit7~0)輸入及乘積位元組(Bit23~16)輸出暫存器

BH_MO3：被乘數高位元組(Bit15~8)輸入及乘積高位元組(Bit31~24)輸出暫存器

12. I²C 串列通訊介面

HY14E10 的 I²C 串列通訊介面為從機(Slave)運作模式。

Slave Address 於燒入時設定，並非從暫存器控制。

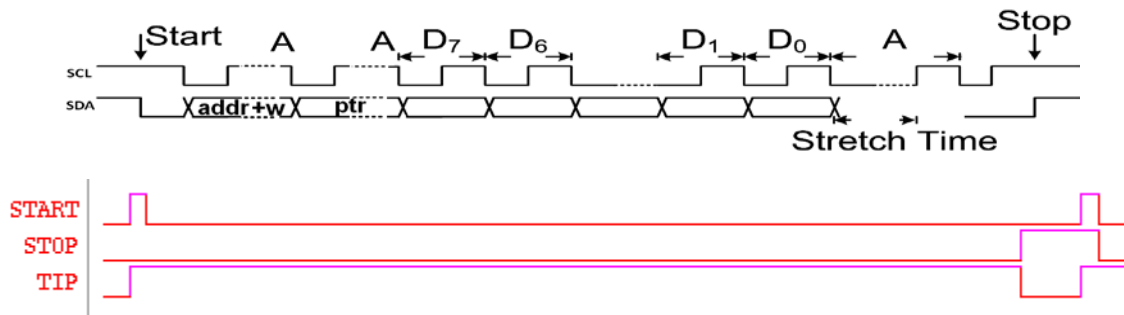
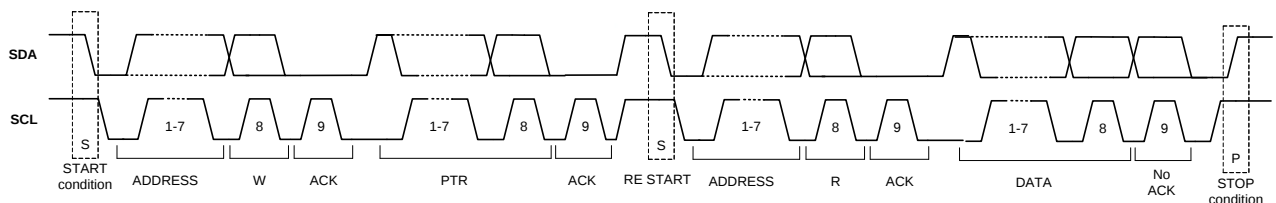


圖 12-1 I²C 匯流排時序圖

◆ I²C 使用說明

Slave address 為 7bit 因此與一般 I²C 傳送接收有些許不同。傳送資料或接收資料並非從 Address 決定，而是 PTR。

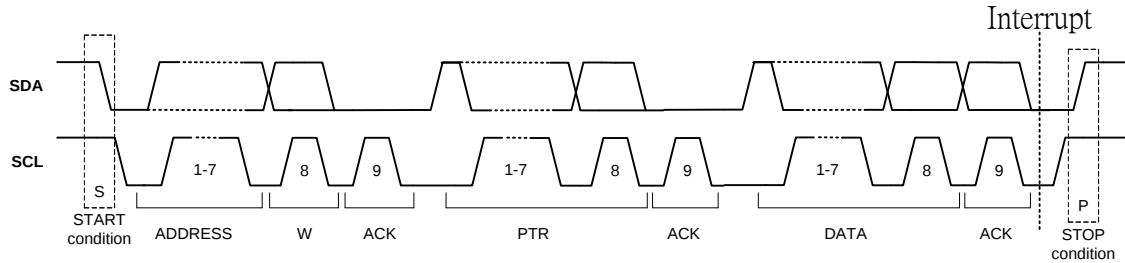
■ 傳送



- 當 Master 送出 Start 後的 Address 與設置的相同，硬體會自動回 Ack
- Master 確認 Ack 後，送出要從機傳送資料的 PTR (0x00~0x07)，每一個 PTR 分別對應不同的 I²C Data Output Buffer。(Ex: Master 送出的 PTR 為 0x01，即會對應收到 I²C Data Output Buffer 1 內之數值)
- 當 Master 接收到 Slave 送出資料後，回應 Ack 後，如沒有下 Stop。Slave 會持續送出相同的 Data 出來直到 Master 送出 Stop 為止。
- 欲得到不同 I²C Data Output Buffer 資料需重新送 Start、Address、PTR、Stop
- 如 I²C Data Output Buffer 資料被讀走後，須更新 I²C Data Output Buffer 內資料，可從 TIP[0] 得知，資料是否已經完成抓取。(Data 為 8bit 使用)
- 如 I²C Data Output Buffer 資料被讀走後，須更新 I²C Data Output Buffer 內資料，可以將 LSB_SEL[7:0] 對應的位址開啓，此時對應的 I²C Data Output Buffer 最低位元即為資料讀取判斷位元，不論 I²C Data Output Buffer 寫入何值，最低位元自動為 1，當資料被讀取過後，最低位元會自動為 0。(Data 為 7bit 使用)。當新的資料再次寫入 I²C Data Output Buffer 時，最低位元會再次自動為 1。
- 欲連續抓取 I²C Data Output Buffer 0、1、2、3..... 內資料可採用特殊 PTR。當 PTR 最高 bit 為 1 時，及為連續讀取模式。(EX: PTR 為 82 即為從 I²C Data Output Buffer 2 開始依序往 3、

4、.....連續讀取資料。)但如連續讀取超過I²C Data Output Buffer 7 後，Master依然未送出 Stop後面所收到的資料並非回到I²C Data Output Buffer 0，而是Nnknow值。

■ 接收



- 當 Master 送出 Start 後的 Addresss 與設置的相同，硬體會自動回 Ack
- Master確認Ack後，送出要從機傳送資料的PTR(0x08~0x12)，每一個PTR分別對應不同的I²C Data Input Buffer。(Ex:Master送出的PTR為 0x08、Data為 0xFF及可在收到STOP後在I2C Data Input Buffer 0 可以抓取到 0xFF)
- 如有開啓相對應的中斷，當接收完成 Master 所傳出的資料後，即會發生中斷

12.1. 暫存器說明- I²C串列通訊介面

“-”no use,“-”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1											
“\$”for event status,“-”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
23H	INTE0	GIE								000. 0000	*****
24H	INTE1	I2CW7IE	I2CW6IE	I2CW5IE	I2CW4IE	I2CW3IE	I2CW2IE	I2CW1IE	I2CW0IE	000. 0000	*****
25H	INTE2	-	-	-	-	-	I2CW10IE	I2CW9IE	I2CW8IE	000. 0000	*****
27H	INTF1	I2CW7IF	I2CW6IF	I2CW5IF	I2CW4IF	I2CW3IF	I2CW2IF	I2CW1IF	I2CW0IF	000. 0000	w0
28H	INTF2	-	-	-	-	-	I2CW10IF	I2CW9IF	I2CW8IF	000. 0000	w0
41H	LSB_SEL	SEL_FLAG[7:0]								0000 0000	*****
42H	I2C_CMD	TIP	scu_L3	SP	0	0	0	0	EN_SCLO	0000 0000	RRRRRRRW
43H	I2C_O0	I2C Data Output Buffer 0								xxxx xxxx	w
44H	I2C_O1	I2C Data Output Buffer 1								xxxx xxxx	w
45H	I2C_O2	I2C Data Output Buffer 2								xxxx xxxx	w
46H	I2C_O3	I2C Data Output Buffer 3								xxxx xxxx	w
47H	I2C_O4	I2C Data Output Buffer 4								xxxx xxxx	w
48H	I2C_O5	I2C Data Output Buffer 5								xxxx xxxx	w
49H	I2C_O6	I2C Data Output Buffer 6								xxxx xxxx	w
4AH	I2C_O7	I2C Data Output Buffer 7								xxxx xxxx	w
4BH	I2C_I0	I2C Data Input Buffer 0								xxxx xxxx	r
4CH	I2C_I1	I2C Data Input Buffer 1								xxxx xxxx	r
4DH	I2C_I2	I2C Data Input Buffer 2								xxxx xxxx	r
4EH	I2C_I3	I2C Data Input Buffer 3								xxxx xxxx	r
4FH	I2C_I4	I2C Data Input Buffer 4								xxxx xxxx	r
50H	I2C_I5	I2C Data Input Buffer 5								xxxx xxxx	r
51H	I2C_I6	I2C Data Input Buffer 6								xxxx xxxx	r
52H	I2C_I7	I2C Data Input Buffer 7								xxxx xxxx	r
53H	I2C_I8	I2C Data Input Buffer 8								xxxx xxxx	r
54H	I2C_I9	I2C Data Input Buffer 9								xxxx xxxx	r
55H	I2C_I10	I2C Data Input Buffer 10								xxxx xxxx	r

表 12-1 I²C串列通訊介面暫存器

INTE0/INTF0：詳見 中斷,Interrupt 章節

LSB_SEL：狀態暫存器

LSB_SEL:0~7bit分別對應I²C output buffer0~7。當LSB_SEL該bit為 1 時，對應的I²C output buffer傳輸Data將只有 7~1bit有效。LSB為Flag數據更新後為 1；Data被讀走過為 0。

例如:將LSB_SEL[7:0]設為 0x01，當對I²C output buffer 0 寫入 0x0A時，硬體會自動將LSB置為 1；即Master第一次透過PTR=0x00 跟Slave要資料時，Slave會回傳 0x0B，並自動將I²C output buffer 0 的LSB置為 0；即如果未對I²C output buffer 0 重新做寫入動作，Master透過PTR=0x00 要到的資料就會為 0x0A。

因此可透過LSB去判別I²C output buffer內的數值是否已被更新

位元	名稱	描述
Bit7	SEL_FLAGH[7]	1:當I ² C output buffer 7 為 7bit應用，LSB為Flag 0:當I ² C output buffer 7 為 8bit應用，LSB為Data
Bit6	SEL_FLAGH[6]	1:當I ² C output buffer 6 為 7bit應用，LSB為Flag 0:當I ² C output buffer 6 為 8bit應用，LSB為Data
Bit5	SEL_FLAGH[5]	1:當I ² C output buffer 5 為 7bit應用，LSB為Flag 0:當I ² C output buffer 5 為 8bit應用，LSB為Data
Bit4	SEL_FLAGH[4]	1:當I ² C output buffer 4 為 7bit應用，LSB為Flag 0:當I ² C output buffer 4 為 8bit應用，LSB為Data
Bit3	SEL_FLAGH[3]	1:當I ² C output buffer 3 為 7bit應用，LSB為Flag 0:當I ² C output buffer 3 為 8bit應用，LSB為Data
Bit2	SEL_FLAGH[2]	1:當I ² C output buffer 2 為 7bit應用，LSB為Flag 0:當I ² C output buffer 2 為 8bit應用，LSB為Data
Bit1	SEL_FLAGH[1]	1:當I ² C output buffer 1 為 7bit應用，LSB為Flag 0:當I ² C output buffer 1 為 8bit應用，LSB為Data
Bit0	SEL_FLAGH[0]	1:當I ² C output buffer 0 為 7bit應用，LSB為Flag 0:當I ² C output buffer 0 為 8bit應用，LSB為Data

I2C_CMD：

位元	名稱	描述
Bit7	TIP	I ² C Transfer in Process,通訊正在進行中
Bit6	Seu_L3	I ² C master 正在用ICP通訊，且USR_Key輸入錯誤
Bit5	SP	STOP flag, I ² C通訊結束
Bit0	EN_SCLO	enable auto SCL stretch time. I ² C協定沒有規定最大時間，但CPU工作結束必須clear這個bit, I ² C才能正常通訊。 此功能主要是用於 Master 對於 HY14E 讀取時，當 Master 讀走第一筆知道後欲繼續讀取第二筆資料，但 HY14E 尚未準備完成，可先將 EN_SCLO 置為 1 使 SCL 為 Low，待第二筆資料準備完成後將 EN_SCLO 置為 0，Master 即可保證抓到的資料為第二筆資料

I2C_00~I2C_07 : I²C從機傳送緩衝區

I²C從機傳送緩衝區共有 8 個位元組，每組佔用一個PTR(PTR₇₋₀=0x00~0x01)，可搭配LSB_SEL設定I²C master 所收到的每組data的LSB是data還是update flag.

I2C_I0~I2C_I10 : I²C從機接收緩衝區

I²C從機接收緩衝區共有 11 個位元組，每組佔用一個PTR(PTR₇₋₀=0x08~0x12)，每次I²C master 寫入 PTR₇₋₀=0x08~0x12(I2C_I0~I2C_I10)時，都會有相對的I2C_INTFn，CPU可針對相對的INTE設定允許中斷。

13. 系統資訊區塊

13.1. 系統資訊區塊說明(INFormation block)

系統資訊區塊(INFormation block)有 111 bytes 使用著自訂 EEPROM 區塊。使用著自訂 EEPROM 需透過查表方式讀取/寫入。

◆ 使用者自訂 EEPROM 操作說明

■ 寫入資料

- EN_TBL[0]設置<1>、PGM[0]設置<0>。
- 將指標指向燒入位址 TBLPTRL[7:0]、TBLPTRH[3:0]。(EEPROM 最大位址為 77H，因此燒入 EEPROM 時請確保 TBLPTRH 為<0000>。
- 將欲燒入值寫入至 TBLDL[7:0]。
- 將 TBLW 或 TBLW+設置為<1>及立即進行燒入。

■ 讀取資料

- EN_TBL[0]設置<1>、PGM[0]設置<0>。
- 將指標指向讀取位址 TBLPTRL[7:0]、TBLPTRH[3:0]。(EEPROM 最大位址為 77H，因此讀取 EEPROM 時請確保 TBLPTRH 為<0000>。
- 將 TBLR 或 TBLR+設置為<1>及立即進行讀取。
- 讀取指令後方需加兩個 NOP 方能確保讀取正常
- 讀取到的資料會放置於 TBLDL[7:0]。

Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
77H		使用著自訂 EEPROM							
...		...							
09H		使用著自訂 EEPROM							
08H~00H	Rsv.	Reserved.							

表 13-1 系統資訊區塊配置圖

13.2. 使用查表功能說明讀取(Program Memory)

■ 使用查表功能讀取 Program memory instruction

- EN_TBL[0]設置<1>、PGM[0]設置<1>。
- 查表功能，一次只能查詢一個 byte，Program memory 一個位置的單位為一個 word。因此查詢 Program memory 時，LSB 為選擇查詢 High byte 或 Low byte。當 LSB 為 1 時查詢 High byte；當 LSB 為 0 時查詢 Low byte。

Ex: 欲查表位置為 7A0H 的 High byte。於 TBLPTRL 填入 41H，TBLPTRH 填入 0FH

同理，欲查表位置為 7A0H 的 Low byte。於 TBLPTRL 填入 40H，TBLPTRH 填入 0FH

- 將 TBLR 或 TBLR+設置為<1>及立即進行讀取。(務必參考下面範例使用方法)
- 讀取到的資料會放置於 TBLDL[7:0]。

預計查詢位置 7A0H High byte

DW 2345H

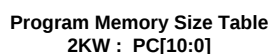


Diagram illustrating the bit patterns for the TBLPTRH and TBLPTRL registers:

- TBLPTRH[7:0] = 0FH**: Bit pattern 00001111. The bits are labeled from MSB (Most Significant Bit) to LSB (Least Significant Bit).
- TBLPTRL[7:0] = 41H**: Bit pattern 01000001. The bits are labeled from MSB to LSB.

Arrows indicate the bit positions for the High Byte and Low Byte of the address:

- 欲查詢位置 High Byte=07H**: Points to the 7th bit of TBLPTRH (the rightmost bit, which is 1).
- 欲查詢位置 Low Byte=A0H**: Points to the 7th bit of TBLPTRL (the rightmost bit, which is 1).

13.3. 暫存器說明- 系統資訊區塊

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1											
“\$”for event status, “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition											
Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	A-RESET	R/W
1DH	TBLPTRH	TBLW+	TBLW	TBLR+	TBLR	TBLPTR[11]	TBLPTR[10]	TBLPTR[9]	TBLPTR[8]	 0000	-, -, -, *
1EH	TBLPTRL	Program Memory Table Pointer Low Byte (TBLPTR<7:0>)								0000	*****
20H	TBLDL	Program Memory Table Latch Low Byte								0000	*****
5EH	EE_CTRL	EN_TBL	PGM	0	0	0	0	0	0		0,1,1,1,1,0,0

TBLPTRH : 查表指令指標暫存器高位元組

位元	名稱	描述
Bit7	TBLW+	寫 1 則 TBLDL 寫入 TBLPTR 所指位址後 TBLPTR 自動遞增。
Bit6	TBLW	寫 1 則 TBLDL 寫入 TBLPTR 所指位址
Bit5	TBLR+	寫 1 則將 TBLPTR 所指位址內容讀出放在 TBLDL 後 TBLPTR 自動遞增。
Bit4	TBLR	寫 1 則將 TBLPTR 所指位址內容讀出後放在 TBLDL。
Bit3~0	TBLPTR[11:8]	查表指令指標暫存器高位元組

TBLPTRL : 查表指令指標暫存器低位元組

位元	名稱	描述
Bit7~0	TBLPTR[7:0]	查表指令指標暫存器低位元組

TBLDL : 查表指令數據暫存器

位元	名稱	描述
Bit7~0	TBLDL [11:8]	查表指令數據暫存器

EE_CTRL : EEPROM 控制暫存器

位元	名稱	描述
Bit7	EN_TBL	查表功能啟用控制 1: 啟用。 0: 停用。
Bit6	PGM	EEPROM 查表區塊選擇 1: 查表功能的 TBLPTRL[11:0]指向 Program memory。 0: 查表功能的 TBLPTRL[11:0]指向 INformation block 區塊。

14. 修訂記錄

以下描述本文件差異較大的地方，而標點符號與字形的改變不在此描述範圍。

文件版次	頁次	摘要
V01	All	初版發行
V02	16~17	HAO 相關說明
	32	TMA 相關說明
	45	TMB 相關說明
	46~49	VDDA 相關說明
	65~68	IIC 相關說明
V03	20	Reset 種類說明
	45	增加 LVD 使用說明
	66	修改 I2C LSB_SEL 使用說明
V04	CH3	在 HAO 頻率源新增設置 ADC 頻率源注意事項
	CH10	更正 SD18 Network 內部方塊圖在 TPSH 和 TPSL 的描述 更正暫存器 ADCCN1 在 INL 和 INH 的位元描述
	CH12	修正 I2C 波形圖，當做 I2C Read Command 時候，在 Stop 前為 NACK
	Ch13	暫存器 EE_CTRL 移除 EE_RDY 功能描述，該位元功能不 Support
	CH13	增加查表功能使用說明
V05	All	新增說明，在電壓放大倍率 x1/x2/x4 為 Reserved， 建議使用 8 倍放大倍率。
	CH13	補充 Program Memory 查表資料說明內容